総合論文

半導体実装技術を支える分析技術

若林 信一*

Analytical methodology supporting semiconductor packaging and interconnect technologies

Shin-ichi WAKABAYASHI*

Shinko Electric Industries Co., Ltd., 1457-1, Wakaho, Kawada, Nagano 381-0103

(Received 13 July 2001, Accepted 30 August 2001)

Semiconductor packages are requiring a wide range of functions covering from simple chip mount, protection from ambient circumstances and mechanical damages as well as additional functional requirements, such as thermal dissipation, stable power supply and integrity of high-frequency signals. Semiconductor Jisso technology (packaging and interconnect technology) should cover packaging, substrate and module manufacturing technologies; therefore, the material, process and design should be properly optimized and controlled. To satisfy these requirements, many analytical methods from classical gravimetric and volumetric analysis to ICP, GC-MS and EPMA, ESCA, AES have been applied. In this paper, the analytical data obtained on gold and silver plating processes, and the assembly processes such as wire bond, molding and soldering etc., are described in details. The importance of the analysis "to see" what, where, how much and how to be (chemically and geometrically) is stressed.

Keywords : semiconductor package; gold and silver plating; EPMA, ESCA, FIB-SIM analysis for package; flip chip attach and void detection in solder bumps; advanced build up substrate; via fill by copper plating.

1 はじめに

携帯電話やモバイル PC (personal computer) など、様々な電子機器の小型化、高機能化とともに、新しい情報技術 (IT) 時代への移行が進行している。このような技術は主に半導体技術の進歩によっているが、近年ではより大きなシステムをより小さく、高機能に実装する実装技術がこれらを支える技術として注目を集めている。半導体実装技術は半導体チップをパッケージングし、またパッケージングした半導体デバイスを種々の機能を持つモジュールに組み立てる、インターコネクト技術である。このため実装技術は、パッケージや基板などの微細な配線形成や、半導体デバイスの組み立て技術を対象としており、これらの製造工程やその後の使用条件下で生起する様々な現象に対

する分析、解析技術がこれらの技術を支える重要な技術となっている。

一般的にいて、設計技術は目的とする機能を材料、プロセス及び形態により合理的に実現する総合化技術である。一方、分析技術は、これとは反対に事象を要素に還元し、解析的に理解するための技術である。このため分析技術は、もの造りとは対称的に、物事を細分化する方向をとることになる。このように分析により得られる基本的な材料や現象に対する理解は、健全な新しい技術の発展を補完する極めて重要な技術であると考えることができる。

本報告では、著者らが実際のパッケージングやパッケージの表面処理に使用されるめっき技術などに関連して行ってきた幾つかの分析、解析の例を紹介する。

2 半導体用パッケージとは

半導体用のパッケージとは、一言でいえば半導体チップ

* 新光電気工業株式会社: 381-0103 長野県長野市若穂川田 1457-1

Fig. 1 Semiconductor packages

の容器であり、チップと外部との接続用の部品である。しかし、パッケージとは何か？ということを真正面から考えてみると、意外と多面的な機能を持っていることが分かる。

パッケージの基本的な役割は、チップの容器としてチップの取り扱いを容易にし、同時に外部の環境や機械的な衝撃から保護することにあるが、これに加えて重要な機能として、①チップの接続点のピッチ変換（チップの微細で勝手な配置のパッドを適切な標準ピッチにまとめる）と標準部品化、②電気信号の安定的な伝達、③電源供給の安定化、④外部への放熱、⑤テスト/バーンインの容易化、⑥材料間のTCE（thermal coefficient of expansion）ミスマッチの吸収、⑦チップとチップ、チップと基板との接続など、多様な要求を満足する必要がある。近年、パッケージにはこのような機能に加えて、パッケージ上にシステムを構成する、いわゆるシステムイン（オン）パッケージとして、システムを実現する場としての役割も求められるようになっている。

現在使用されている主な半導体用パッケージを、Fig. 1に示す。Fig. 1-aに示したリードフレームは、現在約80%の半導体に使用されている。チップは中央部のパッドに搭載され、金ワイヤーでインナーリードに接続した後、モールド樹脂により封止される。基板への接続用のリードはチップから外に向かって2辺、又は4辺から引き出されている。リードフレームの加工は、主に金型を使用したプレス打ち抜き、又はエッチングにより行われ、中心部には部分銀めっきが施されている。Fig. 1-bに示したガラス端子は、半導体用パッケージとしては最も歴史のあるものである。右上の二つのパッケージはTO（transistor outline）ヘッダーと呼ばれ、トランジスタの時代から使用されたパッケージである。この場合、リード線はガラスにより、チップが載る上面の金属部分と絶縁されており、チップ搭載後金属製のキャップで封止されるため、気密性や信頼性に優れている。この形態のパッケージは現在、Fig. 1-b左

下方に示すレーザー素子のパッケージとしても使用されている。

Fig. 1-cはプリント基板を使用して作製したパッケージである。プリント基板に接合する部分をはんだボールにし、格子状に配列したもので、BGA（ball grid array）パッケージと呼ばれている。これは比較的新しい形態のパッケージであり、従来のピンが立てられた構造から発展したものである。最上列のパッケージは多層の高機能パッケージであり、高速、高機能、高発熱（36 W）のチップが搭載され、その機能が得られる構造に設計されている。このような材料、構造に設計されたパッケージは基本的にギガヘルツレベルの高周波信号の伝播が可能である。右下の二つはほぼチップの大きさにパッケージしたBGAパッケージで、CSP（chip size package）と言われている。

実装技術はこのようなパッケージを使つての半導体組み立て技術に加えて、これに抵抗やキャパシターなどの受動部品を組み合わせて、プリント基板上にモジュールやシステムを組み立てる技術、更にはこれらのモジュールを組み合わせて、更に大きなシステムを作る技術である。このように、機能とスペースを追求しながら機器を組み立てる、いわゆる実装技術という考え方は日本の概念であり、このような技術の最も典型的に発揮された例は、ノートPCや手のひらサイズのビデオカメラなど、限られたスペースに最適配置で部品を組み込んだ民生用機器である。

3 半導体実装技術における分析技術

半導体の組み立て工程には、既に一部触れたように、チップをパッケージに搭載するチップボンディング、チップとパッケージを結線するワイヤーボンディング、チップを外部環境から保護するための封止工程からなっている。Fig. 2に、チップをステージ部に搭載したリードフレームにワイヤーボンディングを行っている例を示す。この後、エイジングや試験を行った後、プリント基板に実装される。これらの工程はいずれも加熱を伴う条件で行われるこ

Fig. 2 Wire bonding

とから、パッケージには適度な耐熱性が求められ、また精密で細かな作業であるワイヤーボンディングは、金線と各接着端子部については良好な接合性が要求される。このため、最終的な表面処理には、これらの要求事項を満足できる金や銀が使用されることが多い。

3.1 金、銀めっきと分析技術

金めっきは、半導体の組み立てに必要とされる特性をほとんどすべて備えているため、高機能チップを搭載するセラミックパッケージをはじめ、多くのパッケージに使用さ

れてきた。この場合、金めっき膜は、ワイヤーボンディングが容易で、高純度で、柔らかく、塑性変形が起こりやすい、大きな結晶粒を持つものが適するとされてきた。また、このめっき膜は、加熱時に下地の拡散が起こりにくい皮膜でもある。このようなめっき膜を与える金めっき液として、タリウムや鉛を結晶粒調整剤として添加した、大きな結晶粒を与えるめっき液が開発された。この場合、金めっきの析出過程におけるタリウムや鉛の挙動は電気化学的にも興味あるものであり、これらは金膜上にアンダーポテンシャル析出や吸着を起こし、金の電流電位曲線を大きく正側に移動させるとともに、大きな結晶粒を与える効果を持っている。しかし、電流密度の高い領域では共析量の増加が見られ、適正なめっき条件を逸脱した場合には、めっき膜中への過度の共析が起こり種々の問題を引き起こしている。Fig. 3にアルミニウムワイヤーのはく離障害を発生した例を示す¹⁾。これは加熱エイジングによる金-アルミニウムの合金層の成長において、この合金層の先端部に偏析したタリウムが金-アルミニウムの相互拡散に影響を与え、カーケンダル効果による気泡を生成したためである。このような金めっきに関する主な知見は、電気化学的な解析手法や原子吸光分析により得られており、結晶粒調整剤

a) Normal

b) Wire lift off

Cross sectional views of wire bonded portion

c) Wire lift off portion on package

d) Lift off wire

e) Thallium concentration profile at wire lift off portion of package

Fig. 3 Aluminum wire lift off failure

Fig. 4 Cross sections of chip bond interfaces of ceramic packages using nickel as-is and annealed

の作用機構を知る目的で、その共析量を深さ方向に二次イオン質量分析 (SIMS) 分析を行った例もある²⁾。このような知見からワイヤーはく離の原因は、共析した不純物 (結晶粒調整剤) の影響と推察されるが、走査電子顕微鏡 (SEM) による断面観察や、電子プローブ X 線マイクロアナライザー (EPMA) によるはく離面の分析により、Fig. 3-c, d, e に示すように共析不純物が原因である決定的な証拠が得られている。このため、このような金めっきにおいては、添加剤のめっき膜中への共析量を低く抑制することが重要である。現在、パルス電流を使用することによる共析量の抑制技術が確立されている³⁾。

また、セラミックパッケージにおいては、金めっきの下地としてニッケルめっきが使用されているが、このアニール処理 (750℃, 10 分) は、金-シリコン共晶によるチップ接続の信頼性を確保する上で極めて重要である。ニッケルめっきをアニールせずに使用した場合には、SEM や EPMA 分析により、Fig. 4 に示すように、300℃ のエージング時にニッケルとシリコンの著しい反応により厚い、入り組んだ構造の合金層を生成し、チップはがれの原因となることが確認されている。また、チップとパッケージの両側のはく離面を X 線回折法により分析した結果、チップの下部に生成した Ni_2Si とニッケルの界面ではなく離れていることが確認された⁴⁾。アニールの効果は、加熱エージングにおけるニッケルとシリコンの反応抑制効果のほかにも、ニッケルの金膜中への拡散現象においても顕著に見られた。しかし、通常の組織観察や X 線回折による分析の結果としては、これらに違いは観測されなかったが、最近の FIB (focused ion beam) による断面作成と走査イオン顕微鏡 (SIM) による観察で、再結晶化による結晶粒の成長による効果であることが分かっている。

リードフレーム用の銀めっきは、専用の低シアン化物銀めっき液が開発され、メカニカルマスク法による高速部分

めっき技術が確立されている。しかし、このような用途での銀めっきの基本的な特性に関する研究は、全面銀めっきの時代に行われている。銀めっき膜は金めっき膜に比較して酸素の透過が容易であり、しばしば下地酸化によるはんだ付け不良を発生していた。この問題に対し適正な銀めっき厚さを規格化するために、銀めっき厚、加熱温度、時間などとはんだ付け性の関係について多くの研究が行われた。しかし、いずれも十分定量的なデータが得られなかったが、はんだ付け性の指標として酸化による重量増加を、てんびんによりひょう量した結果、定量的な関係が求められ、銀めっきの下地保護性の評価が可能になっている⁵⁾。この研究は、あらためててんびんの精度の高さとダイナミックレンジの広さを認識させることになった。このような古典的ともいえる分析方法の重要性は、高価な装置を必要としない、呈色試薬を使用するめっき液の容量分析や、金廃液などを売買する際の灰吹法による金の重量分析においても見ることができる。金の重量分析においては、実際に高純度の金を取り出してひょう量していることから、原子吸光分析などにより分析された数値よりも、売買に当たっての心理的説得力が高いものと考えられることができる。

このように下地酸化の問題が明らかになったことから、部分銀めっき化された際に、チップボンディングは窒素雰囲気中で行われるようになった。しかし、ここにまた新たな表面変色が発生した。これらについて詳細に調査した結果、これも下地めっきである銅の拡散と酸化に関係しており、低濃度の酸素の条件では下地の銅が銀膜中を拡散し、銀表面で酸化が起こることが分かった。これらについて更にオージェ電子分光分析 (AES) などを使用して詳細に調査した結果、加熱雰囲気中の酸素濃度と酸化の関係から、Fig. 5 に示すように、酸化の起こる部位が変化することも明らかにされた⁶⁾。

部分銀めっきの特徴は、 100 A/dm^2 を超える高電流密

Fig. 5 Schematic representation of copper diffusion through silver in various oxygen concentration

度でのめっきが可能になっていることである。これはジェットめっき法の採用と、低シアン化物銀めっき液に光沢剤（高速化剤）としてセレンシアン化物イオンを添加したことによるもので、Fig. 6に示すように、高速にめっき液が移動する条件下で $\text{Ag}(\text{CN})_2^- + e^- \rightarrow \text{Ag} + 2\text{CN}^-$ の反応に基づく第2波が大きく正側に移行したことに伴うものである。その結果、高速で光沢のある平滑な銀めっき膜が得られることになった⁷⁾⁹⁾。これをSIMで断面観察すると、大きな結晶粒により構成されていることが分かった。しかし、最近の研究により、この光沢めっき膜は析出時は微細な結晶粒であり、Fig. 7に示すように、常温で再結晶化し、約1日で大きな結晶粒を生成することが確認された⁹⁾。すなわち、この析出反応は準安定化状態で起こり、時間をかけて安定状態に移行することが分かった。

3.2 「見る」分析技術

パッケージや基板の製造方法、また半導体の組み立て技術に関連して、いわゆるマイクロファブリケーション技術が必要とされており、従来の数値を求める分析技術のほかに、細部を画像により解析する「見る」分析技術の重要性が高まっている。

フリップチップボンディングによるパッケージとチップとの接続法は、ワイヤーボンディング法に代わる有力な方法として採用が進んでいる。フリップチップ法の概要をFig. 8に示す。この場合、まずチップ上にはんだなどにより、直径約100 μm の小さな接続用のバンプを形成する必要がある。これをフリップして（ひっくり返して）パッケージ上に接続するわけであるが、このバンプに気泡が存在し、接続信頼性を低下させる場合がある。この問題を解決するためには、まず気泡の検出が必要である。この方法としては軟X線による観察が有効であり、Fig. 9に示すように数 μm の気泡が検出される。この気泡を発生させないためには、めっき条件やリフロー条件の適正化が必要である。また、フリップチップ接続後に信頼性試験を行うと、大きさのばらつきなどにより特定のバンプのみに応力が集

Fig. 6 Effect of cyanide and selenocyanate on i - E curves

中し、接続破壊が起こることが知られている。これを防止するために、一般にアンダーフィル樹脂の充填が行われている。この場合も、適正に樹脂が充填されているかを評価するためには、直接的に観察する手段が必要である。このためには超音波顕微鏡（SAM）が有効であり、Fig. 10に示すように適正に充填されるもののほかに、気泡が発生したものや、樹脂に充填したフィラーの分離したものがみられている。

Fig. 7 SEM images of the bright silver deposits re-crystallized at the room temperature

Fig. 8 Flip chip attached package

チップボンディング後の封止は、主にモールド樹脂により行われる。最近のパッケージは、従来に比べ薄形化され、また低吸水性や低熱膨張率材料となるよう調製されている。このためシリカフィラーの大きさや充填率にも工夫が加えられ封止時の樹脂の流動性やフィラーの充填状態にも関心が持たれている。この観察のためにFE-SEMを使用し、加速電圧と検出器の位置を変えることにより、樹脂表面とフィラーの充填状態を観察した例をFig. 11に示す。樹脂の破断面を、電子ビームを低加速電圧に設定し、上部検出器を使用して、主に樹脂表面からの二次電子を検出する条件に設定した場合は、よく樹脂の充填度を捕らえている。一方、高加速電圧に設定し、下部検出器を使用して反射電子を検出しやすくした場合は、球状の SiO_2 粒がよく検出されている。

プリント基板上に半導体などの部品を実装し、モジュール

を構成する場合、接合材料としては、主にはんだが使用されている。最近では環境への負荷を考慮して、鉛を含まないいわゆる鉛フリーはんだへの切り替えも始まっており、接合部の微小化とともに接合部の組成分析の必要性も高まっている。はんだの表面は通常、光電子分光法(ESCA)で分析するとFig. 12に示すように、スパッタにより2分程度で除去されるスズの酸化膜と、5分程度かかる鉛の酸化膜が存在し、その下にバルク層が存在している。バルク層の組成を表面分析の手法により分析しようとする場合、組成の違う層が分布していることから、全体としての平均的な組成を精度良く求めることは難しい。しかし、最近のEPMAに組み込まれたソフトウェアを使用し、データの取り込み方を適正に設定すれば、Fig. 13に示すように、誘導結合プラズマ(ICP)分析の値と同等の分析値が得られることが分かった。

Area array bumps formed on chip

Void in bump

Detected voids in bump
by soft X-rays

Fig. 9 Detected voids in solder bumps by soft X-rays

Uniformly
dispensed under
fill resin Non-uniformly
dispensed under
fill resin
with voids Partially
non-dispensed
under fill resin
fill resin

Fig. 10 SAM observation of dispensed under fill resins at flip chip attach interfaces

3.3 最新のプリント基板と分析技術

最新のプリント基板は、コア層に順次、絶縁層と配線層を形成していくビルドアップ技術により製造されており、線幅 30 μm 、ビア径 50 μm 程度の微細配線が可能になっている。このようなビルドアップ基板の例を Fig. 14 に示す。このような基板においては、銅めっきのセミアディティブ法による微細銅配線の形成技術と、ビアの穴埋め技術が重要である。これを Fig. 15 に示す。微細配線はできるだけ平滑な面に形成するほうが有利であるが、配線の

密着強度が問題であり、現在は粗面によるアンカー効果により、密着強度を得ることが一般的である。これらの接合面を FIB, SIM により観察した結果を Fig. 16 に示す。これより分かるように、粗面の場合よくアンカーが形成されていることが分かる。

一方、銅めっきによる穴埋め技術は、電極への吸着物質が関与するより複雑な現象である。このためこの現象を理解するための基礎的な研究も進められている。Fig. 17 に、めっきにより穴の中に銅が埋められていく様子を示す。こ

Fig. 11 FE-SEM images of fracture surface and distributed filler particles in mold resin

Fig. 12 Quantitative analysis of Sn/Pb solder by ESCA

**Analysis condition: Acceleration voltage 20KV, Current 0.2nA, × 1500
data accumulation 50times 10 Sec/ frame**

**Analysis condition: acceleration voltage 20KV, Current 0.2nA, × 1500
data accumulation 1 time 500 Sec/ frame**

Fig. 13 Optimized data collection condition enables quantitative analysis of Sn/Pb(6/4) solder by EPMA

れよりビア底部のコーナー部にまず銅めっきが厚く付き、順次ビア内が埋まっていく様子が分かる。このようなめっきに使用される銅めっき液は、塩化物イオン、硫黄化合物である光沢剤 (A)、オキシエチレン鎖を持つポリマーを主成分とするレバラー (B) (ポリマー、色素、その他が添加されている) などが添加された硫酸銅めっき液である。このようなめっき液の電流電位曲線を Fig. 18 に示

す。この場合の特徴は A、B が共存した場合を除いて、すべてかくはん速度が増加すると曲線が正側に移行することであり、A、B が共存した場合にのみ曲線が負側に移行することである。これは電極に化学吸着した A を、比較的高濃度で電流抑制効果の大きい B が、かくはんにより大量に電極に補給されることにより、置換したためと考えることができる。このように A と B の置換は、Fig. 19 に示

Fig. 14 Cross sectional view of build up package

Fine lines

L=12 μm

Stacked vias

S

Fig. 15 Feature of fine lines with semi-additive process and stacked vias filled with copper plating

Smooth surface

Rough surface

Fig. 16 Cross sectional views of copper traces formed on smooth and rough surfaces by FIB-SIM

すように、ESCA による、A を吸着させた銅面に銅めっきを行った場合の、銅めっき表面の分析によっても確認することができる。また、A を吸着させた電極を使用して、B を添加しためっき液中でサイクリックボルタモグラムを求

めた場合も、同様な結果が得られた。すなわち、最初の負側への掃引では、A のみを添加した曲線に近い曲線が得られ、いったん A が脱着する正側の電位に掃引した後、再度負側に掃引した場合は、曲線の負側への移行が見られ、

Fig. 17 Propagation of via filling

Bのみを添加しためっき液の場合に近い曲線が得られた。

一般に、ビアの穴埋めを行う場合の適正な条件として、適度のかくはんと逆電解パルスの併用が行われる。これはかくはんが緩やかで、外側に比べAの吸着が優先的な構造を作りやすいビア内に、Aの吸着が優先的な吸着構造を作り、更に逆電解によるAの脱着とBの吸着を、ビアの形状効果による電流密度分布により、外側でより起こりやすく、内側で起こりにくく制御することを意味している。これらの実験事実やポーラログラフ的な吸着挙動の調査、更に種々の文献を参考に、穴埋めめっき時の吸着

Fig. 18 Current potential curves of copper plating solution for via fill

構造とめっき電流分布をモデル的に示すと、Fig. 20 のように書くことができる¹⁰⁾¹¹⁾。色素の機能は、光沢剤により銅のグレインは大きく成長し、光沢外観を呈することになるが、この際、グレインサイズを一定の大きさにそろえることにある¹²⁾。

このように新しい技術を作っていく場合には、その管理

Fig. 19 XPS analysis of sulfur containing compound (brightener) on copper plating surfaces

Fig. 20 Adsorption model of additives at the electrode and current distribution

技術を確立する上からも、メカニズム解析は極めて重要である。本件の場合には上記のような理解が得られたため、工場への導入が進んでいる。

4 おわりに

現在の産業は環境への影響を無視しては成立しない。このため、商品の LCA (life cycle assessment) や、いわゆる環境ホルモンなどの環境問題に関係する分析技術も重要な技術となっている。本稿ではこれらの技術について述べることはできなかったが、プリント基板材料のガスクロマトグラフ/質量分析計 (GC/MS) を使用したビスフェノール A の分析値は、材料の採否を決定する重要な資料とされている。また、プリント基板の樹脂と銅めっきの密着のメカニズム解析は、今後の材料開発の方向を決める上で重要な技術であるが、現状では十分な成果は得られておらず、今後の課題である。

しかし、本稿で述べてきたように、パッケージや基板を製造し、またモジュールを製造する半導体実装技術においては、古典的な分析法から最新の高額な分析装置を使用する分析まで、様々な方法が使用されている。この結果得られた知見は、それぞれの技術に基礎を与えることになり、現在の IT 技術の一翼を支えている。

分析は、何が、どこに、どのくらい、どのような状態で存在しているのか、を知るための手段であるが、従来の、何が、どのくらい存在するか、を数値で示す分析から、今後ますます、どこに、どのような状態で存在しているのか、を知るための「見る」分析への展開が進むものと考えられる。

文 献

- 1) S. Wakabayashi, A. Murata, N. Wakabayashi: *Plating*, **69**, (8), 63 (1982).
- 2) 若林信一: “非晶質めっき No.30”, p. 40 (1993), (表面技術協会).
- 3) 若林信一, 原山紀美子, 岩井昇一, 中沢昌夫: 金属表面技術, **39**, 189 (1988).
- 4) S. Wakabayashi, N. Sakaguchi, N. Kaneko, H. Nezu: *Plating*, **81** (11), 58 (1994).
- 5) 村田明彦, 若林信一, 前原 隆, 小泉祥治: 電子材料, **11**, 96 (1980).
- 6) S. Wakabayashi, T. Iijima, M. Nakazawa, N. Kaneko, H. Nezu: *Plating*, **80** (11), 63 (1993).
- 7) 若林信一, 竹内昌子, 中沢昌夫, 金子紀男, 根津弘幸: 表面技術, **44**, 63 (1993).
- 8) 若林信一, 竹内昌子, 中沢昌夫, 金子紀男, 根津弘幸: 表面技術, **44**, 70 (1993).
- 9) 若林信一, 岩野恵子, 中沢昌夫, 小沼良雄, 金子紀男: 表面技術, **51**, 1021 (2000).
- 10) 中沢昌夫, 吉谷昌明, 中村健次, 田中秀一, 伴

- 和恵, 若林信一, 金子紀男: 第10回マイクロエレクトロニクスシンポジウム論文集, p. 43 (2000).
11) 若林信一, 中澤 清, 金子紀男: まてりあ, **39**, 1003 (2000).
12) J. J. Kelly, C. Tian, A. C. West: *J. Electrochem. Soc.*, **146**, 2540 (1999).

要 旨

半導体用のパッケージはチップの固定や外部環境からの保護など, 比較的単純なものから, 放熱, 安定電源の供給, 高周波信号のインテグリティ確保など, 多岐にわたる機能が求められている。半導体の実装技術は, 更に基板やモジュールの製造技術までを含む広範な技術であるため, 材料, プロセス, 構造などが適正に設計, 管理されていることが必要である。このため, 分析技術としては古典的な重量分析, 容量分析から, ICP, GC/MS また EPMA, ESCA, AES などの表面分析など, 多くの分析方法が使用されている。本報では金, 銀めっきやワイヤーボンド, 樹脂封止, はんだ付けなどの工程におけるこれらの分析による解析事例について紹介し, 何が, どこに, どのくらい, どのような状態で存在しているのかを知るための, 「見る」分析の重要性について述べる。