— Technological Report —

Cu汚染起因ピット不良の評価と水素アニールおよびエピタキシャル成長による改善

山本 秀和^{*}, 木村 泰広^a, 松川 和人^a, 片山 俊治^a, 福本 晃二^a, 益子 洋治^b

三菱電機パワーデバイス製作所 (〒861-1197 合志市御代志997)

^aルネサステクノロジ技術開発統括部 (〒664-0005 伊丹市瑞原4-1)

^b大分大学工学部 (〒870-1192 大分市旦野原700)

Evaluation of Cu Contamination Induced Pit Failure and Improvement by Hydrogen Anneal and Epitaxial Growth

Hidekazu YAMAMOTO,^{*} Yasuhiro KIMURA,^a Kazuhito MATSUKAWA,^a
Toshiharu KATAYAMA,^a Koji FUKUMOTO,^a and Yoji MASHIKO^b

Mitsubishi Electric Corporation Power Semiconductor Device Works (997 Miyoshi, Koshi, Kumamoto 861-1197, Japan)

^aRenesas Technology Corporation Production and Technology Unit (4-1 Mizuhara, Itami, Hyogo 664-0005, Japan)

^bOita University Faculty of Engineering (700 Tadanohara, Oita, Oita 870-1192, Japan)

Received May 16, 2008 ; Accepted June 20, 2008

We have investigated the influence of Cu contamination induced failure (Cu/pit failure) on silicon semiconductor devices. In the evaluation by Cu decoration and SEM observation, pits of about 30 nm were observed at leak points of silicon oxide. Cu/pit failure introduced oxide breakdown. On the other hand, Cu/pit failure is improved by high temperature hydrogen anneal and epitaxial growth. These improvements are able to explain by migration and rearrangement of silicon atoms.

Key Words : Cu/pit Failure, Cu Decoration, Hydrogen Anneal, Epitaxial Growth

1 緒 言

シリコン集積回路の微細化が急速に進み、これまで問題とならなかった微小な結晶欠陥や金属汚染の影響が顕著に現れるようになってきている¹⁾。代表的な微小結晶欠陥として単結晶シリコン育成時に空孔が凝集して形成されるCOP (crystal originated particle)²⁾が知られている。COPの大きさは0.1から0.3 μm程度であるが、その影響はデバイスの設計ルールが0.3 μm程度になって大きな問題となった。一方、金属汚染の影響はシリコン半導体デバイス創成期から現れており、クリーン化とゲッタリング技術で対処してきた。ゲッタリングとはデバイスの活性領域以外の領域に、導入された不純物をトラップする手法であり、物理的な金属汚染に対しては非常に有効である。ゲッタリング手法には、酸素の外方拡散とシリコン基板内部に酸素起因の結晶欠陥を形成するプロセスを組み合わせたIG (internal gettering or intrinsic gettering) とウエハ裏面にポリシリコン層を形成する、裏面にリンを拡散させて欠陥を形成する、高濃度ボロン基板上にエピタキシャル層を形成しボロン基板をゲッタリングサイトする等のEG (external gettering or extrinsic gettering) がある。

シリコンデバイスにおける金属汚染の影響は、上記のよう

な物理的な過程によって発生する以外に、ウェットプロセス中に化学的な過程を経た不良として現れる。シリコンデバイス製造において、弗酸はシリコン酸化膜の除去に広く使用されている。弗酸処理液中にCuが混入すると、シリコン表面に微小なピットが形成されることが報告されている³⁾。この場合、Cu自体はその後の洗浄で除去されるが、ピットのみシリコンウエハに残存し、不良を引き起こす。このようなCu汚染起因のピット不良 (以下、Cu汚染／ピット不良) は純水中の処理でも発生する⁴⁾。

ここでは、Cu汚染／ピット不良の評価にCuデコレーション法が有効であり、走査型電子顕微鏡 (SEM: scanning electron microscope) 観察との組み合わせにより形状評価が可能であることを、不良の影響はゲート酸化膜の耐圧劣化として現れることを報告する。また、Cu汚染／ピット不良は水素アニールおよびエピタキシャル成長により改善できること、その改善メカニズムがシリコン原子の表面マイグレーションと再配列で説明可能であることを報告する。

2 実 験

シリコンウエハ製造の最終工程は鏡面研磨工程である。鏡面研磨工程では、研磨剤を含むスラリーと呼ばれる溶液を供

給し、CMP (chemical mechanical polish) によりウエハ表面を鏡面化する。スラリーには、不純物として 50 ppb 程度の Cu が含まれていることが分析により確認できており、鏡面研磨後のスラリー除去が不十分な場合、Cu 汚染が起こる可能性がある。鏡面研磨後の処理としては、一旦純水中にウエハを 2 分間以上保存し、その後 SC1 (standard cleaning 1) 洗浄を施した。SC1 洗浄液の組成は、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ である。Cu 汚染のない Reference ウエハは、鏡面研磨後の純水保存前に純水での流水処理を充分に実施し、スラリーを除去した。一方、Cu 汚染ウエハ (NG-2 および NG-15) は、純水中保存前の流水処理を行っておらず、強制的にスラリーを持ち込んだ。Cu 汚染のないウエハおよび Cu 汚染されたウエハとも、最終洗浄として SC1 洗浄を実施した。SC1 洗浄によりシリコンウエハに付着した Cu が除去されることが報告されている³⁾。SC1 洗浄により、シリコンウエハ表面には数 nm 程度のシリコン酸化膜が形成されている。

Cu 汚染/ピット不良部の同定は、Cu デコレーション法⁵⁾を用いて行った。Fig. 1 に Cu デコレーション装置の概略を示す。厚さ 25 nm の熱酸化膜を形成した後裏面の酸化膜を除去したシリコンウエハを陰極、Cu 電極を陽極として、エチルアルコール中で通電した。通電時間は 2 分間と 15 分間で変化した。通電により、酸化膜の耐圧リーク部に Cu が析出し、リーク部が同定できる。その後、Cu 析出部近傍にレーザマーキングを行い、SEM によりリーク箇所の形状評価を実施した。形状評価としては、塩酸中で Cu を除去することにより酸化膜上の評価を、弗酸中で Cu と酸化膜を除去することによりシリコンウエハ上の評価を実施した。

Cu 汚染/ピット不良のデバイスへの影響は、シリコンウエハ上に形成した厚さ 10 nm の熱酸化膜の絶縁耐圧劣化により評価した。シリコン基板には最も一般的な単結晶育成法である CZ (Czochralski) シリコンウエハを用い、鏡面研磨後の純水処理時に Cu 汚染の有無で処理したウエハの耐圧劣化を評価した。また、Cu 汚染/ピット不良を発生させた CZ ウエハに対し、水素アニールおよびエピタキシャル成長後の酸化膜耐圧劣化評価を実施した。なお、水素アニールおよびエピタキシャル成長前の洗浄としては SC1 洗浄を実施しており、洗浄後のウエハ表面には Cu 汚染は存在していない。

Cu 汚染/ピット不良の水素アニールおよびエピタキシャル成長による改善のメカニズム解明のため、シリコン表面に

LOCOS (local oxidation of silicon) プロセスにより段差を形成し、その形状変化を観察した。水素アニールは、通常エピタキシャル成長前の自然酸化膜除去処理として実施される。本実験においては、1190℃で 20 秒の処理を行った。エピタキシャル成長層の厚さは、0.3 μm から 5 μm で変化した。エピタキシャル成長の条件は、成長温度が 1135℃であり、成長レートは 3 $\mu\text{m}/\text{min}$ である。

3 結果と考察

3.1 Cu デコレーションによる Cu 汚染/ピット不良の評価

Table 1 は、Cu デコレーションの条件と表面 Cu 析出の密度と大きさをまとめた表である。Reference は Cu 汚染のない CZ ウエハ、NG-2 および NG-15 はウエハの鏡面研磨後に Cu 汚染のある純水中で処理した CZ ウエハ (Cu 汚染/ピット不良ウエハ) である。Cu デコレーションの通電時間は、Reference と NG-15 においては 15 分、NG-2 は 2 分間である。Cu デコレーション処理後の Cu 析出密度は、Reference では約 10 cm^{-2} であるのに対し、Cu 汚染/ピット不良ウエハでは約 1000 cm^{-2} と Reference の 100 倍程度になったが、時間依存性は見られなかった。また、Reference と NG-15 では処理時間は同じであるが、Cu 析出のサイズが大きく異なる。これは、酸化膜のリーク箇所の少ない Reference ウエハでは、電流集中により個々の Cu 析出のサイズが大きくなったためと考えられる。また、NG-2 と NG-15 の比較から Cu 析出のサイズは時間とともに拡大することがわかる。

Fig. 2 は、NG-2 ウエハを用いレーザマーキングによりリーク箇所を同定した後、塩酸処理により Cu を除去し酸化膜上の形状を SEM により評価した結果である。Cu 汚染により 30 nm 程度の不定形状のピットが形成されていることが確認できた。ピットのサイズは大きいもので 30 nm 程度であり、10 nm から 30 nm のサイズであった。この結果は、Cu 汚染/ピット不良が現行の光学式のパーティクル測定では評価できないことを示唆している。また、NG-15 ウエハにおける酸化膜上およびシリコン上の形状評価から、長時間の Cu デコレーション処理を行うと、酸化膜リーク部直下で酸化膜—シリコン間に空洞が形成されることが判明した。Fig. 3 は NG-15 ウエハの Cu 析出部下の断面 SEM 評価結果であるが、シリコン基板と Cu 析出の間に空洞が形成されているのが観察されている。この結果は、Cu デコレーションにおける Cu 析出と同時にシリコンの溶出が起きていることを示唆している。また、溶出は {111} 面が現れるように起こり、SEM 評価された形状は実際の (初期の) ピット形状とは異なる形状を示した。このように、長時間の Cu デコレーション処理はシリコンの溶出による形状変化を引き起こすので注意を要する。

3.2 Cu 汚染/ピット不良の影響と改善

Fig. 4 は、通常の CZ ウエハと Cu 汚染/ピット不良が発生した CZ ウエハの経時耐圧劣化の評価結果である。通常の CZ ウエハにおける耐圧不良は COP に起因した不良である。加えて、Cu 汚染/ピット不良 CZ ウエハでは大きく耐圧不良率が増加しており、Cu 汚染により形成された微小ピットが酸化膜の耐圧劣化を引き起こしていることを示している。

Fig. 5 は、エピタキシャルウエハ、通常 CZ ウエハ、Cu 汚染/ピット不良 CZ ウエハ、Cu 汚染/ピット不良 CZ ウエハ

Fig. 1 Cu decoration method.

Table 1 Condition of Cu decoration, Cu deposition density and Cu deposition size.

	Cu/pit failure	Electric field	Treatment time	Cu deposition density	Typical Cu deposition size
Reference	Without			9.2 cm^{-2}	$700 \mu\text{m}$
NG-15	With	5 MV/cm	15 min	997 cm^{-2}	$100 \mu\text{m}$
NG-2			2 min	1160 cm^{-2}	$10 \mu\text{m}$

Fig. 2 SEM image of Cu/pit failure. **Fig. 3** Cross section at Cu deposition point of NG-15.

にエピタキシャル成長および水素アニール処理を行ったウエハの酸化膜初期耐圧の評価結果である。通常CZウエハとCu汚染／ピット不良CZウエハは同一のCZ引き上げインゴットから製造しているが、Cu汚染／ピット不良により酸化膜耐圧特性が大きく劣化している。一方、このような不良ウエハでも、水素アニールやエピタキシャル成長を行うと、その酸化膜耐圧は通常の水素アニールやエピタキシャルウエハと同様の良好な酸化膜耐圧特性を示す。このように、水素アニールやエピタキシャル成長には通常CZウエハのCu汚染／ピット不良を改善できる優れた効果がある。なお、Cu汚染／ピット不良CZウエハに水素アニールやエピタキシャル成長を施したウエハで、用いたCZウエハ以上に耐圧不良率が向

Fig. 4 TDDB characteristics of CZ wafer and Cu/pit failure CZ wafer. **Fig. 5** Improvement of Cu/pit failure by epitaxial growth or hydrogen anneal.

上しているのは、Cu汚染／ピット不良に加えてCZウエハが有していたCOPまでもが除去されたことによる。

3.3 Cu汚染／ピット不良の改善メカニズム

水素アニール⁶⁾ およびエピタキシャル成長⁷⁾ 中にシリコン表面をシリコン原子が移動し、原子の再配列が起こることが報告されており、原子の再配列によりウエハ表面にステップ／テラス構造が形成される。このようなシリコン原子の移動と再配列によりCu汚染／ピット不良が改善できることを確認するため、LOCOSプロセスで形成した段差形状の変化から、シリコン原子の移動量を定量的に評価した。Fig. 6は、LOCOSプロセス後に窒化膜および酸化膜を除去したシリコン表面上に、 $0.3 \mu\text{m}$ から $5 \mu\text{m}$ のエピタキシャル成長層を形成した時のLOCOS段差の形状変化を断面SEMで観察した結果である。水素アニール処理のみでも大きなパターンダレが

Fig. 6 Changes of LOCOS shape by hydrogen anneal and epitaxial growth.

Fig. 7 Relationship of bard's beak length and epitaxial layer thickness.

Fig. 8 Relationship of field step height and epitaxial layer thickness.

Fig. 9 Improvement mechanism of Cu/pit failure by hydrogen anneal and epitaxial growth.

生じていることがわかる。このパターンダレはエピタキシャル層の厚さが増すに従って大きくなり、5 μm のエピタキシャル成長後には170 nm程度あった段差が消失している。Fig. 7はLOCOSのバースピーク長 L 、Fig. 8は広いパターンにおける段差 h と1 μm の繰り返しパターンにおける段差 h' のエピタキシャル成長層の厚さ依存性である。水素アニール処理のみ（エピタキシャル層厚0 μm ）でも L が500 nm程度伸びている。その後、エピタキシャル層が厚くなるに従ってバースピークが伸びている。LOCOSパターンの段差に関しては、両側からパターンダレが起こる繰り返しパターンでより早く段差が消失している。繰り返しパターンではエピタキシャル成長層の厚さが2 μm 程度、広いパターンでも5 μm 程度で段差が消失している。

Cu汚染／ピット不良のサイズは10から30 nm程度であり、LOCOSで形成した段差の1/10程度である。また、1 μm の繰り返しパターンの場合でも水素アニール処理のみで50 μm 以上の段差の低下が見られた。この結果から、Cu汚染により形成されたピットは、1190 $^{\circ}\text{C}$ 、20秒程度の水素アニールを行うことにより改善が可能であることがわかる。Fig. 9に水素アニールにおけるCu汚染／ピット不良の改善メカニズムを模式的に示す。シリコン原子の表面マイグレーションによ

りピット部にシリコン原子が移動し再配列によりピットが埋まることでCu汚染／ピット不良の改善が説明可能である。その後のエピタキシャル成長は、Cu汚染／ピット不良が消失した状態で進行するため、通常のエピタキシャル成長と同様にエピタキシャル層が形成される。

4 結 論

Cu汚染／ピット不良の評価にCuデコレーション法が有効であり、SEM観察との組み合わせにより形状評価が可能である。評価の結果、Cu汚染／ピット不良は大きさ30 nm程度のピットであることが判明した。ただし、長時間のCuデコレーション処理はシリコンの溶出による形状変化を引き起こすので注意を要する。

Cu汚染／ピット不良のデバイスへの影響はゲート酸化膜の耐圧劣化として現れる。一方、Cu汚染／ピット不良は水素アニールおよびエピタキシャル成長により改善できる。

エピタキシャル成長の前処理である水素アニールおよびエピタキシャル成長中にシリコンのパターンが大きく変化する結果が得られた。水素アニールおよびエピタキシャル成長に

よるCu汚染／ピット不良の改善メカニズムは、シリコン原子の表面マイグレーションと再配列で説明可能である。

文 献

- 1) H. Yamamoto, *Proc. of the 50th Symp. of Semiconductor and Integrated Circuits Technology*, p.70 (1996) [in Japanese].
- 2) J. Ryuta, E. Morita, T. Tanaka, and Y. Shimanuki, *Jpn. J. Appl. Phys.*, **29**, L1947 (1990).
- 3) H. Morinaga, M. Suyama, M. Nose, S. Verhaverbeke, and T. Ohmi, *IEICE Trans. Electron.*, **E79-C**, 343 (1996).
- 4) H. Yamamoto and H. Koyama, *Proc. of the 2nd Int. Symp. on Advanced Science and Technology of Silicon Materials*, p.425 (1996).
- 5) M. Itsumi, H. Akiya, M. Tomita, T. Ueki, and M. Yamawaki, *J. Electrochem. Soc.*, **144**, 600 (1997).
- 6) L. Zhong, A. Hojo, Y. Aiba, K. Chaki, J. Yoshikawa, and K. Hayashi, *Appl. Phys. Lett.*, **68**, 1823 (1996).
- 7) K. Izunome, Y. Saito, and H. Kubota, *Jpn. J. Appl. Phys.*, **31**, L1277 (1992).