4 先端エレクトロニクス 実装分野からめっき技術への要望 —半導体 IC と融合するインターポーザを中心に—

本多 進

1 はじめに

電子機器の超小型化や高機能化、高性能化などの進展に伴って、配線板への部品類の実装方式は、2次元実装（表面実装）から3次元実装へと転換が見られる。部品類とそれらをつなぐ配線の一体化、融合化である。さらに IC チップ内と配線板の多層配線が一体化、融合化する動きも出てきた。

こうした状況下にある電子機器実装において、室温、大気中で加工が可能なウエットめっき技術の重要性が高まりつつある。それらの中で本稿では先端実装に求められるファインパターンめっきとその周辺技術について課題と要望を述べる。

2 IC チップの配線は Cu ダマシンめっき構造に

高集積化された IC チップのデザインルールは、今や $0.1\ \mu\text{m}$ を切って先端製品では $20\sim 30\ \text{nm}$ レベルに突入してきている。しかし IC チップ内の全配線がこのレベルにあるわけではなく、Fig. 1 に示すように、高速ゲート素子の形成領域がそのレベルにある。これらの素子間の相互配線を行う $0.1\ \mu\text{m}$ レベルの中間配線層や、高速 IC で駆動用の大電流を流す数 μm レベルのグローバル配線層が上層に位置している。しかし現状では、この IC チップと数十 μm レベルのプリント配線板間にはデザインルール上大きなギャップが存在するため、それらを接続するバンプ径は現状では数十 μm レベルにならざるを得ない。このギャップが配線板のパターンの引き回しを長くして寄生 R、C、L の増加をもたらし、これらが信号遅延やクロストークノイズ等を増大させ、高速伝送波形を劣化させる原因になってきている。

そこでプリント配線板のデザインルールは、IC チップの

グローバル配線に近い $10\ \mu\text{m}$ 前後に近づける必要があり、IC チップとの接続は $10\ \mu\text{m}$ 径以下のマイクロバンプで行う必要がある。

一方、IC チップの駆動周波数が GHz 帯に入ってきた現在、IC チップ内でも従来の Al 配線によるファインパターン化では配線抵抗の上昇による信号遅延や発熱の問題が避けられなくなってきた。これに対処するため、1997 年に IBM から発表された Fig. 2 に示す Cu ダマシン法による多層配線法¹⁾が、高速 IC チップ内の多層配線の主流になってきた。これは、Al 配線（比抵抗 $\rho \approx 3.0\ \mu\Omega \cdot \text{cm}$ ）をより比抵抗の低い Cu 配線（ $\rho \approx 1.7\ \mu\Omega \cdot \text{cm}$ ）に置き替え、Fig. 3 に示すように、絶縁層に溝（トレンチ）とビアホールを形成して Cu めっきで充填し、上部の過剰な Cu を CMP（化学機械研磨）法で平坦化し、さらに Cu 配線の露出部はキャップメタルで覆うことを繰り返して多層配線を行う方法である。Al から Cu への転換だけでなく、高さ方向に厚さを稼ぐことで更なる低抵抗化を実現している。

しかしこの方法では、サブミクロンレベルのトレンチやビアホール内に、ボイドレスで均一な Cu 電気めっきを施す極めて高度なめっき技術が必要となる。スパッタリング法や CVD 法等のドライプロセスが主体の半導体プロセスにウエット成膜法を導入した点や、絶縁層内に拡散してリークの原因となるため半導体プロセスでは禁止事項とされてきた Cu メタルの導入に踏みきったことは、高速、高周波化する IC チップの内部配線がいかに重大な問題を抱えていたかをうかがい知ることができる。

この Cu メタル拡散による絶縁層リークへの対策としては、Fig. 3 (a) に示すように、絶縁層の表面やビアホールを含むトレンチ壁に数十 nm 厚の拡散防止用の導電膜（バリア導電膜：Ti、Ta、TaN 等）をスパッタ等のドライプロセスで

Fig. 1 高速 IC チップと配線板との接続イメージ。

Fig. 2 IBM 社が 1997 年に発表した Cu ダマシン法による IC チップの多層配線構造¹⁾。

Fig. 3 ダマシンプセスによる Cu 配線形成プロセス。

形成して避ける方法がとられている。これらの膜も大気中でめっきプロセス形成が望ましい。この場合、トレンチ底面や側壁はこれらの拡散防止膜で保護されるが、CMP 後は Cu が表面に露出するため、この表面にも上部絶縁層に対する拡散防止用のキャッピング膜が Fig. 3 (d) のように必要となる。微細パターンになると、特に Cu ビアホール上部には電流集中が起こり、これがエレクトロマイグレーションによる導体内のボイド発生につながるため、このキャッピング材は Cu ダマシンプセスの開発段階から重点課題として検討されてきた。無電解めっきによる代表的なキャッピングメタルには CoWP (平均的な膜組成: Co 90%, W 2%, P 8%)²⁾ や NiB³⁾ などがあり、Cu と絶縁層に優れた密着性を持ち、エレクトロマイグレーション耐性も高い。前者は Pd 活性化層上に、後者は Pd がトラップされたアミノシラン系単分子膜上に成長させる方法がとられている。

こうした Cu ダマシン構造の出現により、2000 年以降の GHz 帯超高速 IC チップには、半導体各社で採用が相次ぎ、急速に進展してきている。しかし、サブミクロンレベルのトレンチやビアホール内への Cu 電気めっきには、プリント配線板と同様の硫酸銅めっき液が使用されるが、微小トレンチ壁面への Cu めっき膜の異常析出やトレンチ内へのボイド残り等の問題が出てくる。このため、めっき液には適切な添加剤 (ブライटना、キャリア、レベラ等) を加え、カバリッジ性を改善するための PR (Periodical Reverse) 電解めっきを施す^{4,5)} など、ビルドアップ配線板のビア充填めっき時の検討内容も含めて、種々の検討や改善がなされて今日に至っている。

めっき液の添加剤は、液のメーカーで異なると同時に機密事項の要素もあるが、採用に際しては、析出する Cu 膜への電気特性や信頼性に対する影響度や、量産時の液組成の管理手法などを明確化しておく必要がある。これらの点で、プリント配線板の Cu めっきプロセスに比べてはるかに厳しい管理が必要となる。

また、絶縁層中の信号伝達速度 v は、 $v = K \cdot c / \sqrt{k}$ (K : 定数、 c : 光速、 k : 比誘電率) で表されるため、信号が高速になると多層絶縁層に低誘電率材料 (Low- k 材) が必要になってくる。その上 Cu ダマシン構造で配線間距離が接近し

Fig. 4 従来法とライン・ピラー法⁶⁾による Cu ダマシンプセスの比較 (ASET)。

てくると、寄生容量やクロストークが増大し、IC チップ内でも信号遅延や劣化 (歪み、揺らぎ等) が大きくなる。このため、半導体サイドでは、IC チップ内での並行配線を極力避けることは勿論のこと、多層配線用絶縁層の徹底的な低誘電率化を進めてきている。

絶縁層の低誘電率化としては、従来の SiO_2 (比誘電率 $k \approx 4.0$) 絶縁層から樹脂系 (ポリイミド $k \approx 3.6$ その他) 絶縁層に変更し、さらなる低誘電率化を目指して絶縁樹脂中にナノサイズのマイクロ空孔 (ポア) を均一分散させて、比誘電率が 2 を切る絶縁層の開発にも注力してきている。しかし、このマイクロポア入り Low- k 材にトレンチやビアホールを形成して Cu めっきを施すプロセスでは、マイクロポア内に僅かに残留しためっき液や洗浄液が信頼性に影響を及ぼす危険性がある。このため、絶縁層表面やビアホール側面をプラズマ処理でポアをシーリングする方法や、最近では Fig. 4 に示すように、Cu ダマシンパターンを形成した後に絶縁層を形成して平坦化するライン・ピラー法⁶⁾ などが開発されてきている。この方法では、絶縁層のエッチングが不要になるとともに、Cu めっきの不安定析出や液残りの問題が回避でき、プロセスも簡略化できるなどのメリットがある。

3 インターポーザの新たな動き

半導体サイドでは、このように IC チップ内の多層配線の性能向上に大きな努力を払ってきた。しかし IC チップは、通常は Fig. 5 に示すように、インターポーザと呼ばれるパッケージ基板に実装された上で、樹脂系のプリント配線板に実装される。このインターポーザのデザインルールが現状では数十 μm レベルにあるため、配線の引き回し等で IC チップの高速、高性能特性を活かしきれない問題が生じてきている。

そこでインターポーザの配線パターンを IC チップのグローバル配線の数 μm レベルまで微細化、高密度化する必要がある。このレベルでは、樹脂系の Cu 配線インターポーザといえども Cu 薄箔のフォトリソではパターン形成が困難で、Cu めっきが主体になってくると考えられる。また、導体幅が 10 μm レベルまで狭くなると、配線板でも配線抵抗の上昇やそれに伴う発熱が問題になるため、IC チップ同様の Cu ダマシン類似の構造やプロセスをとることが必要に

Fig. 5 ICチップ / インターポーザ / プリント配線板の関係。

Fig. 6 Si ベースインターポーザによる IC チップ実装構造。

なってくる。しかし問題は $10\text{ }\mu\text{m}$ を切る樹脂系インターポーザを生産レベルに持ち込むことが出来るか否かにある。現状では、ファインパターン形成やパターン位置精度の確保など、樹脂系配線板では越えるべき障壁が高い。

そこでこれをクリアする手段として、最近、Fig. 6 に示すような Si ベースのインターポーザを開発する動きが半導体サイドで出てきた。ICチップの微細加工プロセスをインターポーザの配線に適用してファインパターン化を実現しようとするものである。本来、インターポーザは樹脂系といえども IC パッケージ用に半導体サイドで使用されるため、半導体プロセスで加工する Si ベースインターポーザは実現の可能性が高い。すでに IC チップ内のグローバル配線部を Si インターポーザ側に取り込もうとする動きすら出てきている。

この Si ベースインターポーザでは、Si は文字通り単なるベースで、その SiO₂ 膜上にポリイミド、BCB 等の樹脂と Cu めっき配線を組み合わせて多層配線を形成する。この配線はファインパターンといえども IC チップ内のグローバル配線レベルに近いので、半導体サイドで進めることに問題はない。

しかしインターポーザのベースに Si 基板を用いると、半導体金属であるベースの Si と配線層間に数 μm 以下の薄い絶縁層を介して寄生素子が発生し、高周波特性面で好ましくないという結果も出始めている。その上コスト面での問題はさらに深刻となる。そこで、ベースにガラス基板を使用し、低コスト化や高性能化を図ろうとする動きも出始めている。最近、米 Georgia Tech. 工科大学が Si ベースに替えてガラスベースのインターポーザの開発を発表した。回路性能の向上とコスト 1/10 以下を狙っている。

さらに Si ベースインターポーザの大きな問題は、多層配線層の上面からしか電極が引き出せない点である。これはガラスベースでも同様である。この点は IC チップも同様で、電極は素子上にのみ形成され、チップ裏面への電極引き出しは難しい。しかし最近、超小型化や電気特性の向上を目的として、複数の IC チップを 3 次元積層して最短距離実装する動きが出てきた。これにはチップ裏面への電極引き出しが不可欠となる。

そこで最近、ICチップの電極部に貫通穴をあけ、内壁に絶縁層を形成した後に導電材を充填して、裏面に電極を引き出す TSV (Through Si Via) 法が開発された。この技術を Si ベースインターポーザに適用すればよいので、ここでプ

Fig. 7 ICチップへの TSV 形成プロセスと IC チップの 3 次元積層構造。

ロセスの概略を記述しておく。

TSV 形成プロセスは、Si ウェハの裏面研削による薄型化と、穴あけ、穴内への導電材料充填を組み合わせで行う。ここでも Cu ダマシン配線と同様に、Cu の微細電気めっき技術が重要となる。

IC チップへの TSV 形成法には、半導体素子を形成する前に穴あけする方法 (Via Fast) と素子形成後に穴あけする方法 (Via Last) があり、素子構造や使用目的によって使い分けされる。穴あけ時の影響を避け、数 μm 径までの微小穴あけをするには前者の方法が良い。Fig. 7 (a) にこの方法による IC チップへの TSV 形成プロセスを、また同図 (b) にメモリチップなどで一部製品化されつつある IC チップの 3 次元積層構造を示す。

Si ウェハ厚は一般には $500\sim 700\text{ }\mu\text{m}$ 程度あり、貫通穴をあけるのは非効率のため、最終的に使用する $50\sim 100\text{ }\mu\text{m}$ 深さに穴あけする。その穴壁に絶縁層を形成後、導電材料を充填した上で厚いまま半導体 IC 工程にまわし、IC 加工終了後に裏面研削してビアを露出させ、裏面電極を形成する。これらの各プロセスは以下のようなものである。

Si ウェハへの穴あけは、RIE (Reactive Ion Etching) 法やレーザー法等により、所定の位置に所望深さにブラインドビアを形成する。この穴あけはプロセスコストや導体充填後の信頼性に影響を及ぼすため、現状では Fig. 7 (a) 内に記した種々の穴あけ法での検討が進んでいる。コストや信頼性面で適用できる画期的な穴あけ法の出現が望まれる。

穴あけ後に、穴壁面へ CVD 等により SiO₂ 等の絶縁膜を形成し、導電材料を充填する。これには IC チップの多層配線用に使用されてきた CVD 法による Poly-Si や W 充填が半導体サイドでは実施し易いが、多層配線用ビアと違って TSV はビアが長いので、抵抗が高くなる。そこでここでも Cu めっき充填法が有利になる。しかも CVD 等と違って、常温、大気中で導体析出が可能でめっき法は、生産性面でも望ましい方法である。

この方法では、Cu ダマシンプロセスと同様に、バリア層、Cu シード層を形成後に電気めっき法で充填する。穴径は、

先端試作レベルでは2~3 μm が可能になってきているが、一般には10~40 μm 程度が多い。しかしTSVの場合は多層配線ビアと違って穴が50~100 μm 前後と深いため、アスペクト比は10前後にも達する。

さらにICチップの電極数は、今後、1チップ当たり数千個レベルまでの増加が見込まれるため、この穴数でパーフェクトに充填することが求められることになる。

これらはブラインドビアのため、穴底から開口部へと順次析出が進行するボトムアップめっき方式で、ボイドレスの均質なめっきを施す必要がある。これにはCu ダマシンめっき以上に添加剤等のめっき液管理や、めっき装置における液流管理、電源管理等が重要になってくる。

一方、Si ベースインターポーザにもこのICチップのTSV技術が適用できる。しかしSi 基板厚は、搭載するチップサイズやチップ数にもよるが、チップ搭載基板としての役割を果たすには100 μm を切ることは強度面で難しい。そこで100~200 μm 厚が必要となる。この場合は貫通穴を形成してからめっきしてもよいが、穴径はICチップに近い10 μm 前後が必要となると、アスペクト比は10~20 となり、ICチップのTSVより厳しい充填めっき技術が求められることになる。

これらSi ベースのICチップやインターポーザへのTSVの導入は、産業界だけでは実現が困難なため、すでに学や官(NEDO, 産総研等)の強力な推進の下に、多くのデータが蓄積されつつある。しかし海外勢もすでに一部で生産に乗り出し始めているため、コストや生産性を含めた、実用化レベルの解を見出す協力体制が望まれる。

なお、100 μm 以下の薄基板でのCu めっきTSV構造がインターポーザでも利用可能になれば、アスペクト比が小さいため、TSVの形成は容易になる。しかし、熱膨張係数 α がCu ($\alpha \approx 15 \text{ ppm}/^\circ\text{C}$) とSi ($\alpha \approx 3 \text{ ppm}/^\circ\text{C}$) とで大きく異なるため、Si 基板に熱応力が発生する。これにより、ICチップではTSV近傍のCMOS特性が変化したり、インターポーザでは搭載したICチップの特性が変動するなどのデータも確認され始めている。そこでこうした薄Si 基板構造で実現するには、Siに α が近似しており、しかも導電性に優れた充填めっき材料の開発が必要になってくる。

一方、上述したガラスベースインターポーザはまだ開発段階ではあるが、Wワイヤを埋め込んだりCu めっき充填により、すでに試作レベルでは20 μm 径でアスペクト比10~15のサンプル出荷が始まっている。ただしビア充填形成は出来ても、Si 基板のような裏面研削による薄基板の作成や、薄基板化した際の強度など、検討すべき課題も多い。

4 Si ベース微細配線レベルを樹脂フィルムで実現

以上述べてきたSi ベースインターポーザでは、Si はあくまでベース基板であって、配線層はポリイミド等の絶縁膜とCu めっきとの組み合わせで形成される。見方を変えればSi ベース上に樹脂系の多層配線層が形成されていることになる。そこで、Si ベース上で半導体の微細加工により多層配線を形成した後にSi ベースを除去すれば、ICチップ並みのファインパターンの樹脂配線板が得られることになる。こうした方法でのファインパターン領域のフレキシブル樹脂系インターポーザの開発も進んでいる。Fig. 8にその事例⁷⁾を示す。

この例では、Si ベース上にインターポーザ用多層配線層

Fig. 8 Si ベース上に多層配線を形成し、その後Si ベースを除去してファインパターンインターポーザを形成した例⁷⁾(文献7)の図に加筆)。

を形成し、その直後にSi を剥離すると、超薄基板の取り扱いが難しくなる。そこで、Si ベース上でICチップを搭載し、樹脂で保護コートまでを終わらせた後にSi を剥離する方法がとられている。この方法によれば、完成したインターポーザはTSV加工が不要の上に、Si ベースインターポーザと全く同レベルのファインパターンインターポーザが得られる。今後の樹脂系配線板でのファインパターン形成手段に大きな示唆を与える方法といえよう。

5 おわりに

以上述べてきたように、高速IC用インターポーザでは10 μm を切る配線パターンの必要性が高まってきているが、現状では樹脂系配線板での実現は難しい。そこでSi やガラスベースの登場となるが、アスペクト比の大きい微小穴内へのCu 充填めっきが必要で、穴あけ技術やめっき技術のより一層の高度化が求められる。一方、4で述べたように発想を転換すれば、樹脂配線板で半導体レベルのファインパターン化が実現できる可能性がある。

今後はSi やガラスベースに頼らずに、樹脂系でこの領域のファインパターン化を実現していく必要があるが、これには半導体プロセスでの超ファインめっき技術などの検討を配線板サイドでも積極的に取り込む必要があろう。そして半導体ICと配線板との加工プロセス面での融合だけににとどまらず、半導体ICの多層配線領域と配線板間で、たとえばICチップのグローバル配線領域をインターポーザ内に取り込むなど、構造面、機能面での融合化、一体化を図っていくことが、今後の電子機器の高度化につながる道と考えられる。

なお、本稿ではインターポーザとその周辺に絞って記述したが、パターンがファイン化してくると、10 μm 径以下のマイクロポンプの形成法や、これらの微細電極間の接続法など、並行して検討を要する課題も多い。この領域では、もはや従来の溶かして付けるはんだ接続法の使用は困難になることが予想される。そこで微小めっき電極同士をめっき手法で接続するなどの方法が重要になってこよう。常温、大気中で微細加工が出来るめっき技術への期待が大きい。

文 献

- 1) D. Edelstein, *Proc. IEEE IDEM*, 773 (1997).
- 2) H. Einati, V. Bogush, Y. Rosenberg, and Y. Shacham, *Microelectron. Eng.*, **82**, 623 (2005).
- 3) M. Yoshino, Y. Nonaka, T. Yokoshima, T. Osaka, *Electrochemical Society*, PV2003-10, 137 (2003).
- 4) S. Miura, K. Mihara, T. Fukushi, and H. Honma, *J. Electronics Packaging*, **5**, 246 (2002) [in Japanese].
- 5) K. Oyamada, H. Nishinakayama, S. Watanabe, and H. Honma, *J. Electronics Packaging*, **7**, 261 (2004) [in Japanese].
- 6) *NEDO Report of Electronics & Information*, March (2004) [in Japanese].
- 7) N. Motohashi, Y. Kurita, K. Soejima, Y. Tsuchiya, and M. Kawano, *2009 Electro. Comp. & Tech. Conf.*, 599 (2009).

●著者プロフィール

氏 名：本多 進 Susumu HONDA
所 属：実装技術 NPO 法人
サーキットネットワーク
役 職：理事長
趣 味：トレッキング, 読書