高速三次元電磁界・回路シミュレーション技術の現状と将来展望

アルゴリズムと並列計算の観点から

Current Status and Future Trend of Fast 3D Electromagnetic/Circuit Simulation Technology
— From the Viewpoints of Algorithm and Parallel Computing —

浅井秀樹 Hideki ASAI

井上雄太 Yuta INOUE

關根惟敏 Tadatoshiki SEKINE

アブストラクト 近年、回路の集積化と高周波化が著しく進み、高速伝送の実現とともに多様な雑音問題が深刻となっている。半導体だけでなく、回路システムを構成するプリント配線板やパッケージの発展により、その設計も複雑となり、昨今は、三次元構造の効率的設計が望まれている。更に、半導体集積化も Moore の法則の限界に対する対策として、二次元から三次元構造へと進化しつつある。これらの三次元設計において、いかに信号や電源の品質を保証するかが課題となっている。これらの課題に対して、シミュレーション技術の重要性が高まっている。そのような背景の下、本稿では、三次元解析技術の現状と将来展望について述べる。まず最初、三次元電気シミュレーションについて概要を述べた後、従来の電磁界・回路シミュレーション技術について整理する。次に、これらの時間領域解析に対する先端的な高速アルゴリズムについて述べる。更に、PC クラスタや GPGPU などの高並列処理機能を利用したハードウェアアクセラレーション技術について言及するとともに将来展望を示す。

キーワード 高速伝送、電磁界シミュレーション、回路シミュレーション、三次元集積回路、チップ・パッケージ・ボード協調設計、シグナル/パワー・インテグリティ、EMC、PC クラスタ、GPU、並列計算

Abstract In the recent drastic evolution of high-density and high-frequency electronic circuit technologies, various noise problems have become critical. With the rapid technological improvements in IC packaging and printed circuit board manufacturing as well as in LSI chip design, the design methodologies have become complex and require efficient three-dimensional (3D) modeling. Furthermore, a paradigm shift in semiconductor design from two dimensions to three dimensions is occurring in an attempt to break through the Moore's law. In 3D designs, one of the most critical issues is how to meet the requirements for the signal and power integrity and the EMI effects, and, as a result, simulation technology has become increasingly important. In this report, the current status and future trend of 3D electromagnetic/circuit simulation technology are described. After the introduction, a historical overview and the current status of 3D electrical simulation techniques are described. Next, a variety of advanced simulation algorithms are introduced for efficient time-domain analysis. Furthermore, several types of hardware-oriented acceleration techniques based on PC clusters and GPGPU are discussed.

Key words High-speed transmission, electromagnetic simulation, circuit simulation, three-dimensional integrated circuit (3D-IC), chip/package/board co-design, signal/power integrity, EMC, PC cluster, GPU, parallel computing

1. はじめに

近年、半導体や電子機器の性能が著しく発展してきた。Moore の法則に従う半導体の高集積化はもとより、デジタル情報電

子機器の軽薄短小化は劇的であった。それらを支える技術として、半導体の微細化、省電力化はもちろん、パッケージやプリント配線板の小形化、高信頼化が大きな役割を果たしている。また、昨今、チップ・パッケージ・ボードの協調設計力が要求される時代となっている。当然のことながら、回路の高集積化、高周波化に伴い、高速伝送技術が飛躍的に発展してきた。また、これまで半導体の中核技術として発展を支えてきた Moore の法則に従う高集積化にかげりが生じていることからチップを積層結合し、それらをパッケージ技術で見かけ上ワンチップとする SiP/SoP(System in Package / System on Package) などの三次元技術の開発においてもチップ間接続の高速伝送が非常に重要となっている。高速伝送技術の進展は、一方で、多様な雑音問題を誘発する。実際、ケーブルを伴うデジタル情報家電においては、電磁放射やコモンモード電流などの影響が深刻となるなど、多様な雑音問題の処方箋が必要となっている。更に、我が

浅井秀樹 正員：フェロー 静岡大学電子工学研究所ナノビジョン研究部門
E-mail hideasai@rie.shizuoka.ac.jp
井上雄太 正員 静岡大学電子工学研究所ナノビジョン研究部門
E-mail inoue@tzasai7.sys.eng.shizuoka.ac.jp
關根惟敏 静岡大学工学部機械工学科
E-mail sekine@tzasai7.sys.eng.shizuoka.ac.jp
Hideki ASAI, Fellow, Member (Nanovision Research Division, Research Institute of Electronics, Shizuoka University, Hamamatsu-shi, 432-8561 Japan), Yuta INOUE, Member (Nanovision Research Division, Research Institute of Electronics, Shizuoka University, Hamamatsu-shi, 432-8561 Japan), Tadatoshiki SEKINE, Nonmember (Faculty of Engineering, Dept. of Mechanical Engineering, Shizuoka University, Hamamatsu-shi, 432-8561 Japan).

電子情報通信学会 基礎・境界サイエティ
Fundamentals Review Vol.7 No.3 pp.197-209 2014 年 1 月
©電子情報通信学会 2014

国において最大の基幹産業である自動車分野においても車載のハーネスに関連する雑音問題が重大となっている。このような雑音対策を含む設計段階において、シミュレーション技術が重要となっている。生産過程において、多様な場合の試作と実測を繰り返しながら最適化していくことは、TAT (Turn Around Time) やコストの観点から非効率であり、シミュレーションを利用することで、設計コストの削減を目指す動きが盛んである^{(1) (2)}。

一般的に、電子システムは、半導体チップがパッケージに包まれ、それが更にプリント回路板 (PCB: Printed Circuit Board) 上に実装されている。そのようなシステムにおいて、チップ上の高速な同時スイッチング雑音がグラウンドに回り込み、電源・グラウンドを揺らす、いわゆるグラウンドバウンスが重大な問題となっている。この場合、チップ・パッケージ・ボードの電源・グラウンドは、全てつながっていることから、本来、全体を一括して協調シミュレーションすることが望ましい。協調シミュレーションにおいては、これまで理想的なプレーンであるとみなしてきた電源・グラウンド層を詳細にモデル化する必要がある。しかしながら、詳細なモデル化によると、回路規模が膨大となり、従来の SPICE 系シミュレータは、実用的に適用が困難となる。したがって、今後の効率的な SI/PI/EMI (Signal Integrity/Power Integrity/Electromagnetic Interference) 設計のためには、何らかの新しいシミュレーション技術が不可欠である。例えば次世代のシミュレーション技術として、電源・グラウンドの詳細モデルから抽出される三次元構造に対応可能となる機能が必須となる。また、シミュレーションモデルを等価回路として抽出する方法と電磁界モデルとして抽出する方法が考えられる。本稿においては、まず最初、従来の電磁界及び回路シミュレーション技術について整理する^{(1)~(17)}。そして、新世代シミュレーションとして利用可能となるであろう高速シミュレーションアルゴリズムについて述べる^{(18)~(46)}。

一方、科学計算は、より大規模なシステムへの適用が望まれてきている。大規模システムへの実用的な対応のためには、高速計算性が必須となる。高速化の達成のためには、アルゴリズム自体の高速化と並列計算を可能とするハードウェアを利用する方法が考えられる。したがって、アルゴリズムは高速であり、かつ、並列計算に適していることが要求される。本稿で示す次世代アルゴリズムは、並列計算性に優れている^{(47)~(62)}。そのことを示すために、PC クラスタ、あるいは、GPU (Graphics Processing Unit) 上で実装し、その優位性を示す。

2. 電磁界シミュレーション技術

2.1 電磁界シミュレーション技術の概要と現状

三次元電磁界シミュレーションに関する技術は、計算電磁気学における数値計算アルゴリズムをはじめとして、解析空間を分割するメッシュ化技術、物理形状や媒質特性を計算機に入力するための CAD (Computer Aided Design) 技術などを含んで

表 1 代表的な電磁界シミュレーション手法の特徴

手法	方程式	領域	メッシュ形状	係数行列
モーメント法	積分	周波数	長方形, 三角形	密
FEM	微分	周波数	直方体, 四面体	疎
FDTD 法	微分	時間	直方体	疎
TLM 法	微分	時間	直方体 (SCN)	疎
PEEC 法	積分	時間, 周波数	直方体	密

いる。特に、偏微分方程式の数値解法としての電磁界シミュレーションアルゴリズムの開発は、この数十年活発に行われており、各分野で必要とされる用途に応じて多くの電磁界シミュレーション手法が提案されてきた。この中で、電子回路の信号や電源の品質を保ち、不要電磁放射への対策を考慮した設計を目的とする EMC (Electromagnetic Compatibility) の分野では、モーメント法 (MoM: Method of Moments)、有限要素法 (FEM: Finite Element Method)、FDTD (Finite Difference Time Domain) 法、TLM (Transmission Line Matrix) 法、PEEC (Partial Element Equivalent Circuit) 法の 5 つの手法が最もよく用いられている⁽⁴⁾。これらの手法の特徴を表 1 に示す。各手法は、方程式の形式や時間・周波数の領域、利用できるメッシュの形状に違いがあるものの、Maxwell の方程式を数値的に近似し、最終的には線形代数方程式 (連立方程式) を解くことで数値解を求める点が共通している。

境界要素法の一つであるモーメント法は、開いた領域における導体細線内の電流密度や導体の表面電流を求めることに適した手法であり、主に周波数領域の解析に用いられる。この手法では、自由空間におけるグリーン関数によって表現された積分方程式を、基底関数を用いて近似した後、重み関数を導入して線形代数方程式を導く⁽⁵⁾。積分方程式は導体表面に関する方程式となっているため、長方形や三角形のメッシュによって導体表面のみが分割される。表面に分布する変数のみを求めれば良いため、変数の数は比較的少なくなる一方、線形代数方程式の係数行列が密になるため、変数の数に対して計算量が多くなる傾向がある。

FEM では、解析空間を直方体、または四面体の要素によってメッシュ分割する。そして、微分形の方程式を基底関数を用いて近似した後、Galerkin 法に代表される重み付け残差法、あるいは変分原理を適用し、線形代数方程式を導出する⁽⁵⁾。隣接する要素間の関係に基づいて近似を行うため、係数行列は疎となり、緩和法や前処理付き共役勾配法などの反復法を用いて効率的に解くことができる。FEM は、いわゆるスプリアス解に関する問題がベクトル基底関数によって解決されたことや、PML (Perfectly Matched Layer) の導入による開いた領域への対応、Delaunay 分割をはじめとしたメッシュ化技術の発展により、周波数領域の解析では最も良く用いられる手法となっている。

時間領域の解析手法である FDTD 法では、Yee セルと呼ばれる直方体のセルによって解析空間を分割し、空間と時間に関してリープフロッグ型の差分法を用いて離散化する⁽⁶⁾。このとき、電界と磁界が空間的にも時間的にも交互に配置されるため、係数行列が疎な下三角行列となり、1 変数ごとに計算を行うことが

できる。FDTD 法はアンテナ解析や SI/PI/EMI の解析だけでなく、あらゆる電磁気問題に応用されており、近年の論文投稿件数が最も多い手法の一つとなっている⁽⁴⁾。これは、ほかの手法に比べて定式化が直感的に分かりやすく実装や並列化が容易であることや、PML に代表される吸収境界条件が導入されたことが大きな要因である。加えて、分散性媒質や集中定数素子への対応、サブグリッドやサブセルによる任意形状への対応といった拡張性の高さが利点である。また、精度や数値安定性、数値分散特性が理論的に完全に解明されているという利点もある⁽⁶⁾。

TLM 法では、ホイヘンスの原理に基づく電磁波の伝搬と伝送線路におけるインパルスの伝搬との類似性を利用しており、伝送線路上の電圧と電流を計算することで三次元空間内の電界と磁界を求めている⁽⁷⁾。空間をグリッド状に離散化する際、直交座標系の各方向に沿った 6 本の伝送線路を直方体の中心で接続した SCN (Symmetrical Condensed Node) と呼ばれる分割単位を用いている。TLM 法は、誘電体や磁性体、吸収境界条件への対応や、部分ごとに大きさの異なるグリッドを適用するマルチグリッドを利用することで、実用的な EMC 問題に応用されている⁽⁸⁾。

PEEC 法では、解析空間内の導体を、誘導性の体積セルと容量性の表面セルによって分割し、体積セル内の電流密度と表面セル上の電荷密度を変数とした積分方程式を近似する⁽⁹⁾。その後、各変数を電流と電圧に置き換え、変数の係数を抵抗や部分インダクタンス、キャパシタンスとみなして等価回路を抽出する。PEEC 法の定式化の過程はモーメント法に類似している一方、電磁気問題を回路の問題へと変換するという大きな違いがある。よって、商用の汎用回路シミュレータを利用することができ、かつ三次元空間における Maxwell の方程式のフルウェーブ解を得ることができる。しかし、モーメント法と同様に係数行列が密となり、計算量が比較的多くなるため、効率的に解析する手法が必要とされている⁽¹⁰⁾。PEEC 法は、主に高速配線網やパッケージの時間領域と周波数領域の解析に用いられており、非直交座標や三角形を用いたメッシュ化、誘電体や外部励振源への対応によって、より汎用的な問題へ適用可能となってきている⁽¹¹⁾。

2.2 時間領域電磁界シミュレーション手法の発展

時間領域のシミュレーションを行うことの利点に、後処理としてフーリエ変換を行い、広い帯域幅の周波数特性を一度の解析で得られることが挙げられる。また、周波数領域で考慮することが困難な時間依存性や非線形特性を取り入れることが容易であるという利点もある⁽⁵⁾。FDTD 法、TLM 法、PEEC 法などの時間領域の手法では、時間に関する近似に差分法が採用されている。差分法に基づく過渡解析手法では、時間刻み幅 Δt を用いて離散化された時間軸上の計算点 (タイムステップ) において、差分方程式から得られる更新式を利用して変数を順次求めていく。そして差分法には、大きく分けて陽解法と陰解法の 2 種類の定式化が存在する⁽⁶³⁾。FDTD 法が採用しているリープフロッグ型の差分法は陽解法であり、TLM 法や PEEC

法では主として陰解法が用いられている。一般に、陽解法は計算量が少なく、数値的に安定な解を得るための条件が存在するのに対して、陰解法は計算量が多く、無条件安定な手法となる傾向がある⁽⁶³⁾。例えば FDTD 法における時間刻み幅 Δt は、CFL (Courant-Friedrichs-Lewy) 条件

$$\Delta t < \frac{1}{c} \left(\frac{1}{\Delta x^{-2} + \Delta y^{-2} + \Delta z^{-2}} \right)^{\frac{1}{2}} \quad (1)$$

を満たす必要があり、ほかの陽解法にも類似した数値安定条件が存在する⁽⁶⁾。ここで、 c は光速、 $\Delta\gamma$ ($\gamma = x, y, z$) はメッシュ化された直交座標系の γ 方向の最小空間刻み幅である。一般に、空間を伝搬する波を精度良く解析するためには、空間刻み幅は波長の 20 分の 1 から 10 分の 1 程度であればよいとされる。よって、波長に比べて極端に小さな構造物が解析空間内に存在する場合、その構造を小さなメッシュを用いて分割すると、必要以上に小さな時間刻み幅を用いる必要があり、結果として総タイムステップ数が増えて計算効率が下がるという問題がある。この問題を解決する方法が重要な研究課題となっており、特に FDTD 法の分野では、無条件安定な手法や弱条件安定な手法の研究が活発に行われている。時間刻み幅の大きさを制限する式 (1) のような条件が存在しない手法を無条件安定な手法と呼び、CFL 条件よりも拘束性の弱い条件を持つ手法を弱条件安定な手法と呼ぶ。これらの手法では、従来の FDTD 法の計算量をそれほど増大させない範囲で陰解法を取り入れ、CFL 条件に依存しない、あるいは条件を緩和した定式化を行っているため、比較的大きな時間刻み幅を用いて高速な解析を行うことができる。

表 2 に示すように、代表的な無条件安定な FDTD 法には、ADI (Alternating Direction Implicit)-FDTD 法、LOD (Locally one Dimensional)-FDTD 法、SS (Split Step)-FDTD 法、近似 CN (Crank-Nicolson)-FDTD 法がある⁽¹⁸⁾。これらは、偏微分方程式の数値解法における古典的な陰解法を、Maxwell の方程式へ適用した手法である⁽⁶³⁾。上記の手法のほかにも、Laguerre 多項式に基づく Laguerre FDTD 法、ADI-FDTD 法の計算量を減らしたリープフロッグ ADI-FDTD 法などが新たに提案されている⁽²⁵⁾ (26)。

一方、WCS (Weakly Conditionally Stable)-FDTD 法や HIE (Hybrid Implicit Explicit)-FDTD 法は、弱条件安定な FDTD 法と呼ばれる⁽²⁷⁾ (28)。これらの手法は、ある方向にのみ空間刻み幅が小さくなる解析対象に適した手法であり、スロットアンテナやプリント基板のような細長い、あるいは薄い構造

表 2 無条件安定・弱条件安定な FDTD 法

手法	主な技法	安定条件
ADI-FDTD 法 ⁽¹⁹⁾ (20)	ADI 法	無条件安定
LOD-FDTD 法 ⁽²¹⁾ (22)	LOD 法	無条件安定
SS-FDTD 法 ⁽²³⁾	CN 法 + SS 法	無条件安定
近似 CN-FDTD 法 ⁽²⁴⁾	CN 法 + 近似	無条件安定
Laguerre FDTD 法 ⁽²⁵⁾	Laguerre 多項式	無条件安定
リープフロッグ ADI-FDTD 法 ⁽²⁶⁾	リープフロッグ型 ADI 法	無条件安定
WCS-FDTD 法 ⁽²⁸⁾	陽解法 + 陰解法	弱条件安定
HIE-FDTD 法 ⁽²⁷⁾	陽解法 + 陰解法	弱条件安定

図 1 HIE-FDTD 法に適したプリント基板の例

の解析に有効である。例えば、図 1 に示すような、直交座標系における z 方向の最小空間刻み幅がほかの方向よりも極端に小さくなるプリント基板の解析において、HIE-FDTD 法では、 z 方向にのみ陰解法を適用し、ほかの方向には陽解法を適用して定式化を行う。これにより、HIE-FDTD 法の数値安定条件は、式 (1) において Δz を取り除いた不等式となり、 z 方向の空間刻み幅に依存することなく、時間刻み幅を決定することができるようになる。HIE-FDTD 法を用いると、約 100 万セルを用いてメッシュ化されたプリント基板において、単一ビット応答 (SBR: Single-Bit Response) を 2 ns の時間区間で観測する解析を約 146 s で行い、従来の FDTD 法と比べて約 480 倍高速化できることが実証されている⁽³¹⁾。近年では、集中定数素子に対応した HIE-FDTD 法や、サブセルに基づく定式化を取り入れることで、より汎用的な解析対象に適用可能にした CP (Contour Path)-WCS-FDTD 法や HIE/C (Conformal)-FDTD 法が提案されている⁽²⁹⁾⁻⁽³¹⁾。

3. 回路シミュレーション技術

3.1 回路シミュレーション技術の概要と現状

1970 年代から 1990 年代前半の回路解析技術では、論理回路解析やタイミング解析、トランジスタレベルの詳細回路解析といった回路レベルに応じて、主に電子回路の電気的な動作を検証するための解析手法が研究されてきた⁽¹⁾⁻⁽³⁾。これらの解析技術は、最先端のトランジスタモデルとともに汎用回路シミュレータとして集約され、現在でも電子回路設計に関するほとんどの分野で広く利用されている。また、この間、元々は寄生結合の影響を見積もるために開発された PEEC 法、FastHenry や FastCap に代表されるインダクタンスやキャパシタンスの抽出手法、伝送線路理論など、電磁気的な振舞いを寄生素子や分布定数回路といった等価回路として表現するモデリング手法も同時に発展した⁽⁹⁾⁻⁽¹²⁾⁻⁽¹⁴⁾。1990 年代後半から 2000 年代前半にかけては、大規模な高速配線網の効率的な解析技術として、

回路縮退 (MOR: Model Order Reduction) 手法や領域分割、LIM (Latency Insertion Method) 系アルゴリズムなどに基づく高速回路シミュレーション手法が提案されてきた⁽¹⁾。そして、半導体技術が更に進歩した近年では、EMC を考慮した回路設計をする必要性が高まっており、単に電子回路の電気的な動作検証を行うだけではなく、電磁気的な影響を考慮した検証方法が重要視されている。そのため、これまでのモデリング手法や高速解析技術を礎として、等価回路モデリング手法と高速化アルゴリズムの開発が行われている。

集積回路の周りに付随する相互結合を簡易的に表す回路素子という扱いであった寄生素子に対して、SI/PI/EMI に関する回路シミュレーションでは、三次元空間内の物体をメッシュ分割し、各メッシュに対応した等価回路を導出する。このため、物理構造の違いに対する周波数応答や電磁波の伝搬の検証を、三次元電磁界シミュレーションと同等の精度で行うことができる⁽¹⁵⁾。加えて、等価回路を利用したシミュレーションの利点の一つに、三次元空間内で発生する電磁気的な現象を回路理論によって説明できることがある。これにより、複雑な現象を直感的に理解し、適切な EMC 設計を行うことができる⁽¹⁶⁾。また、得られる等価回路ヘトランジスタなどの回路素子を接続して解析することが容易であり、従来の洗練された回路解析手法が利用できることも大きな利点である。そして、直接的な電磁界シミュレーションに比べて変数の数が少なくなる傾向があるため、高速な解析が行えることが最大の利点である⁽¹⁷⁾。一方、精度の良い等価回路モデルを作成するためには、解析対象の物理構造や材質特性、支配的となる現象に対して適切な近似を行う必要がある。

3.2 等価回路モデリング手法の発展

SI の検証では、プリント基板上の導体配線、チップとインタポータを結ぶワイヤボンディング、チップ内のシリコン基板上の信号配線など、信号が伝搬する経路となる導体配線や信号電流の帰還経路としてのグランド、その周りの高速配線網をモデル化する必要がある。これらの多導体系における配線網は、多導体伝送線路 (MTL: Multiconductor Transmission Line) としてモデル化することができる。MTL の等価回路モデルは単位長当りの素子値に基づいており、図 2 に示すように、RLGC 素子と、電磁気的結合を表す相互インダクタンスや相互キャパシタンスによって構成される強結合回路網となる⁽¹⁴⁾。MTL の等価回路を用いることで、信号の損失や伝搬遅延、反射、クロストークなどの影響を SBR やアイパターンから検証することが可能となる。また、表皮効果や誘電損をはじめとする周波数依

図 2 MTL の等価回路

図 3 電源・グラウンドプレーンの等価回路

図 4 チップ内 PDN と TSV の等価回路

存性を取り入れることができ、多導体系の周波数応答や過渡応答を精度よく見積もることができる。

一方、PI の検証のためには、プリント基板の電源・グラウンドプレーンやチップ内の電源・グラウンド線といった、電源分配回路網 (PDN: Power Distribution (Delivery) Network) のモデル化が重要となる。電源・グラウンドプレーンは、RLGC 素子を用いた平面的な広がりを持つ形等価回路を連結した等価回路としてモデル化することができる。このとき、直交メッシュを用いた分割をはじめとして、Delaunay 三角分割による三角メッシュを用いた Delaunay-Voronoi モデル、及び直交メッシュと三角メッシュを混合させたモデリング手法が提案されている^{(32) (33)}。図 3 に示す Delaunay-Voronoi モデルでは、メッシュの辺が回路の RL 枝に、頂点が回路の節点に対応しており、RL 枝は直列の抵抗とインダクタで構成され、節点には接地キャパシタとコンダクタンスが接続されている。また、多層基板をモデル化するためには、平板の開口部における層間の回り込み電流や貫通ビアを考慮する必要がある、これを可能とした手法に MFDM (Multilayered Finite Difference Method) がある⁽³⁴⁾。これらのモデルを用いることで、供給電源から遠い部分や導体面積が小さくなる部分での IR ドロップ、トランジスタの貫通電流による同時スイッチング雑音、電源・グラウンドプレーンの基板共振などを検証することができる。

三次元集積回路 (3D-IC: Three-Dimensional Integrated Circuit) の PI においては、チップ内 PDN の等価回路やシリコン貫通ビア (TSV: Through Silicon Via) の等価回路を用いた三次元モデリングが必要となる。これらの等価回路を図 4 に示す⁽³⁵⁾。図 4 の等価回路から分かるように、チップ内 PDN

図 5 局所陰的 LIM における回路分割

の立体的なグリッド構造に対応して、等価回路が三次元的に表現されている。このチップ内 PDN の等価回路は、TSV の等価回路を用いて更に三次元積層されるため、結果として大規模な強結合回路網となる。また、信号 TSV の等価回路も基本的には図 4 の電源・グラウンド TSV と同一の構造を持つため、シリコンインタポーザの等価回路と合わせて、3D-IC における SI の解析も可能である。

EMC 設計においては一般に、検証対象の特性を表すモデルとして S パラメータを用いる解析手法も広く利用されている⁽¹⁶⁾。その理由として、ポート間の周波数特性を簡潔に表現できるため問題が大規模・煩雑にならないこと、信号配線のインピーダンス整合に有用であることが挙げられる。更に、各周波数帯の反射・放射の特性が明確になり設計の指標にしやすいうことや、測定機器や商用シミュレータに特性を求める機能が充実していることなども大きな理由である。一方、任意の構造に対して S パラメータを厳密に測定することは困難であり、測定系が変化した場合に再測定や再シミュレーションが必要になるという欠点もある。これに対して等価回路モデルを用いた解析では、ポート間の特性だけでなく、形状に対応した電圧分布や電流の経路などが得られるため、電圧降下の著しい場所や電力消費の多い場所を直感的に特定することができるという利点がある。また、RLC 素子や結合素子から成る等価回路網の構造や素子の値から、電氣的・電磁氣的現象の本質的な理解をすることができる。近年では、等価回路モデルと S パラメータを組み合わせた解析手法も提案されているため、問題に応じた適切な方法を用いて検証を行うことが重要である⁽⁶⁴⁾。

3.3 時間領域回路シミュレーション手法の発展

大規模回路網を高速に過渡解析する手法として、リープフロッグ型の差分法に基づく LIM 系アルゴリズムが提案されている^{(1) (36)~(38)}。LIM 系アルゴリズムを用いることで、MTL や PDN の解析を、従来の SPICE 系シミュレータよりも数十倍以上高速に行うことができる。しかし、陽的なリープフロッグ法に基づいているため、数値安定条件

$$\Delta t < \sqrt{2} \min_{a=1}^{N^n} \left(\sqrt{\frac{C_a}{N_a} \min_{m=1}^{N_b} (L_{am})} \right) \quad (2)$$

によって Δt が制限されている⁽³⁹⁾。ここで、 N^n は、総節点数、

N_a^b は節点 a に接続されている枝の本数, C_a は節点 a の接地キャパシタンス, L_{am} は節点 a と節点 m の間に接続された RL 枝のインダクタンスである. 式 (2) から明らかなように, 回路網に小さなリアクタンス成分が存在すると, Δt を小さくする必要がある. 小さなメッシュは小さなリアクタンス成分を持つ等価回路としてモデル化されるため, 式 (2) は, 最小空間刻み幅によって Δt が制限されている CFL 条件 (1) と類似していることが分かる. よって, 図 3 に示すように, 局所的に小さなメッシュが含まれる可能性のある三角メッシュを用いた等価回路の解析では, しばしば計算効率が下がる場合がある.

上記の LIM 系アルゴリズムの問題点を解決する手法として, 局所陰的 LIM が提案されている⁽⁴⁰⁾. 局所陰的 LIM では, 図 5 に示すように, 小さなメッシュからモデル化された部分回路を低リアクタンス部と定義し, そのほかの部分回路を高リアクタンス部と定義する. そして, 低リアクタンス部の回路方程式に対しては陰解法を適用し, 高リアクタンス部に対しては従来のリープフロッグ法を適用する. 前述のように, 陰解法は数値的に安定であるため, 時間刻み幅は低リアクタンス部のリアクタンス成分に依存することなく, 比較的大きな高リアクタンス部の素子値のみに依存することになる. それゆえ, 従来の LIM よりも大きな時間刻み幅を用いることができる. 三角メッシュを用いて約 750 個の節点を含む等価回路としてモデル化された電源・グランドプレーンの解析を, 局所陰的 LIM は約 130s で行えることが実証されている⁽⁴⁰⁾. このとき, 従来の LIM と比べて約 2.5 倍高速であり, LIM よりも約 14 倍大きな時間刻み幅を用いることができている. 時間刻み幅の倍率に比べて高速化率が低いのは, 局所陰的 LIM の 1 タイムステップ当りの計算量が従来の LIM よりも多いためである.

また, 陽解法でありながら無条件安定となる, 全く新しい過渡解析手法も提案されている⁽⁴¹⁾. この無条件安定陽解法では, まず, 電圧や電流の変動を十分表し得る時間刻み幅 $\Delta \tilde{t}$ を決定する. 一般に, 観測したい波が含む最大周波数 $f_{\max}$ に対して $\Delta \tilde{t} \leq 1/(10f_{\max})$ を満たすように決定すれば, 精度のよい数値解が得られる. 次に, N 個の変数を含む回路方程式に対する一般化固有値問題を解き, N 個の固有値 λ_p ($p = 1, 2, \dots, N$) と固有ベクトルを得る. このとき, 固有ベクトルは回路方程式をモード分解した際のモードに対応しており, $\Delta \tilde{t} < 2/\lambda_p$ を満たす固有値に対応する固有ベクトルが安定なモード, そのほかの固有ベクトルが不安定なモードとなる. よって, 安定なモードのみを列に並べた行列は安定な固有空間を表しており, 回路方程式をこの固有空間に写像することで, 陽的でありながら数値的に安定な解析を行うことができる. 無条件安定陽解法を用いると, 約 182,000 素子から成る TSV を伴うチップ内 PDN の等価回路において, グランド配線に与えたスパイク雑音の影響を観測する 0.3 ns の過渡解析を約 94 s で行い, 従来の陽解法である前進差分法よりも約 1,080 倍, HSPICE よりも約 37 倍高速に解析できることが実証されている⁽⁴¹⁾.

上記の手法のほかにも, 表 3 に示すように, ADI 法の定式化を適用した ADI ブロック LIM, LIM の数値安定条件を緩和させた弱条件安定な ADE (Alternating Direction Explicit)-LIM,

表 3 高速回路シミュレーション手法

手法	主な技法	安定条件
LIM ⁽³⁶⁾	リープフロッグ法	条件安定
局所陰的 LIM ⁽⁴⁰⁾	リープフロッグ法 + 局所陰解法	弱条件安定
ADE-LIM ⁽⁴³⁾	ADE 法	弱条件安定
HIE ブロック LIM ⁽⁴⁴⁾	陽解法 + 陰解法	弱条件安定
ADI ブロック LIM ⁽⁴²⁾	ブロック型 ADI 法	無条件安定
無条件安定陽解法 ⁽⁴¹⁾	陽解法 + 不安定性の除去	無条件安定

陰解法と陽解法を混合させた HIE ブロック LIM など, LIM 系アルゴリズムを改良した手法が数多く提案されている⁽⁴²⁾⁻⁽⁴⁴⁾. また, LIM 系アルゴリズムと類似した点が多い緩和法に基づく解析手法も見直されてきており, 電源・グランドプレーンや不均一な MTL のシミュレーションへ応用されている⁽⁴⁵⁾⁽⁴⁶⁾.

一方, LIM 系アルゴリズムを MOS トランジスタを含む回路網へ適用した非線形ブロック LIM という手法も提案されている⁽⁶⁵⁾. 例えば, CMOS インバータで駆動・終端された 64 本の伝送線路からなる多導体伝送線路は, 線路間の相互結合を含む 46,117 個の線形素子と 256 個の MOS トランジスタから構成される等価回路網としてモデル化できる. 非線形ブロック LIM は, この回路網の過渡解析を約 160 s で行えることが実証されており, これは HSPICE と比べて約 30 倍高速である. 非線形ブロック LIM では, HSPICE の LEVEL 1 のトランジスタモデルとして知られている Shichnan-Hodges モデルを採用している. しかし, 一般的な非線形関数を扱える定式化を行っているため, LIM 系アルゴリズムの利点を損なうことなく BSIM (Berkeley Short-Channel IGFET Model) などのトランジスタモデルを取り入れることが可能であり, 高速なシミュレーションが期待できる.

4. ハードウェアアクセラレータによる高速化技術

4.1 ハードウェアアクセラレータと並列化

効率的な回路・電磁界シミュレーションのために高性能なアルゴリズムを開発する一方で, 大規模問題の解析のために PC クラスタや GPU といった特殊なハードウェアを用いた高速化も併せて検討されている. これは大規模問題の解を得ようとした場合, 特に電磁界シミュレーションにおいては, 解析に必要なメモリ容量や計算時間といった計算資源が膨大となり, PC やワークステーションでは実用的な時間で解析結果を得ることが困難なためである. 回路・電磁界シミュレーションのハードウェアアクセラレータによる高速化は, 一般的にデータ並列とタスク並列による並列処理に基づいている. 回路・電磁界シミュレーションにおいて, データ並列は回路網または計算領域といったメインデータを領域分割することでサブデータを構築し, そのサブデータを並列計算処理することを, タスク並列は通信や計算といった複数の異なる機能を並列処理することをそれぞれ意味している.

汎用回路シミュレータである SPICE 系シミュレータは更新処理がモデル評価による回路行列（ヤコビ行列）の生成と連立一次方程式の解法といった行列計算に基づいているのに対し，前節で述べた電磁界シミュレーション手法の FDTD 法は計算機領域中に存在する電磁界成分の代入計算に基づいている．そのため，SPICE 系シミュレータでは回路網を部分回路網に，FDTD 法では計算領域全体を領域分割することで並列処理の適用が可能となる．このとき，並列処理による高速化の効果をより良く得るためには，並列処理化によって発生する余分な処理（オーバーヘッド）を最小とすること，各 PE (Processing Element) に割り当てられる計算負荷が均等となることが求められる⁽⁵¹⁾．PE とは，PC や CPU，マルチコア CPU のコアといった計算処理を担当するハードウェアである．

FDTD 法は更新に必要な変数が自身とその周囲の既知な電界または磁界成分のみである．そのため，ある時刻における電界や磁界の 1 変数ごとに計算が可能であり，各変数を計算するために必要な情報が得られていれば全ての変数を並列に計算処理できる．これは，領域分割において任意の大きさの部分計算領域への分割が可能であることを意味する．また，オーバーヘッドも解析前の簡単な部分計算領域への領域分割と，更新処理中の通信処理による発生のみである⁽⁴⁸⁾．すなわち，FDTD 法のように各変数が独立した代入計算であるアルゴリズムは，ハードウェアアクセラレータによって非常に高速化しやすい手順である⁽⁴⁸⁾．一方，SPICE 系シミュレータでは，モデル評価については回路行列の各変数それぞれが独立して計算できるのに対し，連立一次方程式の解法である LU 分解法の並列処理化には，回路分割技法に基づくリオーダーリングを必要とする．リオーダーリングとは，回路行列内の非零要素の行と列の並び順を入れ替えることであり，図 6 に示すブロック対角や縁付きブロック対角 (BBD: Bordered Block Diagonal)，再帰的縁付きブロック対角 (RBBD: Recursive Bordered Block Diagonal) 行列構造へ変形させる^{(49) (50)}．SPICE 系シミュレータではこのようなリオーダーリング処理や通信処理により，代入計算に基づく手法よりも大きなオーバーヘッドを発生させる．結果として，SPICE 系シミュレータのようなアルゴリズムは並列処理化による高速化を実現するためには巧妙な工夫が必要となる．

このように，並列処理の観点から言えば，FDTD 法と類似した陽的アルゴリズムが高並列処理に適している一方で，FDTD 法は数値安定条件によって時間刻み幅が厳しく制限されることが知られている．そのため，微細構造を含む大規模問題の解析には膨大な計算資源を必要とし，実用的な時間で解を得るのが困難である．これに対して，SPICE 系シミュレータのように，陰解法に基づく手法は数値安定条件による時間刻み幅の制限を受けない．そのため，高速な電磁界シミュレーション手法として，弱条件安定な HIE-FDTD 法^{(27) (29)}が提案されており，また，陽的アルゴリズムに基づく高速な回路シミュレーション手法として，LIM 系のアルゴリズムに基づくブロック LIM が提案されている⁽³⁸⁾．後者は，行列計算を必要とする部分がブロック対角構造の対角ブロック内に収まっており，部分ブロックごとに独立して解を得ることができる．すなわち，領域分割手法と

図 6 回路分割に伴う行列構造

図 7 PC クラスタの概要

の併用によって効果が発揮されるアルゴリズムであり，オーバーヘッドを抑制することで PE の数にほぼ比例した速度向上が得られる．本章では，回路・電磁界シミュレーション手法のハードウェアアクセラレータの適用事例として，PC クラスタによる高速化を意図した回路シミュレーション手法である並列分散型ブロック LIM⁽⁶²⁾と，GPGPU (General Purpose computing on Graphics Processing Unit) による高速化を目指した電磁界シミュレーション手法である GPGPU HIE-FDTD 法⁽⁶¹⁾について紹介する．

4.2 PC クラスタによる並列回路シミュレーション

PC クラスタは，図 7 に示すような高速ネットワークシステムを介して，複数台の PC を接続した計算機システムであり，各 PC は PE に対応する．ユーザはインターネットやイントラネットといった PC クラスタと外部とをつなぐネットワークを介して PC クラスタにアクセスし，プログラムの実行を行う．プログラムは複数の PE が協調し，計算やデータ通信を行うことで

図 8 ブロック LIM の解析対象となる回路網

図 9 回路分割された部分回路網

並列処理される．データ通信には主に MPI (Message Passing Interface)⁽⁴⁷⁾ が用いられる．更に，近年では CPU がマルチコア化しており，一つの CPU であっても複数のプロセスや一つのプロセスを更に細かい処理単位であるスレッドを複数用いることで並列に実行することができる．そのため，MPI だけではなく MPI と OpenMP⁽⁵¹⁾ を組み合わせたハイブリッド実装も行われている⁽⁶⁶⁾．

回路シミュレータを PC クラスタ上で実行するには，回路分割をどのように行うかが重要になる．LIM 系の回路シミュレーション技法では，対角行列またはブロック対角行列構造を成す回路行列が生成される．LIM 系の手法のうち，ここでは特にブロック LIM への PC クラスタの適用例について述べる．図 8 は並列分散型ブロック LIM の解析対象であり，バスシステムといった多導体配線を商用ツールを用いて抽出することで得られる等価回路モデルである．この等価回路モデルは，節点ブロック構造と枝ブロック構造が交互に接続されており，節点ブロック構造は接地キャパシタと接地コンダクタンス，電圧源によって構成された節点間に相互キャパシタンスが存在する構造となっている．また，枝ブロック構造は節点間のインダクタと抵抗，電圧源によって構成された枝間に相互インダクタンスが存在する構造となっている．そして，節点ブロックでは電圧変数ベクトル，枝ブロック構造では電流変数ベクトルの値が更新される．

この等価回路網が与えられ，二つの PE で並列シミュレーションを実行する場合を考えると，この回路網は図 9 のように 2 分割される．このとき，回路行列中では枝ブロック構造と節点ブ

図 10 速度向上比

ロック構造それぞれがブロック対角構造を成しており，節点ブロック構造と枝ブロック構造の数を各 PE の計算負荷として考えることができる．そのため，各 PE の計算負荷を均等化するために，各 PE に割り当てられるブロックの数が等しくなるように分割する．また，図 9 から，PE1 と PE2 でそれぞれ重複して保持される枝ブロック構造 B_b , B_c と節点ブロック構造 N_3 はオーバーヘッドの増加を招く．更に，計算処理時間のほかに通信処理時間が必要となり，通信処理時間の影響をいかに削減するかが問題となるが，計算処理のアルゴリズムの工夫により，通信処理を隠ぺいすることが可能である．すなわち，重複する領域をバッファとして用いることにより，オーバーヘッドの影響を緩和することができる．図 9 では枝ブロック構造の電流変数ベクトル i_b , i_c と節点ブロック構造の電圧変数ベクトル v_3 が重複して保持されており，これらがバッファとして用いられる．

更新処理過程において，重複する領域のうち PE1 では i_b を PE2 では i_c をほかの電流変数よりも先に計算する．計算後，残りの電流変数及び重複していない電圧変数の計算と各 PE 間で i_b , i_c の送受信を並行して行い，計算処理と通信処理の両方が終わった後に残りの v_3 を計算することで 1 時間ステップの計算処理が完了する．一例として，160 本の伝送線路が図 8 のように相互接続され，かつ，枝ブロック構造と節点ブロック構造がそれぞれ 50 個と 51 個から構成される解析対象を与えたときの速度向上比を図 10 に示す．ここで，PE 数が 1 のときは逐次処理型ブロック LIM をそれ以外では並列分散型ブロック LIM を意味しており，逐次処理から 16 並列までの速度向上比を示している．図 10 から，16 並列時に逐次処理の場合と比べて一桁以上高速に解析できることが確認できる．ブロック LIM 自体は，従来の SPICE 系シミュレータと比べて二桁程度高速に解析できることが報告されているため，この事実も，SPICE 比で三桁程度高速に解析可能であることを意味する．

4.3 GPGPU による並列電磁界シミュレーション

GPGPU は元来，画像処理に特化された GPU を汎用計算で使用するものの総称である．GPU はデバイス内に幾つもの画像処理を行うシェーダを搭載していたが，それらを統合してプログ

ラム可能となった結果、汎用性を向上させることで画像処理の枠を超えた利用が可能になった。また、CUDA⁽⁵⁷⁾やOpenCL⁽⁵⁸⁾といった開発環境やフレームワークが整備されたことにより、科学技術計算分野での利用が急速に広がっている。本節では、これらのうちCUDAとそれに対応したGPUについて述べる。GPUはそれ自体の動作周波数はCPUと比べて低いが、メモリ転送速度及びコア数が非常に多いことからCPUと比べて格段に高い計算性能を有している。特にメモリ転送速度が計算時間を決定するような計算、隣接格子点のみを参照して計算を行うステンシル計算⁽⁶⁰⁾では、極めて高い性能を発揮する⁽⁵²⁾。

FDTD法は、このステンシル計算の一つであり、GPGPUを適用したFDTD法ではCPUで実行する場合と比べて30倍以上高速に解析できることが報告されている⁽⁵³⁾。しかし、GPUを用いて計算速度を向上させるためにはそのアーキテクチャに強く依存した最適化が求められる。ここで、代表的なGPUアーキテクチャの一つであるFermiのブロックダイアグラムを図11に示す⁽⁵⁶⁾。

Fermiアーキテクチャにおいて、一つのGPUは、16個のストリーミングマルチプロセッサ(SM: Streaming Multiprocessor)とDRAM、768 kByteのL2キャッシュで構成されており、SMは更に32個のCUDA CoreとL1キャッシュと共有メモリ、特殊関数ユニット(SFU: Special Function Unit)によって構成されている。計算時には、一つのCUDA Coreに1スレッドが割り当てられて計算が行われる。スレッドは、GPU上で計算するために用いられる処理の最小単位である。GPGPUを適用したFDTD法では、1スレッドに1変数を対応させて更新処理を行わせる⁽⁵³⁾。また、スレッドの数は、実装時にユーザが任意の数を指定する。CUDAでは、このスレッドが階層構造を成し

て管理されており、より上位の階層から、グリッド、ブロック、スレッドと呼ばれる。グリッドは幾つかのブロックによって構成されており、ブロックには一つのSMが割り当てられる。すなわち、ブロック内の処理は全て一つのSMによって実行される。そして、ブロックは多数のスレッドによって構成され、このスレッドに一つのCUDA Coreが対応する。ここで、グリッド、ブロック、スレッドを領域分割を伴うデータに対応させて考える。グリッドはメインデータ、ブロックはサブデータ、スレッドはサブデータ内の更に粒度の細かいサブデータに対応する。すなわち、GPGPUを適用したFDTD法の場合、計算領域全体はグリッドとGPUに、分割された部分計算領域はブロックとSMに、各変数はスレッドとCUDA Coreに対応する⁽⁵³⁾。CUDAでは32個のスレッドをまとめて一つのワープとして管理している。各SMは、ワープごとに同じ命令を同時に実行するため、ワープ単位で実行することで効率化を図ることができる。加えて、各ブロックはそれぞれ独立して処理が実行されるため、各ブロック間の同期を取ることは困難である。以上がCUDAに対応したGPUであるFermiアーキテクチャである。

CUDAを用いる場合、GPUのアーキテクチャの理解に加えてメモリ管理も重要である。一般的に、メインメモリとキャッシュでは、アクセス要求に必要とする遅延時間が異なり、メインメモリへアクセスする場合の方がより多くの実時間が要求される。GPUにおいても同様であるが、キャッシュに依存するのではなく、共有メモリとレジスタを用いることでメインメモリの参照を少なくすることが求められる。そのため、実装に際しては、メインメモリから共有メモリまたはレジスタにデータを転送し、その共有メモリ内かレジスタの参照回数を最大にする、いわゆる、算術強度の強化が求められる⁽⁵⁹⁾。算術強度とは、メインメモリからの1転送ワードにおける演算命令数である⁽⁵⁹⁾。

GPGPUはFDTD法のような電磁界シミュレーション手法に適しており⁽⁵³⁾、ADI-FDTD法⁽⁵⁴⁾やLOD-FDTD法⁽⁵⁵⁾へ

(a) Fermi のブロックダイアグラム

(b) ストリーミングマルチプロセッサ (SM) アーキテクチャ

図 11 Fermi アーキテクチャ

図 12 代入計算時の領域分割法

図 13 連立一次方程式の解法を用いるときの領域分割法

の適用が提案され、いずれの場合も 10 倍以上高速に解析できることが報告されている。ここでは特に HIE-FDTD 法への GPU の適用例について述べる⁽⁶¹⁾。GPU を HIE-FDTD 法へ適用するにあたり、まずブロックとスレッドに対応したサブデータの構築、すなわち、領域分割を行うことが求められる。HIE-FDTD 法は、そのアルゴリズムから代入計算によって更新される電磁界成分と、三重対角行列の解を求めることで更新される電界成分が存在する。そのため、それぞれに対応した領域分割法を用いることになる。それぞれの領域分割法を図 12 と図 13 に示す。ここで、 N_x, N_y, N_z は各軸方向のメッシュの数である。代入計算時には、計算領域全体を任意の部分計算領域へ分割できるため、64 スレッドで構成されるブロックによって計算領域全体を分割し、1 変数に対して 1 スレッドを割り当てて計算する。また、この計算時には複数回参照される変数を共有メモリに格納し、メインメモリではなく共有メモリを参照することで算術強度を向上させる。一方、連立一次方程式の解法を用いるときには、 $x-y$ 平面は任意に分割することができるが、 z 軸方向に対しては分割すると更新処理に大きなオーバーヘッドが発生するため分割をしない。すなわち、 z 軸方向以外に沿ってのみ領域分割される。このとき、割り当てられた各スレッドは、1 変数のみを更新するのではなく z 軸方向に連なる変数全てを更新する。これらの計算を行う際には、後述の理由から、レジスタと共有メモリの両方が用いられる。連立一次方程式の解法には、LU 分解と、前進代入、後退代入によって行われる。解析中は、前進代入と後退代入のみが繰り返されて行われ、これらは直前に計算した値を用いて次の計算が行われる逐次処理になっている。このような場合、レジスタを用いて算術強度を向上させることができる。すなわち、直前の計算結果をメインメモリとレジスタの両方に格納し、次の計算ではレジスタを参照することで、メインメモリへのアクセス回数を削減する。このように、計算処理における算術強度を向上させることで、GPU の性能を引き出すことが可能となる。結果として、GPGPU HIE-FDTD 法によれば CPU で実行する場合と比べて 30 倍以上、基本的な FDTD 法と比べた場合には二桁以上の高速化が可能である⁽⁵³⁾。

5. 将来展望とまとめ

3D-IC をはじめとする次世代の設計技術では、今まで平面的であった相互関係に加えて、縦方向の影響を常に考慮する必要があるため、三次元空間内で発生する現象を解析するシミュレーション手法が不可欠となる。近年では、三次元集積化技術や TSV の実装技術の進歩により、バス幅の広い Wide I/O による大量のデータの高速伝送が可能となっており、より大規模・複雑な問題を高速に解く必要性が高まっている。また、3D-IC は実装面積に対して消費電力が高いため発熱しやすく、縦方向に熱がよく伝導するため、高熱によるはんだの融解や導体抵抗値の上昇が動作不良の原因となる。このため、熱に関する品質保証を行う TI (Thermal Integrity) に向けた実用的な検証方法が望まれている⁽⁶⁷⁾⁽⁶⁸⁾。更に、外部応力によるシリコン基板の変形やはんだの劣化に関する検証方法や対処方法は、現在研究

が行われている最中である⁽⁶⁹⁾⁽⁷⁰⁾。一方、不連続・非対称な多導体系から構成される不平衡な配線網において、導体配線を流れるコモンモード電流による EMI が顕著となり、基板設計や車両の EMC 検証において注目されている^{(71)~(74)}。特に、電子化の進む車両では、車載電子機器に接続されたワイヤーハーネスが複雑な導体系を形成するため、従来のシミュレーション技術では検証が困難になってきている。よって、今後の三次元シミュレーションでは、電気・電磁気的な振舞いに加えて、熱や応力などの物理現象を同時に検証するマルチフィジックスシミュレーション技術の発展が期待されている。

今後のハードウェアアクセラレータは、大規模なヘテロジニアスな計算機環境による超並列計算機環境へと進化していくと考えられる。世界のスーパーコンピュータのランキングである Top500⁽⁷⁵⁾の 2013 年 6 月現在のリストを見ると、上位 10 位のうち 4 台が GPU やメニーコアプロセッサを搭載した計算機であり、その技術トレンドが存在することを示している。また、計算機の基盤技術としてクラウドコンピューティングの発展もヘテロジニアスな計算機環境への変遷を促進すると考えられる。

謝辞 これまで、多大な御支援を頂きました、ソニー (株)、(株) 半導体理工学研究センター、NEDO、(株) デンソー、浜松地域イノベーション推進機構、日本学術振興会等の諸機関、並びに制度に深謝致します。

文 献

- (1) 浅井秀樹, “高速電子回路設計のための SI/PI/EMI シミュレーション技術—過去、現在、そして未来—,” IEICE Fundamentals Review, vol.5, no.2, pp.146-154, Oct. 2011.
- (2) 荒木健次, 村山敏夫, 鈴木 誠, 渡邊貴之, 浅井秀樹, “電源雑音を手なずけるツールを開発プリント基板を 4 時間で解析,” 日経エレクトロニクス, no.892, pp.117-130, 日経 BP 社, 東京, 2005 年 1 月 31 日号, 2005.
- (3) 浅井秀樹, 渡辺貴文, 電子回路シミュレーション技法, 科学技術出版, 東京, April 2003.
- (4) H.-D. Brüns, C. Schuster, and H. Singer, “Numerical electromagnetic field analysis for EMC problems,” IEEE Trans. Electromagn. Compat., vol.49, no.2, pp.253-262, May 2007.
- (5) D.B. Davidson, Computational Electromagnetics for RF and Microwave Engineering, 2 edition, Cambridge University Press, New York, Nov. 2010.
- (6) A. Taflov and S.C. Hagness, Computational Electrodynamics: The Finite-Difference Time-Domain Method, 3 edition, Artech House Inc., Boston, June 2005.
- (7) W.J.R. Hoefer, “The Transmission-line matrix method—theory and applications,” IEEE Trans. Microw. Theory Tech., vol.33, no.10 pp.882-893, Oct. 1985.
- (8) S. Yuda, S. Sawaki, Y. Baba, N. Nagaoka, and A. Ametani, “Application of the TLM method to transient simulations of a conductor system with a lossy ground: Grounding electrodes and an overhead wire,” IEEE Trans. Electromagn. Compat., vol.55, no.1, pp.175-182, Feb. 2013.
- (9) A.E. Ruehli, “Equivalent circuit models for three-dimensional multiconductor systems,” IEEE Trans. Microw. Theory Tech., vol.MTT-22, no.3, pp.216-221, Mar. 1974.
- (10) A.E. Ruehli and G. Antonini, “Waveform relaxation time domain solver for subsystem arrays,” IEEE Trans. Adv. Packag., vol.33, no.4, pp.760-768, Dec. 2010.
- (11) J. Nitsch, F. Gronwald, and G. Wollenberg, Radiating

Nonuniform Transmission-Line Systems and the Partial Element Equivalent Circuit Method, 1 edition, Wiley, West Sussex, UK, Dec. 2009.

- (12) K. Nabors and J. White, "FastCap: A multipole accelerated 3-D capacitance extraction program," Nov. 1991.
- (13) M. Kamon, M.J. Tsuk, and J.K. White, "Fasthenry: A multipole-accelerated 3-D inductance extraction program," IEEE Trans. Microw. Theory Tech., vol.42, no.9, pp.1750–1758, Sept. 1994.
- (14) C.R. Paul, Analysis of Multiconductor Transmission Lines, 2 edition, Wiley-IEEE Press, Hoboken, NJ, Oct. 2007.
- (15) M. Swaminathan, Power Integrity Modeling and Design for Semiconductors and Systems, 1 edition, Prentice Hall, Upper Saddle River, NJ, Nov. 2007.
- (16) C.R. Paul, Introduction to Electromagnetic Compatibility, 2 edition, Wiley-Interscience, Hoboken, NJ, Jan. 2006.
- (17) E.-P. Li, Electrical Modeling and Design for 3D System Integration: 3D Integrated Circuits and Packaging, Signal Integrity, Power Integrity and EMC, 2 edition, Wiley-IEEE Press, Hoboken, NJ, Oct. 2012.
- (18) E.L. Tan, "Fundamental schemes for efficient unconditionally stable implicit finite-difference time-domain methods," IEEE Trans. Antennas Propag., vol.56, no.1, pp.170–177, Jan. 2008.
- (19) F. Zheng, Z. Chen, and J. Zhang, "Toward the development of a three-dimensional unconditionally stable finite-difference time-domain method," IEEE Trans. Microw. Theory Tech., vol.48, no.9, pp.1550–1558, Oct. 2000.
- (20) T. Namiki, "3-D ADI-FDTD method—unconditionally stable time-domain algorithm for solving full vector Maxwell's equations," IEEE Trans. Microw. Theory Tech., vol.48, no.10, pp.1743–1748, Oct. 2000.
- (21) J. Shibayama, M. Muraki, J. Yamauchi, and H. Nakano, "Efficient implicit FDTD algorithm based on locally one-dimensional scheme," Electron. Lett., vol.41, no.19, pp.1046–1047, Sept. 2005.
- (22) E.L. Tan, "Unconditionally stable LOD-FDTD method for 3-D Maxwell's equations," IEEE Microw. Wirel. Compon. Lett., vol.17, no.2, pp.85–87, Feb. 2007.
- (23) J. Lee and B. Fornberg, "A split step approach for the 3-D Maxwell's equations," J. Comput. Appl. Math., vol.158, pp.485–505, 2003.
- (24) G. Sun and C.W. Trueman, "Efficient implementations of the Crank-Nicolson scheme for the finite-difference time-domain method," IEEE Trans. Microw. Theory Tech., vol.54, no.5, pp.2275–2284, May 2006.
- (25) Y.-S. Chung, T.K. Sarkar, B.H. Jung, and M. Salazar-Palma, "An unconditionally stable scheme for the finite-difference time-domain method," IEEE Trans. Microw. Theory Tech., vol.51, no.3, pp.697–704, March 2003.
- (26) S.J. Cooke, M. Botton, T.M. Antonsen, and B. Levush, "A leapfrog formulation of the 3D ADI-FDTD algorithm," Int. J. Numer. Model. Electron. Netw. Devices Fields, vol.22, no.2, pp.187–200, March 2009.
- (27) J. Chen and J. Wang, "A three-dimensional semi-implicit FDTD scheme for calculation of shielding effectiveness of enclosure with thin slots," IEEE Trans. Electromagn. Compat., vol.49, no.2, pp.354–360, May 2007.
- (28) J. Chen and J. Wang, "A novel WCS-FDTD method with weakly conditional stability," IEEE Trans. Electromagn. Compat., vol.49, no.2, pp.419–426, May 2007.
- (29) M. Unno and H. Asai, "HIE-FDTD method for hybrid system with lumped elements and conductive media," IEEE Microw. Wirel. Compon. Lett., vol.21, no.9, pp.453–455, Sept. 2011.
- (30) J. Chen and J. Wang, "Method to avoid reduction of time step in the CP-FDTD method," IEEE Trans. Antennas Propag., vol.55, no.12, pp.3613–3619, Dec. 2007.
- (31) H. Muraoka, Y. Inoue, T. Sekine, and H. Asai, "A hybrid implicit-explicit and conformal (HIE/C) FDTD method for efficient electromagnetic simulation of nonorthogonally-aligned thin structures," IEEE Trans. Electromagn. Compat., (in press).
- (32) K.-B. Wu, G.-H. Shiue, W.-D. Guo, C.-M. Lin, and R.-B. Wu, "Delaunay-Voronoi modeling of power-ground planes with source port correction," IEEE Trans. Adv. Packag., vol.31, no.2, pp.303–310, May 2008.
- (33) C. Liu, J. Mao, and M. Tang, "A new power-ground plane modeling method with rectangle and triangle segmentation," IEEE Trans. Adv. Packag., vol.33, no.3, pp.639–646, Aug. 2010.
- (34) A.E. Engin, K. Bharath, and M. Swaminathan, "Multilayered finite-difference method (MFDM) for modeling of package and printed circuit board planes," IEEE Trans. Electromagn. Compat., vol.49, no.2, pp.441–447, May 2007.
- (35) J.S. Pak, J. Kim, J. Cho, K. Kim, T. Song, S. Ahn, J. Lee, K. Park, and J. Kim, "PDN impedance modeling and analysis of 3D TSV IC by using proposed P/G TSV array model based on separated P/G TSV and chip-PDN models," IEEE Trans. Compon., Packag., Manuf. Technol., vol.1, no.2, pp.208–219, Feb. 2011.
- (36) J.E. S.-Ainé, "Latency insertion method (LIM) for the fast transient simulation of large networks," IEEE Trans. Circuits Syst. I, Fundam. Theory Appl., vol.48, no.1, pp.81–89, Jan. 2001.
- (37) T. Sekine and H. Asai, "CMOS circuit simulation using latency insertion method," IEICE Trans. Fundamentals, vol.E92-A, no.10, pp.2546–2553, Oct. 2009.
- (38) T. Sekine and H. Asai, "Block latency insertion method (block-LIM) for fast transient simulation of tightly coupled transmission lines," IEEE Trans. Electromagn. Compat., vol.53, no.1, pp.193–201, Feb. 2011.
- (39) S.N. Lalgudi, M. Swaminathan, and Y. Kretchmer, "On-chip power-grid simulation using latency insertion method," IEEE Trans. Circuits Syst. I, Fundam. Theory Appl., vol.55, no.3, pp.914–931, April 2008.
- (40) H. Kurobe, T. Sekine, and H. Asai, "Locally implicit LIM for the simulation of PDN modeled by triangular meshes," IEEE Microw. Wirel. Compon. Lett., vol.22, no.6, pp.291–293, June 2012.
- (41) T. Sekine and H. Asai, "Unconditionally stable explicit method for the fast 3-D simulation of on-chip power distribution network with through silicon via," Proc. ASP-DAC 2013, pp.7–12, Yokohama, Japan, Jan. 2013.
- (42) 石丸友紀, 關根惟敏, 浅井秀樹, "ADI ブロック LIM による多層電源分配網解析," 信学論 (A), vol.J94-A, no.12, pp.1043–1046, Dec. 2011.
- (43) H. Kurobe, T. Sekine, and H. Asai, "Alternating direction explicit-latency insertion method (ADE-LIM) for the fast transient simulation of transmission lines," IEEE Trans. Compon., Packag., vol.2, no.5, pp.783–792, May 2012.
- (44) T. Takasaki, T. Sekine, and H. Asai, "Fast transient analysis of nonuniform multiconductor transmission lines using HIE-block-LIM," IEEE Microw. Wirel. Compon. Lett., pp.512–514, Aug. 2013 (in press).
- (45) T. Sekine and H. Asai, "Matrix order reduction by nodal analysis formulation and relaxation-based fast simulation for power/ground plane," IEICE Trans. Fundamentals, vol.E91-A, no.9, pp.2450–2455, Sept. 2008.
- (46) 高崎貴大, 關根惟敏, 浅井秀樹, "節点ブロック緩和法を用いた不均一な多導体伝送線路の高速過渡解析," 信学論 (C), vol.J96-C, no.6, pp.114–121, June 2013.
- (47) P.S. Pacheco, Parallel programming with MPI, Morgan Kaufmann Publishers Inc., San Francisco, CA, USA, 1996.
- (48) W. Yu, R. Mittra, T. Su, Y. Liu, and X. Yang, Parallel Finite-Difference Time-Domain method, Artech House,

- Inc., Norwood, MA, 2006.
- (49) M. Nishigaki, N. Tanaka, and H. Asai, "Hierarchical decomposition and latency for circuit simulation by direct method," IEICE Trans. Fundamentals, vol.E75-A, no.3, pp.347-351, March 1992.
 - (50) R.A. Saleh, K.A. Gallivan, M.-C. Chang, I.N. Hajj, D. Smart, and T.N. Trick, "Parallel circuit simulation on supercomputers," Proc. IEEE, vol.77, no.12, pp.1915-1931, Dec. 1989.
 - (51) A. Grama, A. Gupta, G. Karypis, and V. Kumar, Introduction to Parallel Computing, 2nd edition, Addison-Wesley Longman Publishing Co., Inc., Boston, MA, USA, 2002.
 - (52) 小川 慧, 青木尊之, 山中晃徳, "マルチ GPU によるフェーズフィールド相転移計算のスケラビリティ 40GPU で 5TFLOPS の実効性能," 情報学会論, vol.3, no.2, pp.67-75, June 2010.
 - (53) M. Unno, Y. Inoue, and H. Asai, "GPGPU-FDTD method for 2-dimensional electromagnetic field simulation and its estimation," in Proc. IEEE EPEPS 2009, pp.239-242, Portland, OR, Oct. 2009.
 - (54) T.P. Stefański and T.D. Drysdale, "Acceleration of the 3D ADI-FDTD method using graphics processor units," in Proc. IEEE IMS 2009, pp.214-244, Boston, MA, June 2009.
 - (55) E.L. Tan, "Acceleration of LOD-FDTD method using fundamental scheme on graphics processor units," IEEE Microw. Wirel. Compon. Lett., vol.20, no.12, pp.648-650, Dec. 2010.
 - (56) "Whitepaper NVIDIA's next generation CUDA™ compute architecture: Fermi™", http://www.nvidia.com/content/PDF/fermi.white.papers/NVIDIA_Fermi_Compute_Architecture_Whitepaper.pdf.
 - (57) 青木尊之, 額田 彰, 第二 I/O 編集部, はじめての CUDA プログラミング, I/O books, 工学社, 東京, 2009.
 - (58) フィックスターズ, OpenCL 入門: マルチコア CPU・GPU のための並列プログラミング, 改訂新版, インプレスジャパン, インプレスコミュニケーションズ (発売), 東京, 2012.
 - (59) M. Pharr and R. Fernando, GPU Gems 2: Programming Techniques for High-Performance Graphics and General-Purpose Computation (Gpu Gems), Addison-Wesley Professional, 2005.
 - (60) R. Farber, CUDA Application Design and Development, Applications of GPU computing, Morgan Kaufmann, 2011.
 - (61) M. Unno, S. Aono, and H. Asai, "GPU-based massively parallel 3-D HIE-FDTD method for high-speed electromagnetic field simulation," IEEE Trans. Electromagn. Compat., vol.54, no.4, pp.912-921, Aug. 2012.
 - (62) Y. Inoue, T. Sekine, and H. Asai, "Parallel-distributed block-LIM for transient simulation of tightly coupled transmission lines," IEEE Trans. Compon., Packag., vol.3, no.4, pp.670-677, April 2013.
 - (63) J.W. Thomas, Numerical Partial Differential Equations: Finite Difference Methods, Springer, New York, Sept. 1995.
 - (64) E.-P. Li, E.-X. Liu, L.-W. Li, and M.-S. Leong, "A coupled efficient and systematic full-wave time-domain macromodeling and circuit simulation method for signal integrity analysis of high-speed interconnects," IEEE Trans. Antennas Propag., vol.27, no.1, pp.213-223, Feb. 2004.
 - (65) T. Sekine and H. Asai, "Nonlinear block-type leapfrog scheme for the fast simulation of multiconductor transmission lines with nonlinear drivers and terminations," Proc. IEEE EPEPS 2012, pp.284-287, Tempe, AZ, Oct. 2012.
 - (66) M.F. Su and D.A. Bader, "A novel FDTD application featuring OpenMP-MPI hybrid parallelization," in Proc. Int'l Conf. on Parallel Processing (ICPP), pp.373-379, 2004.
 - (67) J. Xie and M. Swaminathan, "Electrical-thermal co-simulation of 3D integrated systems with micro-fluidic cooling and Joule heating effects," IEEE Trans. Compon., Packag., Manuf. Technol., vol.1, no.2, pp.234-246, Feb. 2011.
 - (68) A. Todri, S. Kundu, P. Girard, A. Bosio, L. Dilillo, and A. Virazel, "A study of tapered 3-D TSVs for power and thermal integrity," IEEE Trans. Very Large Scale Integr. Syst., vol.21, no.2, pp.306-319, March 2012.
 - (69) S.Y. Yu, Y.-M. Kwon, J. Kim, T. Jeong, S. Choi, and K.-W. Paik, "Studies on the thermal cycling reliability of BGA system-in-package (SiP) with an embedded die," IEEE Trans. Compon., Packag., Manuf. Technol., vol.2, no.4, pp.625-633, Jan. 2012.
 - (70) A. Tambat, H.-Y. Lin, G. Subbarayan, D.Y. Jung, and B. Sammakia, "Simulations of damage, crack initiation, and propagation in interlayer dielectric structures: Understanding assembly-induced fracture in dies," IEEE Trans. Device Mater. Reliab., vol.12, no.2, pp.241-254, April 2012.
 - (71) 島崎 睦, 西 慎矢, 浅井秀樹, "プリント配線板の給電配線における cmrr を用いたCOMMONモード抑制設計の評価方法," エレクトロニクス実装学会誌, vol.16, no.4, pp.275-282, July 2013.
 - (72) Y. Okazaki, T. Uno, K. Shinomiya, and H. Asai, "Availability of optimization algorithm for the problem of reducing common-mode current on electronic control units," J. Signal Processing, vol.13, no.4, pp.295-298, July 2009.
 - (73) Y. Okazaki, T. Uno, and H. Asai, "An optimization system with parallel processing for reducing common-mode current on electronic control unit," IEICE Trans. Electron., vol.E93-C, no.6, pp.827-834, June 2010.
 - (74) T. Uno, K. Ichikawa, Y. Mabuchi, A. Nakamura, Y. Okazaki, and H. Asai, "An approach for practical use of common-mode noise reduction technique for in-vehicle electronic equipment," IEICE Trans. Commun., vol.E93-B, no.7, pp.1788-1796, July 2010.
 - (75) "Top500 supercomputer sites", <http://www.top500.org/>.

(VLD 研究会提案, 平成 25 年 9 月 24 日受付
10 月 28 日最終受付)

浅井秀樹 (正員: フェロー)

昭 55 慶大・工・電気卒, 昭 60 同大学院博士課程了。同年上智大・理工・電気電子・助手, 昭 61 静岡大・工・光電機械・専任講師, 昭 62 同助教授を経て, 平 9 同大学・工・システム・教授 (平 23~24 静岡大卓越研究者称号拝受)。平 25 から現職。平 18 セサミテクノロジ (株) 起業。工博。その間, VLSI-CAE/EDA, パワー/シグナルインテグリティ解析技術, ニューラルネットワーク, 車載用電子機器の設計最適化などの研究に従事。平 6~7 IEEE 回路とシステムソサイエティ東京支部幹事, 平 9~10 本会非線形問題研究専門委員会幹事, 平 19 同委員長, 平 17~18 エレクトロニクス実装学会理事, 同学会回路実装・設計技術委員会副委員長, 平 19~20 同委員長, 21~22 同理事, 平 11 カールトン大 (カナダ), サンタ・クララ大 (米国) 客員研究員, 昭 63 高柳研究奨励賞, 平元本会東海支部創立 50 周年記念研究奨励賞, 平 5 齋藤奨励賞, 平 21 文部科学大臣表彰科学技術賞 (研究部門), 平 21 高柳記念賞, など各受賞。IEEE, 電気学会, エレクトロニクス実装学会各会員。著書「デジタル回路演習ノート」(コロナ社, 平 13)、「電子回路シミュレーション技法」(科学技術出版, 平 15) など。

井上雄太 (正員)

2005 静岡大・工・システム卒．2007 同大学院工学研究科システム工学専攻了．2011 同大学創造科学技術大学院情報科学専攻了．ハイパフォーマンスコンピューティング，及び，回路・電磁界シミュレーション技術の研究に従事．

関根惟敏

2007 静岡大・工・システム卒．2009 同大学大学院工学研究科システム工学専攻了．2011 日本学術振興会特別研究員 (DC)．2012 静岡大創造科学技術大学院情報科学専攻了．同年日本学術振興会特別研究員 (PD)．回路・電磁界シミュレーション技術の研究に従事．