日本における脳型コンピュータ研究の再興に向けて

To Revive Researches on Brain-like Computers in Japan

堀尾喜彦 Yoshihiko HORIO

1. はじめに

私は、昨年 10 月に発足した NOLTA ソサイエティ(NLS) の初代会長を務めさせて頂いた。会長の任期は本年 6 月初頭に既に終了したが、FR 誌編集幹事から、会長の最後のお務めとしてこの記事の執筆を依頼された。内容は自由でよいということであったので、私が約 30 年くらい前に参画したが、近年、日本における研究発表の数がかなり少なくなってしまった、ニューロハードウェア(脳型コンピュータ)分野について、その日本での再興を願って私見を述べさせて頂きたい。

非ノイマン形で脳に学んだ情報処理ハードウェアの開発は、現在主に米国とヨーロッパで行われており、日本における脳型コンピュータハードウェアの研究・開発は大きく後れを取っていると言わざるを得ない。本稿では、基礎・境界ソサイエティ(ESS)や NLS に集う研究者たちが、欧米とは一線を画す日本独自の脳型コンピュータハードウェアの研究・開発に参入するきっかけの一つとなることを願って、欧米における脳型コンピュータハードウェアの開発の現状と課題を紹介する。

2. 第三次ニューロブームに乗って

米国では、2013 年 2 月のオバマ大統領の議会演説以降、脳全体のネットワークの解明を目指した Brain Initiative⁽¹⁾と呼ばれるプロジェクトが進んでいる。また、ヨーロッパにおいては、2013 年 10 月に、EU が Human Brain Project⁽²⁾を立ち上げ、脳の動きを再現するコンピュータの実現を目指している。日本においても、2014 年度から「革新的技術による脳機能ネットワークの全容解明プロジェクト」が開始されている⁽³⁾。これらいずれにも巨額の予算が投じられ、広範な分野から多数の研究者が参画している。このように、現在は「第三次ニューロブーム」といえるような状況にある。

少し振り返ってみると、単純パーセプトロンの提案により、

1960 年代に第一次ニューロブームが到来した。その後、単純パーセプトロンの限界が明らかになり、一旦ブームは急激に減速したが、1980 年代に入り、Hopfield ネットワーク、多層ネットワークと誤差伝搬学習則、自己組織化ネットワーク、ボルツマンマシンなどが次々と登場し、第二次ニューロブームとなった。一方、これと並行して、1980 年代から 1990 年代にかけて、決定論的カオスに関する研究が進み、脳神経系におけるカオスも発見された。また、1984 年のサンタフェ研究所設立をきっかけに、複雑系科学が出現したのもこの時期である。その後、2000 年代に入り、スーパーコンピュータの性能の飛躍的向上や、新しい脳神経活動計測技術の発展によるデータの蓄積により、脳全体という非常に大規模なネットワークの研究が可能になり、現在の第三次ニューロブームへと進展してきている。

これまでにスーパーコンピュータの規模と計算速度は共に向上し、現在では計算速度がペタ (10^{15}) フロップス、メモリ容量がペタバイト級の計算機上にマウスの脳全体が再現可能となっている。また、人間の脳の再現が可能とされるエクサ (10^{18}) フロップス・エクサバイト級のスーパーコンピュータも現実味を帯びてきた。一方、fMRI などの従来の脳計測装置の性能向上に加え、ナノワイヤを用いたブローブ技術や、量子ドットや遺伝子組換え技術を活用した蛍光センサあるいは膜電位イメージング、DNA テープによるニューロン活動の記録など、脳神経活動計測のための先端技術が次々と開発されている。更には、オプトジェネティクスやオプトケミストリーなどによる、操作型の研究も期待されている。

このように、脳全体をソフトウェア的にスーパーコンピュータ上に構築し、脳機能の解明や、神経疾患の治療や創薬に役立たせようとする研究と同調して、脳の情報処理様式に学んだ脳型コンピュータハードウェアを構築しようとする研究も、欧米を中心に再び勢いを増している。脳型コンピュータについては、上記の第二次ニューロブームの際に盛んに研究され、半導体集積回路技術や光回路技術などにより、基本的な構成要素は実現された。しかし、当時はまだ実装技術が大規模な脳型コンピュータ、特に、膨大なニューロン間の接続や、可塑的シナプス結合と学習則などを実現するためには十分成熟しておらず、ハードウェアはコンセプトマシン程度にとどまっていた。

しかし、これまで主にムーアの法則による半導体集積回路の微細化と高速化の恩恵により性能を向上させてきたノイマン形

堀尾喜彦 正員：シニア会員 東京電機大学大学院先端科学技術研究科
E-mail horio@eee.dendai.ac.jp
Yoshihiko HORIO, Senior Member (Graduate School of Advanced Science and Technology, Tokyo Denki University, Adachi-ku, Tokyo, 120-8551 Japan).

電子情報通信学会 基礎・境界ソサイエティ
Fundamentals Review Vol.9 No.2 pp.92-95 2015 年 10 月
©電子情報通信学会 2015

計算機の理論性能限界が、すぐ近くまで迫ってきている⁽⁴⁾。また、ノイマン形計算機のエネルギー効率は悪く、上記のようなテラフロップス級やヘキサフロップス級のスーパーコンピュータの消費電力は、小さな町一つの消費電力に匹敵する（例えば、「京」の消費電力は 13 MW (3 万世帯分) である⁽⁵⁾。）また、計算機が複雑になればなるほど、プログラムも複雑化し開発が困難になる。

これに対し、脳は、ノイマン形とは大きく異なる構造や情報表現様式により、演算とメモリが一体化した高度な超並列分散処理を行い、雑音や素子（ニューロンなど）の故障に非常にロバストである。また、遺伝的に組み込まれた基本機能に加え、高度な情報処理機能を自律的に学習するため、プログラミングが不要である。更に、必要な部分だけが非同期的に活動するため、人間の脳は 20 W という低消費電力で高い機能を実現している。

更に近年では、半導体集積回路技術、特に、低消費電力の下しきい値 (sub-threshold) 動作の CMOS 回路技術や非同期回路技術が進展し、大規模でありながら低消費電力の脳型コンピュータハードウェアの実装が可能となりつつある。特に、従来のデジタル計算機内の論理ゲートの動作速度に比べると極めて低速ではあるが、実時間動作（すなわち、脳の動作周波数と同程度である ms の動作時間）で多数の素子が並列かつ非同期的に動作する脳型コンピュータアーキテクチャによる大規模・低消費電力回路の実現可能性が非常に高まっている。このような実時間ハードウェアシステムは、生体の脳の動作との比較による情報処理の研究が容易であることに加え、生体との親和性が高いため、生体の脳神経系をシステム内に組み込むことができる。このため、生体の脳の直接的な計測や、Brain-Machine-Interface (BMI) によるバイオフィードバックなどに活用することが可能であり、埋込型やウェアラブル型のシステムの実現も期待される。一方で、脳の実時間より早く動作する、いわゆる加速型 (accelerated) ハードウェアの研究も進んでいる。加速型システムでは、生体の脳の数千倍から数万倍の速度で脳内の情報処理をエミュレートできるため、脳で行われている情報処理様式の解明や、脳神経疾患の病態や治療のシミュレーションを主な目的とする。ただし、実時間システムに比べて消費電力は大きくなる場合が多い。

このような脳型コンピュータハードウェアは、アナログ回路による実装、デジタル回路による実装、アナログ・デジタル混成回路による実装の三つに大別できる。それぞれの方式に利点と欠点があるが、大まかに言うと、デジタル回路の利点は、高い計算精度と再現性、大容量のデジタルメモリである。欠点は、大きなチップ面積と高い消費電力、低い故障耐性である。一方、アナログ回路の主な利点は、小形・低消費電力や並列性、素子劣化に対する性能の緩やかな劣化などであり、欠点は主に、低い精度や、素子間のミスマッチや雑音に敏感であること、更には良いアナログメモリがないことである。ただし、アナログメモリに関しては、近年、抵抗メモリ素子 (memristive device) などの有望な技術が開発されている。アナログ・デジタル混成回路による実装では、上記二つの方法の利点をうまく組み合わせることができるが、アナログとデジタルの境界 (interface)

をどのように実装するかが鍵である。

3. 欧米での脳型コンピュータ開発の状況

3.1 DARPA SyNAPSE プロジェクト

SyNAPSE とは、Systems for Neuromorphic Adaptive Plastic Scalable Electronics の略称で、2008 年に開始され、2014 年で全体計画の約 4 分の 3 が終了している⁽⁶⁾。このプロジェクトの成果で特に話題となっているのは、IBM が 2014 年 8 月に発表した、True-North と呼ばれる脳型デジタル IC チップである⁽⁷⁾。この IC は、256 個のニューロン、256 個の軸索、256×256 個のシナプスを実装するニューロン・シナプスコアから構成され、一つのチップ中に 4,096 個のコアが集積回路化されている。したがって、1 チップ中に約 100 万個のニューロンと約 2 億 5,000 万個のシナプスが集積回路実装されている。実装されているニューロンは、基本的には積分発火 (I/F: Integrate-and-fire) 型ニューロンであるが、多くの拡張や動作モードが用意されており、様々なニューロン特性を再現できる。

このチップの特徴の一つは、それぞれのプロセッサの近くにメモリが配置されており、各プロセッサではできるだけ自身の直近に配置されたメモリを使うように工夫されている (Memory-computation colocalized) 点である。更に、ニューロンの活動電位に相当するデジタルパルスは、Address Event Representation (AER) 手法により非同期的に伝送され、これがシナプスにおいてイベント駆動で処理されるため、活動電位パルスが存在するシナプスのみ動作すればよい。ただし、全体のタイミングを合わせるために 1 kHz の同期クロックを使用している (Event-driven hybrid asynchronous-synchronous)。このような構成により、28 nm CMOS プロセスを用いた 4.3 cm² のチップにおいて、20 mW/cm² の低消費電力と、1 秒間に 460 億回のシナプス計算を実現した。Intel Core i7 で同じ計算をする場合と比較すると、10 万分の 1 以下の消費電力である。ただし、学習は off-chip である。

現在では、多数のチップを二次元的に配置することで、1,600 万個のニューロンと 40 億個のシナプスから成る大規模なシステムが実現されており、将来的には、4,096 個のチップにより、40 億個のニューロンと 1 兆個のシナプスから成るシステムを構築する予定とされている。なお、この場合の消費電力は約 4 kW と予想されている。

3.2 SpiNNaker

脳型デジタルコンピュータのもう一つの例が、2005 年から 2014 年に、英国マンチェスター大学を中心に開発された SpiNNaker (Spiking neural network architecture) マシンである⁽⁸⁾。前節で述べたように IBM が専用チップを開発したのに対し、SpiNNaker では、200 MHz 32 bit 整数プロセッサである ARM 968 プロセッサを 18 個と、1 コア当り 32 kByte

のローカルメモリ, 64 kByte のデータメモリ, 128 MByte の SDRAM 及びパケットルータを収めたチップ (ノードと呼ぶ) を構成単位とする。なお, 一つのプロセッサコアでは, 2 から 300 個の I/F ニューロンあるいは Izhkevich ニューロンと, 1 ニューロン当り 1,000 個のシナプスが実装できる。また, パルス伝送には, 全ての配送をルータが行うよう AER を拡張した, Light-weight multicast packet routing が用いられている。また, 最終的なシステムは, 48 個のノードが搭載されたボード 1 枚以上から構成する。例えば, 1,200 枚のボードから成るシステムでは, 約 100 万個の ARM コアを収納する。このシステムで実装可能なニューロンの数は最大で 10 億個であり, 消費電力は 75 kW である。

前述の True-North もこの SpiNNaker もデジタルコンピュータであり, 脳の実時間エミュレーションを目的とするが, True-North の方が, 電力で 1/761, 大きさで 1/11 と有利である。ただし, 古い ARM 968 に代えて, より高性能なプロセッサコアを用いれば SpiNNaker の性能は大きく向上すると思われる。

3.3 Neurogrid

上記 True North と SpiNNaker は, デジタル回路による実装であるが, 本節と次節では, アナログ・デジタル混成システムによる脳型コンピュータの実装例を紹介する。

その一つ目が, イオンチャネルからネットワーク構造までの, コンポーネントの相互作用によるダイナミクスの研究を目的として, 2011 年から開発が始まった Neurogrid である (2016 年 5 月終了予定)⁽⁹⁾。Neurogrid では, 軸索以外はアナログ集積回路により実装し, 主に皮質のネットワークのモデルを構築する。

アナログ回路で構成されたニューロンの細胞体やシナプス (イオンチャネル) などは, そのダイナミクスが微分方程式で与えられるモデルを実装している。また, 樹状突起は, 近傍のニューロン間で共用する構造 (shared dendrite) となっているのが特徴で, 皮質のカラム構造や階層的な構造をモデル化するのに有利である。ただし, この構造でシナプスも共有する (shared synapse) ため, シナプスの可塑性は実装されていない。一方, 軸索でのスパイクはデジタル回路により伝送され, スループットを最大化 (80 M spike/s) するため, パケットルーチングの構造として木構造を採用し, 高いバンド幅を持つ multicast と, ポイントツーポイントルーチングの両方が可能である。

Neurocore と呼ばれるチップ中には, 256×256 個のニューロンが実装されており, 16 個の Neurocore チップを木構造の高速バスで接続することにより, 約 100 万個のニューロンと, 400 万個の多重化されたシナプス (実効的に数十億個のシナプス) から成る実時間システムを構成できる。この 100 万ニューロンシステムの消費電力は 3.1 W であり, 通常の PC より 5 桁優れているが, 脳より 5 桁劣っている。

3.4 BrainScaleS

これまでに紹介したシステムは, 全て生体の脳と同等の時間で動作する実時間システムであった。これに対し, 脳の 1,000 倍から 10 万倍の速度で動作する加速型のアナログ・デジタル混成システムの例の一つが, 2011 年から本格的な開発が開始された BrainScaleS⁽¹⁰⁾であり, ウェーハスケール (wafer-scale) 集積回路である点が回路の最大の特徴である⁽¹¹⁾。

アナログ回路により実装されるニューロンモデルは, AdExp と呼ばれる Exponential I/F ニューロンモデルである。一方, シナプスはデジタル回路で実現されており, 一つのニューロン当り, 最大で 14,336 個の 6 から 8 bit 精度のシナプスが実装可能である。シナプスの可塑性としては, 短時間抑制及び亢進と, Spike-Timing-Dependent Synaptic Plasticity (STDP) が可能である。

一つのチップ中には, 512 個のニューロンと 12 万 8,000 個のシナプスが 180 nm CMOS プロセスにより実装されている。一方, ウェーハの直径は 20 cm で, 384 個のチップを実装しており, 約 20 万個のニューロンと約 4,900 万個のシナプスから成るネットワークを構築する。なお, 消費電力は 1 kW である。このウェーハを複数結合させることで, 更に大規模なシステムを構築できる。

3.5 問題点

上記のように, 大規模な脳型コンピュータハードウェアの実現に向けて, 様々な技術が用いられている。これらに共通する問題点を考えよう。

まず第 1 に「脳型」あるいは「非ノイマン形」とうたっているが, 本当にそうであろうか? 確かに, 構成要素はニューロンであり, それらがシナプスにより結合され, パルスのやり取りにより処理を行っている。しかし, 脳の最大の特徴である, 情報処理能力を最大化するための構造の複雑さ, あるいは, 構造の多重階層性, 多重スケール性, 多重再帰性などが余り考慮されていない。同時に, どのような情報表現によりどのように情報処理をするかについても不明なままである。確かに, ハードウェア的には, 処理とメモリの分散化が行われてはいるが, 処理とメモリが一体となった新しい情報処理様式は, 本当の意味では実現されていない。

次に, シナプス可塑性がハード的あるいはソフト的に実現されているが, オフラインで学習するなど, いまだ十分な実装ではないと感じられる。また, 何をどのように「自律的に」学習するかが示されていない。

また, 複雑システムとしてのダイナミクスや機能の創発の観点からの設計指針や評価も少なく, 脳型コンピュータとしての設計というよりは, コンピュータをどのように脳らしくするか に注力されているように感じる。更に, 近年, 意識の科学が進展し, 脳との関連も盛んに議論されているにもかかわらず, 身体性や自己性と社会性及びコミュニケーション, 情動・感情や

意識などの実装への言及が少ない。

脳型コンピュータと名乗るためには、脳の情報処理様式や構造をできるだけ取り入れ、単なる計算や処理にとどまらず、意識などの脳のより高次な機能の実現を目指すべきではないかと考える。

4. ま と め

本稿で紹介したように、欧米では人間の脳に迫る規模のニューロンとシナプス数を実装した脳型コンピュータの開発が加速している。この背景には、脳計測技術の進展による知識の蓄積と、半導体集積回路技術の進展及び非ノイマン形コンピュータによる新しいアーキテクチャ開発の必要性がある。C. Mead が提唱した Neuromorphic Engineering は、本来生体のニューロンの動作原理（イオンなどのダイナミクス）を、半導体中の荷電粒子により模倣することを意図していたが、現在では、より一般的な脳型ハードウェアへと拡大解釈され、大きく発展している。

一方、日本においては、ニューロハードウェア、特に非常に大規模な脳型コンピュータ装置の研究は停滞しているように感じられ、危機感を抱くところである。多分野の研究者が統合的に集まる基礎・境界ソサイエティと、非線形科学や脳科学あるいは複雑系科学の研究者を多数有する NOLTA ソサイエティが協働して、脳型コンピュータの開発に乗り出すことを期待したい。日本は、本来、複雑なシステムの解析や包括的理解、巧みな実現にたけているはずであり、日本的あるいはアジア的世界観に立脚した、欧米とは一線を画すオリジナルな脳型コンピュータの開発が十分可能であると思われる。

文 献

- (1) <http://braininitiative.nih.gov>
- (2) <https://www.humanbrainproject.eu>
- (3) <http://brainminds.jp>
- (4) “Special report: 50 years of Moore’s law,” IEEE Spectrum, pp. 27–44, April 15, 2015.
- (5) <http://www.fujitsu.com/jp/about/businesspolicy/tech/k/qa/k04.html>
- (6) DARPA, “Systems of neuromorphic adaptive plastic scalable electronics,” Broad Agency Announcement, Defense Science Office, DARPA-BAA 08-28, 2008.
- (7) P. A. Merolla, J. V. Arthur, R. Alvarez-Icaza, A. S. Cassidy, J. Sawada, F. Akopyan, B. L. Jackson, N. Imam, C. Guo, Y. Nakamura, B. Brezzo, I. Vo, S. K. Esser, R. Appuswamy, B. Taba, A. Amir, M. D. Flickner, W. P. Risk, R. Manohar, and D. S. Modha, “A million spiking-neuron integrated circuit with a scalable communication network and interface,” Science, vol. 345, pp. 668–673, 2014.
- (8) S. B. Furber, F. Galluppi, S. Temple, and L. A. Plana, “The SpiNNaker project,” Proc. IEEE, vol. 102, no. 5, pp. 652–665, 2014.
- (9) B. V. Benjamin, P. Gao, E. McQuinn, S. Choudhary, A. R. Chandrasekaran, J.-M. Bussat, R. Alvarez-Icaza, J. V. Arthur, P. A. Merolla, and K. Boahen, “Neurogrid: A mixed-analog-digital multichip system for large-scale neural simulations,” Proc. IEEE, vol. 102, no. 5, pp. 699–716, 2014.
- (10) <http://BrainsScaleS.eu>
- (11) J. Schemmel, D. Brüderle, A. Grünbl, M. Hock, K.

Meier and S. Millner, “A wafer-scale neuromorphic hardware system for large-scale neural modeling,” Proc. IEEE Symp. Circuits and Syst., pp. 1947–1950, 2010.

堀尾喜彦（正員：シニア会員）

1982 慶大・工・電気卒，1987 同大学院博士課程了，同年東京電機大・工・助手，2000 同教授，1992～1994 米コロンビア大客員教授，工博，2014 本会 NOLTA ソサイエティ会長，非線形集積回路，複雑系コンピューティングの研究に従事。