液相堆積シリコン酸化膜／シリコン界面特性の改善

正員 羽路 伸夫* 非会員 ポーンケオ チャンタマリー*
非会員 毛利 重信*

The Improvement of the Characteristics of Liquid Phase-Deposited Silicon Dioxide/Silicon Interface

Nobuo Haneji*, Member, Phonekeo Chanthamaly*, Non-member, Shigenobu Mouri*, Non-member

Liquid phase deposition (LPD) is the method to deposit SiO₂ films on the substrates at room temperature in the super-saturated fluorosilicic acid (H₂SiF₆) solution. When the SiO₂ films are directly deposited on the Si substrates, which are treated with diluted HF to remove the native oxide, the characteristics of the the SiO₂/Si interface are poor, because the surface Si atoms are terminated and covered with H atoms. Low temperature (30~500°C) annealing in O₂ was found to be effective to improve the interface characteristics, and also the breakdown characteristics. This low temperature annealing in O₂ ambient is useful without losing the merit of low temperature process in the liquid-phase deposition method, when the deposited SiO₂ films are used as the gate insulators in Si MOS FETs.

キーワード：液相堆積法, LPD, シリコン酸化膜, 低温プロセス

Keywords: liquid phase deposition, LPD, silicon dioxide films, low temperature process

1. はじめに

液相堆積法 (Liquid Phase Deposition; 以下, LPD 法)^{(1)~(7)} は, SiO₂ を過飽和状態にさせた珪フッ化水素酸 (H₂SiF₆) 水溶液中に浸漬した基板上に SiO₂ 薄膜を堆積させる方法であり,

- 室温近傍での堆積が可能である。
- 特にアニーリングを行わなくても膜構造は比較的緻密で, CVD (Chemical Vapor Deposition) 法と同程度の特性をもつ。
- 成膜装置は比較的簡単な構造であり, また, 大口径基板上への堆積も容易である。
- 膜厚の制御が容易である。

などの特長をもつ。また, 室温近傍での堆積であるが, p エッチレートは CVD 膜と同程度以下である。

基本的な化学反応は

で表される。この系において, 化学平衡を右にシフトさせることにより過飽和となった SiO₂ が析出して基板上に堆

積される。平衡をシフトさせるには,

- (1) H₂O を添加する。
- (2) Al や H₃BO₃ を添加して HF と反応させる。
- (3) 系全体の温度を上げる。

などの方法がある。(2) の方法では, 堆積 SiO₂ 薄膜中に Al や B が不純物として取り込まれて電気的特性を劣化させるので, われわれの研究室では (1) の方法により調整した H₂SiF₆ を超純水で希釈して堆積を行っている。

また, われわれは珪フッ化水素酸 (H₂SiF₆) 水溶液の濃度が高くなるにつれて成膜された SiO₂ 薄膜の比誘電率は小さくなり, 3.5 mol/l の水溶液を用いた場合比誘電率は 3 程度となることを報告した⁽⁶⁾。これは, 膜中に取り込まれるフッ素原子数の増加によるものであると考えられる。XPS による測定でも, 珪フッ化水素酸 (H₂SiF₆) 水溶液の濃度とともに膜中のフッ素原子が増加する事が確かめられている。CVD で成膜したものでは比誘電率は通常 4 程度であるので, LPD-SiO₂ 膜を VLSI の層間絶縁膜として用いた場合配線遅延時間を短くできる。しかし, AFM による観察によれば, 堆積 SiO₂ 薄膜の表面は珪フッ化水素酸 (H₂SiF₆) 水溶液の濃度とともに粗くなる。ただし, 3.25 mol/l の珪フッ化水素酸を用いた場合でも, 表面の粗さは 0.5nm 以下であった⁽⁶⁾。

一方, 液相堆積法により希釈フッ酸で処理したシリコン基板上に SiO₂ 膜をゲート絶縁膜として堆積した場合, SiO₂/Si

* 横浜国立大学

〒 240-8501 横浜市保土ヶ谷区常盤台 79-5

Yokohama National University

79-5, Tokiwadai, Hodogaya-ku, Yokohama 240-8501

界面の特性はあまり良好ではなく、C-V 特性は注入形のヒステリシスを示す⁽⁵⁾。

本論文では、液相堆積法が SiO₂ 膜をゲート絶縁膜として用いることを想定して、堆積前にシリコン基板を低温で酸素雰囲気中で熱処理して極薄の熱酸化膜を成長させることにより、低温プロセスであることのメリットを失うことなく液相堆積 SiO₂/Si 界面の特性を改善する方法について考察する。

2. 実験方法

〈2・1〉液相堆積法 (LPD) 図1に液相堆積装置の概要を示す⁽⁶⁾⁽⁷⁾。堆積槽の容量は約6ℓである。堆積時には堆積槽の周囲の水槽の温度を40℃とした。また、H₂SiF₆ 水溶液をポンプにより循環させ、さらに、堆積槽中で発生する SiO₂ パーティクルを1μmのフィルターにより除去している。本来、消費された H₂SiF₆ を補充するべきであるが、本実験では小規模な装置であるため、行っていない。H₂SiF₆ 水溶液の濃度は2~3.5 mol/ℓの範囲で堆積可能であるが、前述したように H₂SiF₆ 水溶液の濃度が高くなると膜表面が粗くなること、また、ゲート絶縁膜としては比誘電率が大きい方がよいことなどを考慮して本実験では2.5 mol/ℓの水溶液を用いて堆積を行った。この条件下で本装置では、1時間の堆積により厚さ130nmの厚さの SiO₂ 薄膜が得られる。また、このときの SiO₂ の比誘電率は3.6程度である⁽⁶⁾。本研究で用いた試料の SiO₂ 膜の厚さは、約70 nmである。膜厚はエリプソメトリにより測定した。精度は落ちるが、段差膜厚計でも測定を行い、両者が一致する事を確認した。また、H₂SiF₆ 水溶液は森田化学工業(株)製の EL-LPD 用4 mol/ℓを超純水で希釈して用いた。

〈2・2〉シリコン基板の前処理 用いたシリコン基板はn形(100)面方位、抵抗率1~5 Ω・cmのものである。セミコクリーン23(フルウチ化学(株))で超音波洗浄した後、超純水で洗浄し、希釈フッ酸で自然酸化膜を除去し、超純水で洗浄した。この時、表面の Si 原子のダングリング・ボ

ンドはHで終端していると考えられる(図2参照)。Si原子とH原子の電気陰性度の違いにより、H原子は負に帯電する。液相堆積法では(1)式の反応を細かく考えれば、(2)式のように、水溶液中の Si(OH)₄²⁻ や SiF₆²⁻ の加水分解により SiO₂ 薄膜が堆積すると考えられる。

水素終端シリコン表面は前述したように負に帯電しているため、これらのイオンの基板への到着が妨げられる。このため、堆積条件(H₂SiF₆濃度など)によっては、基板を浸漬しても直ちに SiO₂ 膜が堆積することではなく、数分から数十分の dead time が生じることもある。このような条件下では堆積の初期段階で均一な堆積が行われていない可能性がある。また、熱酸化 SiO₂/Si 界面と比べて、はるかに多量の Si-H 結合や Si ダングリングボンドが界面に存在していると考えられる。

シリコン表面の H 原子は約300℃以上の温度で離脱する。本研究では、フッ酸処理後の Si 基板を、低温プロセスである液相堆積法の利点を損なわないよう、300~500℃の温度で所要の時間だけ酸素雰囲気中で熱酸化して極薄 SiO₂ を成長させてから液相堆積法により SiO₂ 薄膜の堆積を行い、MOS ダイオードを作製して特性の測定・評価を行った。界面は低温ではあるが熱酸化膜により形成されることになるので、界面特性は良好なものが得られると期待される。表1に前処理温度と処理時間を示す。この時の酸化膜厚は数 nm 以下であると考えられるが、測定により確認することはできなかった。熱処理の時間が異なるのは、低い温度では熱酸化速度が遅いことを考慮したためである。

ゲート電極としては、Al をメタルマスク(直径300 μm φ)を通して抵抗加熱蒸着により作製した。電極作成後、熱

図1 液相堆積装置

Fig. 1. The liquid-phase deposition setup.

図2 希釈フッ酸処理したシリコン表面の模式図
Fig. 2. The schematic diagram of diluted HF treated silicon surface.

表1 熱前処理条件

Table 1. The conditions of pre-annealing.

300°C	20min, 30min, 40min
400°C	10min, 20min, 30min
450°C	5min, 10min, 20min
500°C	5min, 10min, 15min, 20min

処理は行っていない。低温プロセスである液相堆積法により作製した SiO_2 薄膜の特性を評価するために、酸素雰囲気中での前熱処理以外はアニーリング等の昇温は一切行っていない。C-V 特性は、印加交流信号の周波数 1 MHz にて測定し、ゲート電圧の掃引は、0 V → 10 V → -10 V → 10 V と掃引し、掃引速度は 0.1 V/s とした。

また、堆積膜の均一性の評価として、耐圧分布を測定した。MOS ダイオードにランプ電圧を印加して I-V 特性を測定し、1 mA/cm² の電流が流れたときに破壊と判定した。1 種類の試料につき、100 点のダイオードを測定し、ヒストグラム表示した。

3. 実験結果と考察

〈3・1〉 C-V 特性 図 3 に、前処理せずに堆積して作製した MOS ダイオードの C-V 特性を示す。電極形成を含めて、一切の熱処理を施していないことに注意されたい。図に示すように、前熱処理なしの試料では、大きな注入型のヒステリシスを描く。これは、 SiO_2/Si 界面に多数存在する Si ダングリングボンドの影響だと思われる⁽⁴⁾⁽⁵⁾。一方、フラットバンド電圧は小さく、膜中の固定電荷は十分小さい。なお、本実験での堆積条件では、堆積開始時の dead time はない。

図 4 に、20 分間酸素中で前熱処理した Si 基板上へ堆積して作製した MOS ダイオードの C-V 曲線を示す。フラットバンド電圧は熱前処理によりほとんど変化していないが、ヒステリシス幅が熱前処理温度の上昇とともに減少していることがわかる。図 3 では図 4 の各特性に比して反転容量 C_{min} が小さくなっているが、これは H 原子がドナー原子と結合して不活性化したためと考えられる⁽⁵⁾。シリコン基板の抵抗率から求めたドナー密度 $5 \times 10^{15} \text{cm}^{-3}$ を用いて計算した C_{min}/C_{ox} の値は約 0.35 であり、図 4 に示したように、熱処理/酸化した試料ではこの値に一致している。図 3 のような試料でも、400°C 程度の熱処理を行うことによ

り、ドナーは再び活性化し、 C_{min} の値は回復する⁽⁵⁾⁽⁸⁾。

図 5 に、各 C-V 曲線から求めたフラットバンド容量でのヒステリシス幅 (ゲート電圧幅) を示す。300°C 以上の温度で H の離脱、最表面でのシリコンの酸化が生じ、界面を安定化させていることがわかる。

図 6 に、C-V 曲線より計算した、熱処理なしの試料と 500°C 20 分間熱前処理した試料の界面単位密度分布を示す。500°C で熱処理した試料では、熱酸化膜が表面に形成されており安定した SiO_2/Si 界面を形成していることを反映して、界面単位密度は減少している。なお、界面単位密度は $10^{11} / \text{cm}^2 \cdot \text{eV}$ のオーダーと大きくなっているが、これは電極形成後の水素アニーリングを行っていないため

図 4 堆積前に酸素中で 20 分間熱処理を行った試料の C-V 特性

Fig. 4. The C-V characteristics of the samples that were pre-annealed in oxygen before deposition for 20 min.

図 3 熱前処理無しの試料の C-V 特性

Fig. 3. The C-V characteristics of the sample without pre-treatment.

図 5 熱処理による C-V 曲線のヒステリシス幅の変化

Fig. 5. The change of the hysteresis width in C-V characteristics by pre-annealing.

図 6 熱前処理無しの試料と 500°C 20 分間熱前処理を行った試料の界面準位密度分布
Fig. 6. The interface trap density of the sample without pre-treatment and the sample which was pre-annealed for 20min. at 500°C.

ある。本研究室で作製した熱酸化 SiO₂ 膜を用いた MOS ダイオード試料でも、電極形成後のアニーリングを行わない場合は、 $5 \sim 10 \times 10^{10} / \text{cm}^2 \cdot \text{eV}$ 程度の値を示す。

〈3・2〉 絶縁破壊特性 図 7 に、測定した耐圧ヒストグラムを示す。熱前処理を行わなかった試料のヒストグラムは図から分かるように、あまり良くない。A モード破壊と呼ばれる初期不良が 60% 近く存在した。また、全ての試料が 7MV/cm 以下の電界で破壊している (B モード破壊)。液相堆積法では、基板表面だけではなく、水溶液中でも SiO₂ の析出が生じて微小パーティクルを形成してしまうため、この微小パーティクルが堆積基板表面に付着して絶縁不良を起こし、A モード破壊を生じていると考えている。また、膜中の欠陥に起因する B モード破壊が多く、真性破壊である C モード破壊はみられていない。

なお、微小パーティクルを除去するために、本実験では 1μm のフィルタを通して H₂SiF₆ 水溶液を堆積槽内で循環させているが、これでは十分ではないと考えられる。本実験装置でも、堆積膜厚を 100nm 以上にすれば、A モード破壊は 10% 以下に抑えられる。また、堆積槽中でも、槽内の中央から底部のほうが水溶液表面で堆積した膜よりも、A モード破壊率ははるかに小さい。したがって、なるべく大型の堆積槽を用いて、十分量の H₂SiF₆ 水溶液を循環させてやるのが重要だと思われる⁽⁷⁾。

300°C で 20 分間熱前処理を行った試料では、A モード破壊は依然 60% 近くあり改善されていないが、B モード破壊が減少して、8MV/cm の電界で起こる C モード破壊が現れる。更に熱処理温度をあげると、A モード破壊の頻度は減少し、C モード破壊の頻度が増加した。

〈3・3〉 考 察 堆積前に自然酸化膜を除去する目的で希釈フッ酸処理を行うと、シリコン表面は H 原子により終端される。この H 原子は 300°C 以上の熱処理により分解して放出される。また、本実験では O₂ 雰囲気中での熱処理であるので、シリコン基板の最表面では熱酸化が生

図 7 耐圧ヒストグラム

Fig. 7. The histograms of the breakdown field.

じていると考えられる。シリコン基板表面を覆った H 原子は、液相堆積法による均一ですみやかな SiO₂ 薄膜の堆積を妨げ、SiO₂/Si 界面に多数残留した Si ダングリングボンドは界面準位 (速い準位や遅い準位) を形成し、遅い準位は C-V 特性において注入型のヒステリシスの原因となる。酸素雰囲気中での堆積前熱処理は、界面を熱酸化 SiO₂/Si とするので、低温プロセスである液相堆積法の利点を失うこと無しに、この界面の不安定性を除去することができると考えられる。

また、H 原子で覆われたシリコン基板表面では Si(OH)₄²⁻ や SiF₆²⁻ の加水分解による SiO₂ 薄膜の堆積が妨げられるために、膜の堆積はすみやかには行われない。機構は明らかではないが、堆積の初期段階に界面近傍で発生した欠陥が、その後の堆積においても上方へ成長してしまい、A モードや B モード破壊を引き起こすと考えられる。前熱処理で H 原子を放出し、最表面を極薄 SiO₂ 膜で覆うことによりこのような膜中の欠陥密度を減少できるので、堆積 SiO₂ 薄膜の絶縁強度や破壊分布を改善できたと考えられる。

前熱処理なしの試料を 200°C、400°C で酸素雰囲気中にてアニーリングすると、ヒステリシス幅は増加するが、酸素雰囲気中では 400°C でほぼ零となる⁽⁵⁾。これは、界面

に多数存在している Si-H 結合が窒素雰囲気中のアニーリングでは、H を放出して Si ダングリングボンドとなって界面準位として働き、酸素雰囲気中のアニーリングでは熱酸化によりダングリングボンドが減少するので遅い準位も減少するからと考えられる。また、酸素雰囲気中 400°C のアニーリングでは膜中の電子トラップも大幅に減少するが、これも膜中の酸素空位が酸化されてなくなるからと考えられる⁽⁵⁾。本実験では堆積前の熱酸化処理により良好な界面を得、また、その後に成長する SiO₂ 膜の絶縁強度や絶縁分布を向上させたが、さらに、堆積後の低温での酸素雰囲気中でのアニーリング（酸化）が更なる界面と膜自体の特性の向上に繋がると期待される。また、RTA (Rapid Thermal Annealing) も有効であると考えられる。前熱処理をした試料での堆積後の熱処理による SiO₂/Si 界面や SiO₂ 膜中の電子トラップなどの特性を評価することが今後の課題である。

4. 結 論

液相堆積 SiO₂ 膜を Si MOS FET のゲート絶縁膜として用いる場合に問題となる、遅い界面準位による不安定性と絶縁耐圧不良を、300~500°C の O₂ 雰囲気中の堆積前の低温熱酸化を行うことにより改善した。これらの問題は、堆積前の希釈フッ酸処理によりシリコン表面が H 原子で終端されていること、界面に多量の Si ダングリングボンドが存在すること、が原因である。前熱処理によりこの H 原子を除去し、さらにシリコン基板最表面を熱酸化することにより、良好な界面と堆積膜を得た。温度を上げるほど効果は大きくなるが、低温プロセスである液相堆積法のメリットを失う。しかし、300°C でも 30 分以上の熱酸化処理を行うことにより、改善できることを明らかにした。

謝 辞

本研究にあたり、液相堆積用 H₂SiF₆ 水溶液 EL-LPD 用 4 mol/l を快く提供してくださいました森田化学工業 (株) に感謝いたします。

文 献

- (1) H. Nagayama, H. Honda, and H. Kawahara: "A New Process for Silica Coating", *J. Electrochem. Soc.*, Vol. 135, No. 8, pp. 2013-2016 (1985)
- (2) H. Kawahara: "Liquid Phase Deposition", *NEW GLASS*, Vol. 5, No. 1, pp. 101-109 (1990-1) (in Japanese)
河原秀夫:「液相成膜法について」, *NEW GLASS*, 5, 1, pp. 101-109 (1990-1)
- (3) T. Sakai, T. Goda, A. Hishinuma, and H. Kawahara: "Advanced Process for SiO₂ Film Deposited in Aqueous Solution", *Proc. Int. Ceramics Conf.*, Western Australia, pp. 474-479 (1990)
- (4) S. Yoshitomi, S. Tomioka, and N. Haneji: "The Characteristics of Si MOS Diodes using the SiO₂ Films Prepared by the Liquid Phase Deposition", *Proc. Electron Devices and Materials Sympo.*, Taipei, pp. 22-25 (1992)
- (5) S. Yoshitomi, S. Tomioka, and N. Haneji: "Characteristics of Si MOS Diodes Using Liquid Phase Deposited SiO₂ Films as Gate Insulators", *Trans. IEICE*, Vol. J76-C-II, No. 4, pp. 110-117 (1993-4) (in Japanese)

吉富貞幸・富岡聡志・羽路伸夫:「ゲート絶縁膜に液相堆積法による SiO₂ 膜を用いた Si MOS ダイオードの諸特性」, *信学論誌*, **J76-C-II**, 4, pp. 110-117 (1993-4)

- (6) P. Chanthamaly, T. Arakawa, and N. Haneji: "Silicon Dioxide Film with Low Dielectric Constants using Liquid-Phase Deposition", *Jpn. J. Appl. Phys.*, Part I, Vol. 38, No. 1, pp. 5715-5719 (1999)
- (7) P. Chanthamaly: "Application of Liquid-Phase Deposited SiO₂ Films to Si VLSI", Ph. D. Thesis, Yokohama National Univ. (2000) (in Japanese)
ポーンケオ チャンタマリー:「液相堆積シリコン酸化膜の集積回路への応用」, 学位請求論文, 横浜国立大学 (2000-3)
- (8) G. S. Oehrlein, L. Lindstrom, and J. W. Corbett: "Electrical Method for Hydrogenation of silicon", *Phys. Lett.*, Vol. 8, No. 4, pp. 246-248 (1981)

羽 路 伸 夫 (正員) 1957 年生。1985 年 3 月東京大学大学院工学系研究科博士課程修了。1985 年横浜国立大学工学部電子情報工学科講師。1989 年同助教授、現在、工学研究院電気電子と数理情報分野助教授。工学博士。主としてシリコン・デバイスの研究に従事。

ポーンケオ チャンタマリー (非会員) 2000 年横浜国立大学大学院工学研究科後期課程電子情報工学専攻修了。工学博士。液相堆積法によるシリコン酸化膜の研究に従事。

毛 利 重 信 (非会員) 2000 年横浜国立大学工学部電子情報工学科卒業。液相堆積法によるシリコン酸化膜の研究に従事。