ニューロン MOS トランジスタを用いた ハミング距離検出回路の提案

学生員 福原 雅朗* 正員 吉田 正廣**

Proposal of a Hamming Distance Detector using Neuron MOS Transistors

Masaaki Fukuhara*, Student Member, Masahiro Yoshida**, Member

A neuron MOS transistor has been proposed which behaves much more intelligently than a conventional MOS transistor does. In this paper, we propose a Hamming distance detector with a large noise margin using the neuron MOS transistors. The proposed circuit accepts two bit-streams to be compared in parallel, and is capable of detecting if the two bit-streams are identical (“exact match”), and if the Hamming distance between the two bit-streams is within a certain range (“near match”). Moreover, the “acceptable” range of the Hamming distance (in case of “near match”) can be soft-programmed. The operating characteristics of the circuit are also analyzed in detail. Furthermore, these analyses are fully confirmed by simulation using the circuit analysis program HSPICE.

キーワード：ニューロン MOS トランジスタ，ハミング距離，D/A コンバータ，ノイズマージン

Keywords: neuron MOS transistor, Hamming distance, D/A converter, noise margin

1. まえがき

柔軟な情報処理システムを実現するための機能デバイスとして、ニューロン MOS トランジスタ (ν MOS と略記する) が開発された⁽¹⁾。 ν MOS は通常の MOS トランジスタのゲート電極を電氣的にフローティングとし、これに複数の入力ゲートを容量的に結合した構造を有している。このフローティングゲートの電位は各入力ゲートに印加される入力信号電圧の重み付き線形和として与えられ、これがトランジスタのしきい電圧を超えるか否かによって、 ν MOS のオン/オフの動作状態が決定される。この ν MOS を用いると、回路構成は固定であるにもかかわらずその機能を変更できるような柔軟なハードウェアを実現することができる⁽²⁾⁽³⁾。また、 ν MOS を用いて二値論理回路を構成すると、CMOS を用いた回路よりも配線数や素子数を大幅に削

減できることが報告されている⁽⁴⁾⁽⁵⁾。さらに、 ν MOS 自身がニューロンの機能を持つため、この特徴を用いると様々な信号処理回路が実現できることが報告されている^{(6)~(8)}。

本論文では、この ν MOS を活用した新しいハミング距離検出回路を提案する。提案回路は二つのバイナリ入力データの各ビットを並列に比較し、それらのデータ間のハミング距離が、目的に応じて設定する参照距離よりも大きいかどうかを検出することができる。このようなハミング距離検出機能は、パターン認証、ネットワーク管理、データベース検索エンジンなどの分野に応用すると有効であると考えられている^{(9)~(11)}。また、提案回路の理論解析を行い、その動作特性を明らかにするとともに、提案回路のノイズマージンが NOR アーキテクチャを用いた従来のハミング距離検出回路⁽¹²⁾⁽¹³⁾のノイズマージンよりも大きくなることを示す。さらに、 ν MOS のマクロモデル⁽¹⁴⁾を用いた HSPICE シミュレーションにより提案回路が理論通りの動作をすることを確認する。

2. ニューロン MOS トランジスタ

図 1 (a) に n チャネル形ニューロン MOS トランジスタ (n - ν MOS と略記する) の基本構造を示す。 n - ν MOS は通常の n MOS トランジスタのゲート電極を電氣的にフローティング状態にし、このフローティングゲートに m 個の入力ゲートを、容量を介して結合した構成となっている。図 1 (b)

* 東海大学大学院工学研究科電気工学専攻博士課程後期

〒 259-1292 神奈川県平塚市北金目 1117

Department of Electrical Engineering, Graduate School of Engineering, Tokai University

1117, Kita-kaname, Hiratsuka, Kanagawa, 259-1292 Japan

** 東海大学電子情報学部コミュニケーション工学科

〒 259-1292 神奈川県平塚市北金目 1117

Department of Communications Engineering, School of Information Technology and Electronics, Tokai University

1117, Kita-kaname, Hiratsuka, Kanagawa, 259-1292 Japan

図1 nチャネル形ニューロン MOS トランジスタ

Fig. 1. Neuron MOS transistor (n-channel type).

は、n- ν MOS の等価回路を示している。同図の中で、 ϕ_F はフローティングゲートの電位、 $V_1, V_2, \dots, V_m$ は各入力ゲートに印加される電圧、 V_0 は基板電圧、 $C_1, C_2, \dots, C_m$ は各入力ゲートとフローティングゲートとの間の容量、 C_0 はフローティングゲートと基板との間の容量を表している。

ここで、フローティングゲートの初期電荷 Q_F を 0 [C] とし、n- ν MOS が動作中にはこのフローティングゲートに電荷の注入は起こらないものと仮定する。また、 $V_0 = 0$ [V] とすると、 ϕ_F は次式で表される。

$$\phi_F = \frac{C_1 V_1 + C_2 V_2 + \dots + C_m V_m}{C_{TOT}} \dots \dots \dots (1)$$

ただし、

$$C_{TOT} = \sum_{i=0}^m C_i \dots \dots \dots (2)$$

この式は、フローティングゲートの電位が各入力ゲートに印加される信号電圧とその入力ゲートの容量比 (C_i/C_{TOT} , ($i = 1, 2, \dots, m$): 重み) による重み付き線形和として与えられることを示している。この ϕ_F がフローティ

ングゲートから見た n- ν MOS のしきい電圧 V_{TH}^* よりも低いとき、すなわち $\phi_F < V_{TH}^*$ であるとき n- ν MOS はカットオフ状態となり、反対に $\phi_F \geq V_{TH}^*$ であるとき n- ν MOS は導通状態となる。

フローティングゲート上で入力信号電圧の重み付き線形和を求める動作は電圧モードで行われるため、この演算による消費電力は非常に小さい。このように低消費電力で信号の加算を行えることが ν MOS の大きな特長の一つである。

なお、図 1 (c) は n- ν MOS の回路記号である。

3. 提案回路の構成と動作特性

提案するハミング距離検出回路を図 2 に示す。この回路は、二つのバイナリ入力データにおける各ビットの一致を検出する 2 入力 EXNOR ゲートアレイ、入力データ間のハミング距離に対応したアナログ電圧を生成する D/A コンバータ、参照距離に応じたアナログ電圧を発生する参照距離設定回路、そして比較判定回路から構成されている。

3.1 EXNOR ゲートアレイ 2 入力 EXNOR ゲートは、二つのバイナリ入力信号がともに “1” (High level: V_{DD} [V])、あるいはともに “0” (Low level: 0 [V]) である場合には “1” を出力し、二つの入力信号のいずれか一方が “1”、他方が “0” である場合には “0” を出力する。

図 2 に示すように、EXNOR ゲートアレイは二つの入力データ (DATA-A, DATA-B) のそれぞれのビット信号を並列に受け取り、各ビットごとの一致・不一致を検出し、それに応じた信号電圧を出力する。ここで、二つのデータのビット長をともに m とし、DATA-A, DATA-B の各ビットをそれぞれ $a_1, a_2, \dots, a_m, b_1, b_2, \dots, b_m$ で表す。ただし a_i, b_i ($i = 1, 2, \dots, m$) は “0” または “1” の値をとるものとする。このとき、 i 番目の EXNOR ゲートの出力電圧 V_i は、

$$V_i = (\overline{a_i \oplus b_i}) \times V_{DD} \dots \dots \dots (3)$$

となる。

3.2 D/A コンバータ D/A コンバータは m 個の入力ゲートを持つ n- ν MOS トランジスタと通常の nMOS トランジスタで構成され、n- ν MOS の各入力ゲートの容量はすべて等しく設計されている。n- ν MOS の入力ゲートはそれぞれ対応する EXNOR ゲートの出力信号電圧 V_i を受け取り、その重み付き線形和をフローティングゲート上で計算する。n- ν MOS のドレイン端子は電源電圧 V_{DD} に接続され、ソース端子は nMOS のドレイン端子に接続される。nMOS はリセットスイッチとしての役割を果たし、その動作状態はリセットパルス ϕ_{RES} によって制御される。

リセット動作時には、 ϕ_{RES} を V_{DD} [V] にして nMOS を導通状態にし、D/A コンバータの出力電圧 $V_L(t)$ を 0 [V] にする。ただしこのとき、電源からアースに向かって流れる貫通電流を防ぐために、n- ν MOS はカットオフ状態であればならない。したがって、 $\phi_F < V_{TH}^*$ となるように、入力データ a_i をすべて “1” に、 b_i をすべて “0” にして、

図2 ニューロン MOS トランジスタを用いたハミング距離検出回路

Fig. 2. Hamming distance detector using neuron MOS transistors.

EXNOR ゲートの出力電圧 V_i をすべて 0 [V] とした後にリセット動作を行う。

また、ハミング距離を検出する際には、 ϕ_{RES} を 0 [V] にして nMOS をカットオフ状態にし、二つの入力データ (DATA-A, DATA-B) を EXNOR ゲートアレイに与える。このとき ϕ_F が次式を満足すると、n- ν MOS は導通状態になる。

$$V_{TH}^* \leq \phi_F \quad (\text{ただし } \phi_F \leq V_{DD}) \quad (4)$$

ここで、n- ν MOS のドレイン-ソース間電圧 V_{DS} とゲート-ソース間電圧 V_{GS} を求めると、

$$V_{DS} = V_{DD} - V_L(t) \quad (5)$$

$$V_{GS} = \phi_F - V_L(t) \quad (6)$$

となる。式 (5) と式 (6) より、 ϕ_F の最大値が V_{DD} であることを考慮すると次式が満足される。

$$V_{DS} > V_{GS} - V_{TH}^* \quad (7)$$

したがって、n- ν MOS は飽和領域で動作し、このときのドレイン電流 $I_D(t)$ は以下の式で与えられる。

$$I_D(t) = \frac{\beta}{2} \left\{ \phi_F - V_L(t) - V_{TH}^* \right\}^2 \quad (8)$$

ただし、 β は n- ν MOS のチャネル導電係数であり、それは

$$\beta = \frac{\mu \varepsilon_0 \varepsilon_{ox} W}{t_{ox} L} \quad (9)$$

で与えられる。なお、 μ はキャリアの表面移動度、 ε_0 は真空中の誘電率、 ε_{ox} はゲート酸化膜の比誘電率、 t_{ox} はゲート酸化膜の厚さ、 W はチャネル幅、 L はチャネル長である。

ここで、nMOS がカットオフ状態ならば、このドレイン電流 $I_D(t)$ はすべてダミーキャパシタ C_D に流れ込む。こ

のときの C_D の充電電流 $I_{CD}(t)$ は次式で表される。

$$I_{CD}(t) = C_D \frac{dV_L(t)}{dt} \quad (10)$$

$I_D(t) = I_{CD}(t)$ であるので、式 (8) と式 (10) を等置して $V_L(t)$ について解くと、次式が得られる。

$$V_L(t) = \phi_F - V_{TH}^* - \frac{2C_D}{\beta(t+K)} \quad (11)$$

ただし、

$$K = \frac{2C_D}{\beta(\phi_F - V_{TH}^*)} \quad (12)$$

提案回路では入力ゲートの容量はすべて等しく設計されているので、 C_0 の値が $(C_1 + C_2 + \dots + C_m)$ の値に比べて十分小さいと仮定すれば、式 (2) より、

$$C_{TOT} = mC_1 \quad (13)$$

となる。したがって、式 (13) と式 (3) より、式 (1) は以下のように表すことができる。

$$\begin{aligned} \phi_F &= \frac{1}{m} \sum_{i=1}^m V_i \\ &= \frac{1}{m} \sum_{i=1}^m (a_i \oplus b_i) \times V_{DD} \end{aligned} \quad (14)$$

ここで、ハミング距離の定義を示す。ハミング距離とは二つのバイナリデータ間の不一致ビットの総数である。したがって、ビット長が m である二つの入力データ (DATA-A, DATA-B) のハミング距離 D_{HL} は、

$$D_{HL} = \sum_{i=1}^m (a_i \oplus b_i) \quad (15)$$

で与えられる。式 (15) を用いて式 (14) を書き改め、これ

を式 (11) に代入すると $V_L(t)$ は次式のように表される。

$$V_L(t) = \frac{1}{m} (m - D_{HL}) V_{DD} - V_{TH}^* - \frac{2C_D}{\beta(t+K)} \dots\dots\dots (16)$$

式 (16) の右辺には D_{HL} の項が含まれていることから、D/A コンバータの出力電圧 $V_L(t)$ は入力データ間のハミング距離に対応したアナログ電圧になることがわかる。ただし、式 (4)、式 (14)、式 (15) より、検出可能なハミング距離の範囲は次式に示す通りである。

$$0 \leq D_{HL} \leq m \frac{V_{DD} - V_{TH}^*}{V_{DD}} \dots\dots\dots (17)$$

式 (17) において V_{DD} が V_{TH}^* よりも十分に大きいとすると、検索可能なハミング距離の最大値は m となる。

3.3 参照距離設定回路 参照距離とは目的に応じて検出ハミング距離の値をいくつにするかを定めるためのものであり、その参照距離に対応したアナログ電圧を生成する回路が参照距離設定回路である。この回路は、図2に示すように $(m+1)$ 個の入力ゲートを持つ n- ν MOS と通常の nMOS で構成される。n- ν MOS の入力ゲートのうち $(m-1)$ 個は D/A コンバータと同じ容量比を持ち、それらはそれぞれ対応する参照距離設定信号 $R_1, R_2, \dots, R_{m-1}$ に接続される。また、残る二つの入力ゲートはそれぞれ他のゲートの二分の一の容量比を持ち、一方は電源電圧 V_{DD} に、他方はアースに接続される。これによって、D/A コンバータの出力電圧 $V_L(t)$ に対して一定の電圧差を持った出力電圧 $V_R(t)$ を発生させることができる。参照距離の設定は、目的とする検出ハミング距離に合わせて $R_i (i = 1, 2, \dots, m-1)$ を V_{DD} [V] または 0 [V] とすることによって行う。すなわち、参照距離を D_{HR} と定める場合、 $(m-1)$ 個の参照距離設定信号 R_i のうち D_{HR} 個の信号を V_{DD} [V] に、 $(m-1-D_{HR})$ 個の信号を 0 [V] にする。これらの関係から、 $V_L(t)$ を求めた場合と同様の方法で参照距離設定回路の出力電圧 $V_R(t)$ を求めると、

$$V_R(t) = \frac{1}{m} \left(m - D_{HR} - \frac{1}{2} \right) V_{DD} - V_{TH}^* - \frac{2C_D}{\beta(t+K)} \dots\dots\dots (18)$$

を得る。ただし、設定可能な参照距離 D_{HR} の範囲は、

$$0 \leq D_{HR} \leq m \frac{V_{DD} - V_{TH}^*}{V_{DD}} - \frac{1}{2} \dots\dots\dots (19)$$

である。式 (18) より、 $V_R(t)$ は参照距離 D_{HR} に対応したアナログ電圧になることがわかる。

ここで、式 (16) と式 (18) を用いて、入力データ間のハミング距離 D_{HL} と参照距離 D_{HR} を変化した場合の $V_L(t)$ と $V_R(t)$ の特性を作図すると図3が得られる。ただし、計算条件は表1に示す通りである。図3より、 D_{HL} が D_{HR} よりも大きいときは $V_L(t)$ は $V_R(t)$ よりも小さくなり、 D_{HL} が D_{HR} 以下であるときには $V_L(t)$ は $V_R(t)$ よりも大きく

表 1 計算及びシミュレーション条件

Table 1. Calculation and simulation conditions.

Symbol	Parameter name	Value	Unit
V_{DD}	Power supply voltage	3.3	V
m	Bit length of input data	8	bit
C_D	Capacitance of dummy capacitor	0.5	pF
MOSFET device parameters		n- ν MOS	nMOS
L	Channel length	1.0	μm
W	Channel width	10.0	μm
$V_{T0} (= V_{TH})$	Zero-bias threshold voltage	0.5	V
t_{ox}	Gate-oxide thickness	96	$\text{\AA}$
ϵ_0	Electric constant	8.854×10^{-12}	F/m
ϵ_{Si}	Relative dielectric constant of SiO ₂	3.9	-
μ	Surface mobility	546.2	$\text{cm}^2/\text{V} \cdot \text{s}$
γ	Body-effect parameter	0.30	$\text{V}^{1/2}$

図3 式 (16) と式 (18) から得られた $V_L(t)$ と $V_R(t)$ との関係

Fig.3. Relationship of $V_L(t)$ and $V_R(t)$ obtained from Equations (16) and (18).

なることがわかる。したがって、この $V_L(t)$ と $V_R(t)$ の大小関係を比較判定することによって D_{HL} と D_{HR} の関係を知ることができ、それにより二つの入力データのハミング距離が参照距離以下であるか、あるいはそれよりも大きいかを検出することができる。

3.4 比較判定回路 図2の比較判定回路は、二つのアナログ電圧 $V_L(t)$ と $V_R(t)$ を受け取り、これらの大小関係を比較・判定する。実際の比較判定回路の構成を図4(a)に示す。この回路は、図4(b)に示す三つの制御パルスによって動作する。すなわち、まずリセットパルス ϕ_{RES} を V_{DD} [V] として、 $V_{OUT}(t)$ を 0 [V] にする。つぎに伝送ゲート制御パルス ϕ_T を V_{DD} [V] にして伝送ゲートを閉じ、 $V_L(t)$ と $V_R(t)$ を比較判定回路内部に取り込む。その後、比較判定パルス ϕ_C を V_{DD} [V] にして比較判定を実行する。このとき、 $D_{HL} > D_{HR}$ ならば $V_L(t) < V_R(t)$ なので比較判定回路の出力電圧 $V_{OUT}(t)$ は 0 [V] となる。反対に $D_{HL} \leq D_{HR}$ ならば $V_L(t) > V_R(t)$ なので $V_{OUT}(t)$ は V_{DD} [V] に向かって上昇する。したがって、この $V_{OUT}(t)$ の電圧を検出することによって、入力データ間のハミング距離が設定した参照距離よりも大きいかどうかを知ることができる。

3.5 ノイズマージン このような比較判定を正し

く行うためには、ノイズマージンはできるだけ大きい方が望ましい。ここで、提案回路のノイズマージン V_{NM} は式 (20) で定義される。

$$V_{NM} = |V_L(t) - V_R(t)|_{t=\infty} \dots\dots\dots (20)$$

(a) Circuit configuration.

(b) Control pulses.

図 4 比較判定回路

Fig. 4. Comparator.

図 5 入力データのビット長 m に対するノイズマージン V_{NM} の特性 (理論値)

Fig. 5. Calculated results of V_{NM} as a function of m .

最悪状態でのノイズマージン, すなわち $D_{HL} = D_{HR}$ という条件における提案回路のノイズマージンは, 式 (16) と式 (18) を式 (20) に代入することによって, 次式のように得ることができる。

$$V_{NM} = \frac{1}{2} \frac{V_{DD}}{m} \dots\dots\dots (21)$$

式 (21) より, 提案回路のノイズマージンは入力データ間のハミング距離や n- ν MOS のしきい電圧とは無関係で, 電源電圧 V_{DD} と入力データのビット長 m のみによって決まることがわかる。このため, NOR アーキテクチャを用いた従来のハミング距離検出回路⁽¹²⁾⁽¹³⁾ はハミング距離が大きくなるとノイズマージンが低下するという問題があったが, 提案回路はハミング距離が大きい場合にも安定した動作が確保できる。式 (21) より得られる, m を変化した場合の V_{NM} の特性を図 5 に示す。

4. シミュレーション結果

提案回路の動作特性を確認するために, HSPICE を用いてシミュレーションを行った。シミュレーションでは, MO-SIS より提供されている MOSFET の Level=3 用デバイスパラメータを使用した。主なシミュレーション条件は表 1 に示す通りである。また, n- ν MOS のシミュレーションモデルとしては, 文献⁽¹⁴⁾ で提案されているものを使用した。

図 6 は, D_{HL}, D_{HR} をパラメータとしたときの $V_L(t)$ と $V_R(t)$ のシミュレーション結果である。同図より, 提案回路の $V_L(t)$ と $V_R(t)$ は D_{HL}, D_{HR} を可変したとき, 理論と同じ変化をすることがわかる。

提案回路のノイズマージン V_{NM} は式 (20) に示すように, 二つの入力データ (DATA-A, DATA-B) が印加されてから, 時間 t が十分に経過した後の $V_L(t)$ と $V_R(t)$ との電圧差である。ここでは最悪条件 ($D_{HL} = D_{HR}$) のもとで $t = 1 [\mu s]$ のときの $V_L(t), V_R(t)$ より V_{NM} を求めた。その結果を図 7 (a), (b) に示す。図 7 (a) は $V_{TH} = 0.50 [V]$

図 6 $V_L(t)$ と $V_R(t)$ のシミュレーション波形

Fig. 6. Simulated waveforms of $V_L(t)$ and $V_R(t)$.

(a) $V_{TH}^* = 0.50$ [V].

(b) $V_{DD} = 3.3$ [V].

図7 ハミング距離 D_{HL} に対するノイズマージン V_{NM} の特性 (シミュレーション結果)

Fig. 7. Simulated results of V_{NM} as a function of D_{HL} .

一定とし、電源電圧 V_{DD} をパラメータとしたときのハミング距離 D_{HL} とノイズマージン V_{NM} の特性を表している。同図より、 V_{NM} の値は D_{HL} の値には無関係で、ほぼ一定であることがわかる。 $V_{DD} = 3.3$ [V] の場合、文献⁽¹³⁾ のハミング距離検出回路ではハミング距離が 4 以上になるとノイズマージンが 80 [mV] 以下になっていたが、提案回路ではハミング距離が大きい場合でも 180 [mV] 以上の十分に大きなノイズマージンが確保できることがわかる。また、図 7(b) は $V_{DD} = 3.3$ [V] 一定とし、しきい電圧 V_{TH}^* をパラメータとしたときの V_{NM} の特性を表している。同図より、 V_{NM} は V_{TH}^* の変化に対してもほぼ一定であることがわかる。

図 8 は、 V_{DD} をパラメータとして m を変化した場合の V_{NM} のシミュレーション結果である。同図より、 $V_{DD} =$

図8 入力データのビット長 m に対するノイズマージン V_{NM} の特性 (シミュレーション結果)
Fig. 8. Simulated results of V_{NM} as a function of m .

図9 $V_{OUT}(t)$ のシミュレーション波形

Fig. 9. Simulated waveforms of $V_{OUT}(t)$.

2.0 [V], $m = 32$ [bit] の場合でも約 30 [mV] のノイズマージンが得られ、このことより提案回路は低電源電圧で入力データのビット長が大きい場合でも、ハミング距離を検出するのに十分なノイズマージンが確保できることがわかる。

なお、図 8 の V_{NM} の値は図 5 に示した理論値に比べて約 13[%] 程度小さな値となっている。この主な原因は、n- ν MOS のソース電位と基板電位が異なることから、基板効

果の影響によって n - ν MOS のしきい電圧 V_{TH}^* が変動するためである。これを確認するために、基板効果の影響を無視できるように n - ν MOS のソース端子と基板を短絡してシミュレーションを行ったところ、ノイズマージンの値は理論値と約 1[%] の誤差で一致した。

図 9 は提案回路の出力電圧 $V_{OUT}(t)$ のダイナミックな動作特性である。同図より、 D_{HL} が D_{HR} よりも大きければ $V_{OUT}(t)$ は 0 [V] に、 D_{HL} と D_{HR} が等しければ $V_{OUT}(t)$ は V_{DD} [V] になっていることがわかる。これらのことから、提案回路が理論通りの動作をしていることが確認できる。

5. む す び

ニューロン MOS トランジスタの新しい応用としてハミング距離検出回路を提案した。また、その動作特性を理論的に解析し、提案回路のノイズマージンは入力データ間のハミング距離やニューロン MOS トランジスタのしきい電圧とは無関係で、電源電圧と入力データのビット長のみによって決まることを明らかにした。さらに、HSPICE を用いたシミュレーションにより、提案回路が理論通りの動作をすることを示すとともに、提案回路のノイズマージンの値は NOR アーキテクチャを用いた従来のハミング距離検出回路の値よりも大きくなることを確認した。今後は提案回路を試作し、チップ面積や消費電力などについて検討する予定である。また、提案回路を応用した内容照合メモリ (Content Addressable Memory : CAM) の構成法について検討する予定である。

(平成 15 年 10 月 24 日受付, 平成 16 年 4 月 26 日再受付)

文 献

- (1) T. Shibata and T. Ohmi: "A functional MOS transistor featuring gate-level weighted sum and threshold operations", *IEEE Trans. Electron Devices*, Vol.39, No.6, pp.1444-1455 (1992-6)
- (2) T. Shibata and T. Ohmi: "Neuron MOS binary-logic integrated circuits—part I: Design fundamentals and soft-hardware-logic circuit implementation", *IEEE Trans. Electron Devices*, Vol.40, No.3, pp.570-576 (1993-3)
- (3) M. Fukuhara, Y. Suzuki, and M. Yoshida: "Proposal of a variable logic circuit using neuron MOS transistors", *IEICE, Vol.J86-C, No.2*, pp.202-203 (2003-2) (in Japanese)
福原雅朗・鈴木八十二・吉田正廣:「ニューロン MOS トランジスタを用いた可変論理回路の提案」, 信学論 C, **J-86C**, 2, pp.202-203 (2003-2)
- (4) T. Shibata and T. Ohmi: "Neuron MOS binary-logic integrated circuits—part II: Simplifying techniques of circuit configuration and their practical applications", *IEEE Trans. Electron Devices*, Vol.40, No.5, pp.974-979 (1993-5)
- (5) K. Kotani, T. Shibata, and T. Ohmi: "Impact of high-precision processing on the functional enhancement of neuron-MOS integrated circuits", *IEICE Trans. Electron.*, Vol.E79-C, No.3, pp.407-414 (1996-3)
- (6) T. Shibata, H. Kosaka, and T. Ohmi: "A neuron-MOS neural network using self-learning-compatible synapse circuits", *IEEE Journal of solid-state circuits*, Vol.30, No.8, pp.913-922 (1995-8)
- (7) T. Yamashita, T. Shibata, and T. Ohmi: "Neuron MOS winner-take-all circuit and its application to associative memory", *ISSCC Dig. Tech. Papers*, FA 15.2, pp.236-237 (1993-2)

- (8) T. Shibata and T. Ohmi: "Neuron MOS voltage-mode circuit technology for multiple-valued logic", *IEICE Trans. Electron.*, Vol.E76-C, No.3, pp.347-356 (1993-3)
- (9) T. Koide, T. Gyohten, Y. Soda, and H.J. Mattausch: "Architecture for compact and fast associative-memories with all-parallel nearest-match Hamming-distance search", Technical Report of IEICE, ICD2001-5, pp.27-34 (2001-4) (in Japanese)
小出哲士・行天隆幸・早田嘉浩・マタウシュハンスユルゲン:「最小ハミング距離検索機能を有する全並列型アーキテクチャによる小面積・高速連想メモリの開発」, 信学技報, ICD2001-5, pp.27-34 (2001-4)
- (10) W.R. Daasch and J. Lee: "A word/bit parallel inexact match content addressable memory", *Proc. of IEEE International ASIC Conference and Exhibit*, pp.25-28 (1994)
- (11) H. Uchiyama, H. Tanaka, M. Fukuhara, M. Yoshida, and Y. Suzuki: "Ternary content addressable memory with Hamming distance search functions", *Proc. of ITC-CSCC2002*, Vol.3, pp.1535-1538 (2002-7)
- (12) H. Yamaoka and K. Asada: "A threshold logic-based high-speed Hamming distance detector and its evaluation", in Technical Report of IEICE, ICD2001-57, pp.37-42 (2001-8) (in Japanese)
山岡寛明・浅田邦博:「しきい値論理による高速ハミング距離検索回路とその評価」, 信学技報, ICD2001-57, pp.37-42 (2001-8)
- (13) H. Tanaka, Y. Suzuki, and M. Yoshida: "Proposal of a Hamming distance search CAM with large noise margin and its interrogation characteristics", *Proc. of Electronics, Information and System Conf. IEIJ, GS5-4* (2002-9) (in Japanese)
田中浩朗・鈴木八十二・吉田正廣:「大きなノイズマージンを有するハミング距離検索機能付き CAM の提案とその照合特性」, 平成 14 年電気学会電子・情報・システム部門大会講演論文集, GS5-4 (2002-9)
- (14) T. Ochiai and H. Hatano: "A proposition on floating gate neuron MOS macromodeling for device fabrications", *IEICE Trans. Fundamentals*, Vol.E82-A, No.11, pp.2485-2491 (1999-11)

福 原 雅 朗 (学生員) 1979 年 12 月 20 日生。2002 年 3 月東海大学工学部通信工学科卒業。2004 年 3 月同大学院工学研究科電気工学専攻博士課程前期修了。同年 4 月同大学院工学研究科電気工学専攻博士課程後期入学、現在に至る。ニューロン MOS トランジスタの応用に関する研究に従事。

吉 田 正 廣 (正員) 1951 年 12 月 16 日生。1976 年 3 月東海大学第二工学部通信工学科卒業。1978 年 3 月同大学院工学研究科電気工学専攻修士課程修了。同年同大学工学部通信工学科助手。1995 年同教授となり現在に至る。工学博士。低消費電力 CMOS 回路, CAM の構成法などの研究に従事。電子情報通信学会会員。