チップサイズパッケージを用いた完全集積化 MMIC 技術

非会員 西嶋 将明* 非会員 尹 榮*
非会員 石田 秀俊* 非会員 田中 毅*

A Fully-Integrated MMIC Technology Employing a Novel Chip-Size Package

Masaaki Nishijima*, Non-member, Young Yun*, Non-member, Hidetoshi Ishida*, Non-member
Tsuyoshi Tanaka*, Non-member

In this work, we used a novel CSP to develop a broadband amplifier MMIC for quasi millimeter-wave band applications, including all the matching and biasing components. By utilizing an ACF for the CSP, the fabrication process for the packaged amplifier MMIC could be simplified and made cost effective. A STO (SrTiO₃) capacitor was employed to integrate the DC biasing components of the MMIC. Pre-matching circuits were used for the gate input and drain output of the FETs in the design of the broadband amplifier MMIC. The packaged amplifier MMIC exhibited good RF performance and stability over a wide frequency range.

キーワード：広帯域増幅器，モノリシックマイクロ波集積回路，チップサイズパッケージ，STO，異方導電性フィルム

Keywords : broadband amplifier, MMIC, chip size package, STO, ACF

1. はじめに

近年，高速大容量通信サービスを支えるマルチメディア無線通信用として，準ミリ波帯(周波数 10~30GHz)を使用した加入者系無線アクセスシステム，衛星通信システム⁽¹⁾⁽²⁾等が利用されている。これらシステムの高周波ブロックで用いられる回路・デバイスの小型化，低コスト化に対する要望が高まっている。高周波デバイスの構成素子を集積化したモノリシックマイクロ波集積回路(MMIC : Monolithic Microwave Integrated Circuit)技術は，このような要望を実現するための基盤技術として期待されている。

これまで，高周波回路デバイスは，主にボードなどの誘電体基板上に個々の素子を実装する，マイクロ波集積回路(MIC : Microwave Integrated Circuit)あるいは混成集積回路(HIC : Hybrid Integrated Circuit)により構成されてきた。この場合，ボード上に整合回路やバイアス回路を形成するため，実装時の面積が増えるとともに，実装コストが高くなってしまふ。

その中でも準ミリ波(10~30GHz)/ミリ波(>30GHz)周波数帯を使用したアプリケーションで用いられる MMIC は，主

にベアチップ状態でボード上に実装されてきた。最近では表面実装型のセラミックパッケージに MMIC 回路形成面を表面としてワイヤボンディングするフェースアップ実装手法が用いられている^{(3)~(5)}。この場合，ワイヤボンディングにより実装面積が増えるとともに，ワイヤおよびパッケージ内の寄生成分によりパッケージングされた MMIC の高周波特性の劣化をもたらす。このため，ワイヤボンディングを不要とするフリップチップボンディングなどのフェースダウン実装手法が注目され，用いられるようになっている。

本稿では，準ミリ波帯用として開発したフェースダウン実装手法によるチップサイズパッケージ(CSP : Chip Size Package)の準ミリ波帯用 MMIC への適用例について述べる。まず，CSP 技術について説明し，次に整合回路，バイアス回路を完全集積化した MMIC の広帯域増幅器設計，そして動作特性について紹介する。

2. CSP 技術

図 1 は開発した CSP の構造を示している。ワイヤおよびパッケージ内の寄生成分低減のためにフリップチップボンディングを用い，MMIC とアルミナ(Al₂O₃) 基板間のアンダーフィル材料として異方導電性フィルム(ACF : Anisotropic Conductive Film)を適用した。

GaAs MMIC は厚さ 200 μm のアルミナ基板上に金バンパにより実装されている。アルミナ基板は GaAs の熱膨張

* 松下電器産業(株)半導体社 半導体デバイス研究センター
〒569-1193 大阪府高槻市幸町 1-1
Semiconductor Device Research Center, Semiconductor Company,
Matsushita Electric Industrial Co., Ltd
1-1 Saiwai-cho, Takatsuki, Osaka 569-1193

図 1 本開発 CSP の構造

Fig. 1. Structure of the developed CSP.

図 2 CSP MMIC の製造工程ステップ

Fig. 2. Processing steps for the CSP MMIC.

係数と近い値を示すことから用いた。金バンパの高さ、幅は、それぞれ 15, 45 μm である。GaAs MMIC の裏面は、樹脂によりカバーされている。

MMIC とアルミナ基板間のアンダーフィル材料として用いた ACF は、工程簡略化と低コスト化に有効である。CSP 製造工程において、MMIC とアルミナ基板との電氣的接続の役割を担うとともに絶縁材料として機能する。ACF は厚さ 30 μm の絶縁性粘着フィルムを母材として、その中に直径約 5 μm の導電粒子が散在している。導電粒子は Ni-Au で樹脂粒子をコーティングした構造である。加熱、加圧工程により、MMIC 上の金バンパとアルミナ基板上の電極が電氣的、機械的に接続される。従来の CSP で付加的に必要なとされる MMIC と基板との接続、アンダーフィル工程を除くことが可能となるため、工程簡略化と低コスト化を実現できる。

図 2 は CSP MMIC の製造工程ステップを示している。CSP 工程はプリボンディング、最終ボンディング、封止、ダイシング工程からなる。まず、ツールヘッドを約 100°C に加熱することにより、ACF をアルミナ基板に接着する。次に ACF 上に MMIC チップを、その金バンパとアルミナ基板上の所望電極に整合させてフェースダウンで配置した後、約 200°C に加熱されたツールヘッドにより加圧する。この工程を経て、導電粒子を介して MMIC 上の金バンパとアルミナ基板上の電極との間の電氣的接続が付加的な工程無

図 3 MMIC チップとアルミナ基板間の相互接続写真

Fig. 3. A Microphotograph of the interconnection between the MMIC and the substrate.

図 4 CSP のポート 1 とポート 2 間(図 1 参照)のリターンロス(S_{11})と挿入損失(S_{21})の実測値

Fig. 4. Measured return and insertion loss of the CSP at ports 1 and 2 of Fig. 1.

しに達成される。また、ACF は、もろくて割れやすい GaAs MMIC チップに対して機械的衝撃を緩和する役目を果たす。次の封止工程では、アルミナ基板上に配置された MMIC チップが樹脂によりカバーされる。これにより露出する GaAs MMIC チップが機械的衝撃から保護される。この時、ACF は封止工程中にアルミナ基板のビアホールを通じて底面への樹脂の流出を防ぐ。最後に、個々の CSP 化された MMIC にダイシングされる。

図 3 は、上記工程後の MMIC チップとアルミナ基板の間の相互接続を示す写真である。MMIC チップ上の金バンパは、MMIC 製造プロセス後に、電解メッキ技術により形成された。スタッドバンパボンディング(SBB : Stud Bump Bonding)⁽⁶⁾と比較して、多数のバンパ形成、配置やバンパの高さ調整が容易に実現できる。

この CSP 技術を準ミリ波帯広帯域増幅器の開発に適用するため、入力インピーダンスを広帯域に 50 Ω に整合するように CSP の外部引出し用端面電極の形状を最適化した。図 4 は CSP のポート 1 とポート 2 間(図 1 参照)のリターンロス(S_{11})と挿入損失(S_{21})の実測値を示している。測定は、特性インピーダンス 50 Ω のマイクロストリップ線路が形成された MMIC チップを CSP 実装して行われた。周波数

30GHz まで、リターンロスは-8dB 以下であり、最大挿入損失は-0.8dB と良好な特性を示した。

3. CSP を用いた広帯域増幅器

2.章で述べた CSP 技術を準ミリ波帯広帯域増幅器 MMIC に適用した。図 5、図 6 は、それぞれ MMIC チップ写真、回路図を示している。MMIC 設計のポイント、高誘電率材料 STO(SrTiO_3)を用いた高容量キャパシタ技術によるバイアス回路の集積化と、プリマッチング回路技術による増幅器の広帯域設計である。

〈3・1〉 高容量キャパシタ技術 バイアス回路のバイパス用キャパシタとしては高容量値が必要とされ、従来の MMIC では低周波数帯での安定動作のためボード上に付加的なバイアス回路が不可欠であった。本開発では、図 6 中の STO と示す部分に、高誘電率材料 STO を用いたキャパシタを適用することにより、MMIC に整合素子とともにバイアス回路を内蔵し完全集積化を実現した。STO 薄膜は低温 RF スパッタリング法により GaAs エピタキシャル基板上に成膜された⁷⁾。STO の比誘電率は、通常使用するシリコンナイトライド(SiN)の約 20 倍と高い。MMIC のチップサイズは $2.15\text{mm} \times 1.36\text{mm}$ と小型である(図 5 参照)。CSP 化

図 5 準ミリ波帯広帯域増幅器 MMIC のチップ写真
Fig. 5. A photograph of the broadband amplifier MMIC for quasi millimeter-wave band applications.

図 6 準ミリ波帯広帯域増幅器 MMIC の回路図
Fig. 6. A schematic circuit of the broadband amplifier MMIC for quasi millimeter-wave band applications.

された MMIC をボード上に実装する際には、付加的な整合用およびバイアス用部品は不要であり、実装面積低減による小型化と、部品点数削減による低コスト化を図ることができる。

〈3・2〉 広帯域増幅器設計 広帯域増幅器設計のため、図 6 に示されるプリマッチング回路を FET のゲート入力部、ドレイン出力部に適用した。

通常、L~X 帯用広帯域増幅器設計では、抵抗整合回路技術⁽⁸⁾⁽⁹⁾、入出力間(ゲートドレイン間)帰還回路技術⁽¹⁰⁾が用いられる。しかしながら、準ミリ波帯のように周波数が高くなると、抵抗整合回路技術では、パワーロスや雑音特性が劣化してしまう。また、入出力間帰還回路技術では、最大有能電力利得(MAG: Maximum Available Gain)の低下によりトランジスタ動作の安定性は改善されるが、トランジスタ自身の高周波性能を制限してしまうことになる。プリマッチング回路技術はこれらの欠点を補い、広帯域特性を実現可能にする。

プリマッチング回路技術のコンセプトを以下に述べる。一般的に FET の入力および出力インピーダンスはその寄生成分のために周波数依存性を示し、特にインピーダンスのリアクタンス成分の周波数依存性が支配的である。そのリアクタンス成分を打消すようにプリマッチング回路を構成することにより、広い周波数範囲に対して周波数依存性を抑制し、ほぼ実抵抗成分のみが寄与する形とすることができる。具体的には FET のゲート入力部に RC 並列回路、ドレイン出力部に STO キャパシタとマイクロストリップ線路から成るバイアス回路が適用された。

こうして RC 並列回路の場合には、動作周波数帯以下の低周波領域では、その抵抗により利得平坦化、回路安定化し、バイアス回路による低周波共振などにより生じる不要な高利得特性を抑制する。これに対して、動作周波数帯では、RC 並列回路の容量が抵抗をバイパスするため、抵抗による利得低下を防ぎ、高周波側の利得カットオフ周波数を伸ばすことができる。

プリマッチング回路を付加した FET のゲート入力部、ドレイン出力部のインピーダンスは、周波数 12GHz から 24GHz の範囲で、図 6 に示すような実抵抗値近傍に設計された。初段 FET に対して Z_{in1} は 20Ω 、 Z_{out1} は 25Ω 、最終段 FET に対して Z_{in1} は 10Ω 、 Z_{out1} は 20Ω である。入

図 7 CSP MMIC の外観写真(基板裏面電極側)
Fig. 7. A backside view of the CSP MMIC with electrodes on Al_2O_3 substrate.

力、段間、出力整合回路は、これら FET のゲート入力部、ドレイン出力部のインピーダンスに対して、マイクロストリップ線路、オープンスタブ回路を用いて構成した。バイアス回路、整合回路のレイアウトパターンは、電磁界解析の結果から得られる S パラメータを回路シミュレーションに適用することにより最適化した。

MMIC の FET として、MODFET(Modulation-doped FET)を用いた。ゲート長は $0.2\mu\text{m}$ であり、ゲート露光は位相シフト露光技術を用いて行った。位相シフト露光技術は i 線ステッパが使用可能で EB (Electron-beam) 露光に比べてコスト面で有利である。デルタドーピングエピタキシャル層は GaAs 基板上に MO-CVD 法により形成された。しきい値は -0.6V であり、最大トランスコンダクタンス(g_{mmax})は 625mS/mm である。電流遮断周波数(f_t)、最大発振周波数(f_{max})は、それぞれ 75GHz 、 135GHz であった。初段、最終段 FET のゲート幅(W_g)は、それぞれ $200\mu\text{m}$ 、 $400\mu\text{m}$ である。FET は自己バイアス方式によりバイアス印加され、MMIC は単一正電源動作する。図 7 は、CSP 化された MMIC の外観写真(基板裏面電極側)である。そのサイズは $3\text{mm}\times 2\text{mm}$ と小型である。

4. CSP を用いた広帯域増幅器の高周波特性

図 8 は CSP を用いた広帯域増幅器の利得(実線—)，入出力リターンロス(入力: ○，出力: ▲)の実測値を示している。利得は、 $12\sim 24\text{GHz}$ の広帯域にわたり、リップル 3.5dB ，最大値 12dB の平坦な特性を有する。入出力リターンロスは、 -6dB 以下である。 1dB 利得圧縮点出力($P_{1\text{dB}}$)は最大値として 20dBm を示し、 20GHz では 18dBm であった。

CSP とワイヤボンディングによるフェースアップ実装手法を用いる表面実装型パッケージの損失特性を比較する。ベアチップ MMIC の利得特性に比べて表面実装型パッケージでは、ワイヤ、寄生成分などにより約 1.5dB の損失が生じる。一方、CSP では、不要な寄生成分を除去できることから、約 0.8dB と低損失である。CSP 技術は MMIC チップ自身の性能を最大限に引出すことが可能である。

図 8 CSP を用いた広帯域増幅器の利得(実線—)，入出力リターンロス(入力○，出力▲)の実測値
Fig. 8. Measured gain and return loss of the broadband amplifier MMIC.

5. まとめ

CSP を用いた完全集積化 MMIC 技術について、CSP 技術、そして整合回路、バイアス回路を完全集積化した準ミリ波帯用 MMIC の広帯域増幅器設計、動作特性について述べた。本 CSP は異方導電性フィルム(ACF)を用いることにより、MMIC の CSP 工程の簡略化と低コスト化を実現できる。高誘電率材料 STO (SrTiO_3)を用いた高容量キャパシタ技術をバイアス回路に適用することにより、MMIC 上に集積化し小型化を図った。また、プリマッチング回路技術により増幅器の広帯域化を実現した。本開発 CSP MMIC は、小型、低コスト、高性能面で優れており、有望な高周波デバイスとして無線通信システムへの応用が期待できる。

(平成 15 年 11 月 20 日受付)

文 献

- (1) J. Udomoto, T. Ishida, A. Akaishi, T. Araki, N. Kadowaki, M. Komaru, and Y. Mitsui : "A 50% PAE K-band power MMIC amplifier", *European Microwave Conf.*, Vol.1, pp.263-266 (1999)
- (2) H. Okazaki, T. Nakagawa, and K. Araki : "A low-power Ku-band GaAs monolithic frequency quadrupler", *European Microwave Conf.*, Vol.1, pp.353-356 (1999)
- (3) T. Satoh, T. Shimura, S. Ichikawa, A. B. Berutto, C. Poledrelli, Y. Furukawa, Y. Hasegawa, S. Kuroda, and J. Fukaya : "A Compact PA MMIC Module for K-Band High-Speed Wireless Systems", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp.1333-1336 (2000)
- (4) A. Ishimaru, M. Maeda, T. Yoshida, J. Ozaki, and S. Kamihashi : "35% PAE 6W Ku-Band Power Amplifier Module", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp.955-958 (1999)
- (5) S. Koriyama, K. Kitazawa, N. Shino, and H. Minamiue : "Millimeter-Wave Ceramic Package for a Surface Mount", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp.61-64 (2000)
- (6) H. Sakai, T. Yoshida, and M. Sagawa : "High frequency flip-chip bonding technologies and their application to microwave/millimeter-wave ICs", *IEICE Trans. Electron.*, Vol.E81-C, No.6, pp.810-818 (1998)
- (7) M. Nishitsuji, A. Tamura, T. Kunihiya, and K. Yahata : "Advanced GaAs-MMIC process technology using high-dielectric constant thin film capacitors by low-temperature RF sputtering method", *IEEE GaAs IC Symp.*, pp.329-332 (1993)
- (8) K. B. Niclas : "On Design and Performance of Lossy Match GaAs MESFET Amplifiers", *IEEE Trans. Microwave Theory Tech.*, Vol.30, pp.1900-1906 (Nov. 1982)
- (9) K. Honjo and Y. Takayama : "GaAs FET Ultra-Broadband Amplifiers for Gbit/s Data Rate Systems", *IEEE Trans. Microwave Theory Tech.*, Vol.29, pp.629-636 (July 1981)
- (10) I. Bahl and P. Bhartia : "Microwave Solid State Circuit Design", John Wiley&Sons, Inc., pp.509-514 (1988)

西 嶋 将 明

(非会員) 1989 年東北大学・工学部・電子工学科卒。1991 年同大学院修士過程了。同年松下電器産業(株)入社。半導体デバイス研究センターにて化合物半導体デバイスおよび MMIC に関する研究開発に従事。日本応用物理学会・電子情報通信学会各会員。

尹 榮

(非会員) 1991年延世大学電子工学科(ソウル, 韓国)電子工学科卒。1993年浦項工科大学電子電気工学科(浦項, 韓国)修士課程了。1999年大阪大学基礎工学部電気工科大学院博士過程了(工博)。同年松下電器産業(株)入社。半導体デバイス研究センターにて化合物半導体を用いた MMIC に関する研究開発に従事。

田 中 毅

(非会員) 1983年大阪大学応用物理学科卒。1985年同大学院修士課程了。同年松下電器産業(株)入社。以来, マイクロ波半導体デバイス, III-V 族 FET, HBT, MMIC および III-N 高周波デバイスの研究開発に従事。1995年度大河内記念技術賞受賞。工博。電子情報通信学会・IEEE 各会員。

石 田 秀 俊

(非会員) 1989年京都工繊大・工芸・電子卒。1991年同大学院修士課程了。同年松下電器産業(株)入社。半導体デバイス研究センターにて化合物半導体を用いた FET, HBT および MMIC に関する研究開発に従事。2001年阪大・工・大学院博士課程了。工博。日本応用物理学会・電子情報通信学会・IEEE 各会員。