変調に基づく1ビット信号処理における 高次のフィルタの実現

学生員 村橋 善光* 正員 道木 慎二*
正員 大熊 繁*

Realization of High-Order Filters for 1-bit Signal Processing Based on Delta-Sigma Modulation

Yoshimitsu Murahashi*, Student Member, Shinji Doki*, Member, Shigeru Okuma*, Member

We discuss a realization method of basic 1-bit signal processing based on Delta-Sigma modulation in this paper. Additionally, we show the characteristics of basic 1-bit processor and an effective design method from the view point of SNR. As the application of the 1-bit signal processing, we proposed a realization method of high-order filters based on Delta-Sigma modulation. We applied the effective design method to decide coefficients of a 4th-order butterworth low pass filter. We show that the filter designed by using the proposed method achieves the highest SNR.

キーワード： $\Delta\Sigma$ 変調，1ビット信号処理，フィルタ

Keywords: Delta-Sigma modulation, 1-bit signal processing, Filter

1. はじめに

A/D変換の技術として提案された変調は、高忠実再生が求められるオーディオの分野でも認められ、Super Audio CD (SACD) や D 級オーディオアンプで応用されている。変調は構成がシンプルであり、アナログ回路部分の素子の特性によるばらつきや、熱雑音に対してロバストである特長が挙げられる。さらに、ナイキスト周波数より十分に高い周波数で標本化を行うオーバーサンプリングや、量子化誤差を信号帯域より高い周波数領域に形成するノイズシェーピングにより、1ビットでありながら信号帯域の SNR を高くすることが可能である。特に、近年では半導体技術の向上にともないサンプリング周波数を高くすることが可能となり、変調の技術はますます注目を集めている。

変調で1ビットに変換された信号は、高周波数領域に形成された量子化ノイズを多く含んでいるため、一般的に、LPF とダウンサンブラによりデシメーションを行い、ナイキスト周波数のマルチビット信号へ変換を行う。扱う信号の数が少ない場合には特に問題とならないが、多入力のシステムを扱うことを考えた場合、マルチビットに変換す

るとインターフェースのために多くの配線を必要とし、また、各入力に対してデシメーションフィルタを必要とするので回路規模も大きくなる。もし、1ビット信号を直接扱うことができれば、インターフェースが1本(1ビット)で良く、さらに、デシメーションフィルタが不要となり、簡素なシステムが実現できる。したがって、変調された1ビット信号を直接扱う“1ビット信号処理”の実現が期待されている。

1ビット信号処理には、精度やインターフェースの簡素化の他にも、処理回路を実現する上でも興味深い特長が存在する。1ビット信号処理では扱う信号が1ビットであるため、回路自体も簡素化でき、同一のデバイスに複数の演算モジュールを並列に実装することも可能となる。特に、線形のフィルタ、変調・復調、相関演算、パラメータ更新などの条件分岐処理を含まない信号処理では、演算回路の並列実装により高速化が期待できる。この特長が生かせるアプリケーションとして、センサアレイを扱う信号処理、多関節ロボット制御、ニューラルネットワークなどが考えられる。

このような背景から、1ビット信号処理や、その応用に関する研究が何例も行われている。文献(1)(2)では、1ビット信号同士の乗算に関する検討が行われている。文献(3)では1ビット信号によるアクチュエータ制御への応用に関する報告がされており、文献(4)では1ビット信号処理による QPSK 復調器の検討が行われている。また、我々の文

* 名古屋大学大学院
〒464-8603 愛知県名古屋市千種区不老町
Graduate School of Nagoya University
Furo-Cho, Chikusa-ku, Nagoya, Aichi, 464-8603, Japan.

献(5)~(7)の研究では、変調に基づくパルスニューラルネットワークを提案し、そのハードウェア実現を試みた。我々の研究では、ニューラルネットワークの学習に必要な演算をすべて変調に基づく1ビット演算で構成した。ここで用いられている演算回路は、加算、乗算、積分等の基本的なモジュールの入出力をすべて1ビットとしているため、デバイス外部とのインターフェース、デバイス内の演算モジュール間の接続、ならびに、演算回路の簡素化を実現した。これらの事例から、基本的な演算が可能であることは確認されているが、変調に基づく1ビット信号処理の設計に関する方法が示されていない。

本論文では、変調に基づく1ビット信号処理における変調器、乗算器、加算器の実現法と、その入出力特性の関係を示す。特に乗算器の入力信号のレンジと係数を設定する場合において、最もSNRが大きくなる有効な範囲を示し、それに基づく設計法を提案する。

また、本論文では、1ビット信号処理の応用として、高次のフィルタを実現する手法を提案する。ここでは、4次のバターワースフィルタの実現を例に挙げ、変調に基づく1ビット信号処理の枠組でフィルタが実現可能であることを示すとともに、ノイズの解析法について述べる。さらに、本論文で提案した設計法を導入することにより、フィルタ全体のSNRを改善できることを示す。

2. 変調

2.1 変調の特徴

変調は、アナログやマルチビット・デジタルで表現されている信号を2値(1ビット)の信号に変換する手法の一つである。変調の出力は、ただか1ビット(+1と-1の2値)であるが、オーバーサンプリングにより信号帯域以外の周波数領域に量子化ノイズを形成するノイズシェーピングにより、信号帯域の精度を確保することができる。

1次の変調器に振幅が1の正弦波を入力した場合において、周波数領域 f_b とサンプリング周波数 f_s の比を $M = (f_s/2)/f_b$ としたときのSNRは次式で表される⁽⁹⁾⁽¹⁰⁾。

$$\text{SNR} = -12.4 + 9 \log_2(M) \dots\dots\dots (1)$$

すなわち、サンプリング周波数を2倍上げるとSNRが9dB改善されることを表している。サンプリング周波数を高くすると変換精度が高くなる性質があることから、高速な変調器の実現に関する研究がなされている。文献(8)では、高速に動作可能な共鳴トンネリングダイオードを用いてGHzオーダーのサンプリングを行うことにより、高速・高精度な変調器を実現する試みもなされている。

変調器は、それ自身の回路構成を変更することにより、ゲインの調整や信号の伝達の遅延の特性を変更することが可能である。以下では、変調の性質のうち、1ビット信号処理の実現に重要な役割を果たすものについて、その基本的な性質を述べる。

図1 1次の変調器

Fig. 1. The first-order Delta-Sigma modulator.

2.2 フィードバックゲインと信号伝達ゲイン 図1(C)に1次の変調器の構成を示す。本稿で用いる1次の変調器は積分器と1ビット量子化器、フィードバック用加算器で構成されている。

一般的に、変調器のフィードバックゲインは1としているが、本稿ではこれを τ と拡張したものをを用いる。フィードバックゲイン τ を適宜変更すると、変調器の入力 $x(z)$ から1ビット出力 $y(z)$ までのゲインの大きさを調整することができる。図1(C)において、入力 $x(z)$ 、出力 $y(z)$ 、量子化器で発生するホワイトノイズ $n_q(z)$ とし、量子化器を $u(z)/\tau + n_q(z)$ と線形なモデルで近似することにより次式の関係を得る。

$$y(z) = \frac{x(z)}{\tau} + (1 - z^{-1})n_q(z) \dots\dots\dots (2)$$

すなわち、図1(C)に示すフィードバックゲインが τ の

変調器は、入力 $x(z)$ から出力 $y(z)$ までのゲインが $1/\tau$ となる。本論文では、この性質を積極的に利用し、信号処理回路を構成する。

次に、この原理について説明する。なお、ここでは簡単のため変調のサンプリング周波数が入力 $x(z)$ の帯域より十分に高く、 $x(z)$ が $-\tau \leq x(z) \leq +\tau$ の範囲にある直流値とみなせると仮定する。まず、 $+\tau$ と $-\tau$ に2値化する量子化器を有する変調器を考える(図1(A))。 $y'(z)$ は $+\tau$ と $-\tau$ の2値で表されるが、この場合、 $y'(z)$ の期待値 $E(y')$ は入力 $x(z)$ と等しくなるように出力される。図1(A)の量子化器の部分は図1(B)のように $+1$ と -1 に量子化する量子化器とゲイン τ に分解することができる。図1(A)の回路と図1(B)(C)の回路は等価なので $E(y') = E(y'') = x(z)$ となる。したがって、図1(C)の $y(z)$ を観測すると $E(y'/\tau) = E(y'')/\tau = x(z)/\tau$ となる。

本稿で用いる変調器のフィードバックゲインの乗算を実現するために乗算器が必要となるが、 $y(z)$ が $+1$ か -1 の2値なので、 $+\tau$ と $-\tau$ を切替えるセレクトで代用でき、容易に実現可能である。

なお、この変調器の入力の信号成分の絶対値は τ を超えないようにする必要がある。その理由は以下の通りで

図 2 重み乗算器

Fig. 2. Weight multiplier

ある。1 ビット出力 y は ± 1 の 2 値であるため、 $y(z)$ に含まれる信号成分 $y_s(z)$ には $+1 \leq y_s(z) \leq -1$ の拘束条件が存在する。(2) 式の関係において信号成分のみに着目すると、 $y_s(z) = x(z)/\tau$ となり、 $y_s(z)$ の拘束条件を考慮すれば、 $-\tau \leq x(z) \leq +\tau$ の拘束条件が導き出される。

2.3 1 サンプル遅れの 変調器 図 1(C) の変調器の構成の他に、 z^{-1} の配置を変更することにより図 1(D) の変調器の構成も考えられる。文献 (5) に述べられているように、(C) の変調器は入力 $x(z)$ から出力 $y(z)$ までの伝達関数に遅延が発生しないのに対し、(D) の変調器は 1 サンプルの遅延を有している。デジタル回路において、1 サンプルの遅延は D フリップフロップで実現され、これを適切に配置することによりクリティカルパスを短くすることができる。特に、変調器を用いた処理回路を多段に縦続接続することを考えた場合には、(D) の方がクリティカルパスを短くことができ、動作クロックを上げやすくなる。したがって、安定性や伝達特性を考慮した上で 1 サンプルの遅延が問題にならない場合には、(D) の構成は高クロック化に有効な構成法である。(C) もしくは (D) の変調器の構成の選択は、実現するフィルタに合わせて適宜選択すべきである。

3. 変調に基づく 1 ビット信号処理

提案手法では、演算器の入力と出力を 1 ビットとするため、線形フィルタの基本となる積和演算などの出力に変調を用いた。ここでは、乗算器、加算器の実現法と、その入出力特性について述べる。

3.1 重み乗算器

3.1.1 回路構成と入出力特性 1 ビットパルス信号 x にマルチビットで格納された W を乗算し、その結果を 1 ビットのパルス信号にして出力する回路を“重み乗算器”と呼ぶことにする。

重み乗算器の構成を図 2 に示す。重み乗算器は、主に、“1 ビットのパルス信号 $\times$ 重みの値”の乗算を実現する回路と、1 ビットパルス信号に変換するための変調器で構成されている。

“1 ビットのパルス信号 $\times$ 重みの値”を実現する回路は、 W を $-W$ に変換する符号反転器とそれら 2 つの値を切替えるセレクタで構成される。したがって、乗数と被乗数が共にマルチビットの乗算器に比べて簡単な回路で実現できる。

1 ビットパルスと乗算された値は $+W$ か $-W$ で表されるマルチビットの値となるが、提案手法ではマルチビットのまま値を伝送するのではなく、変調で 1 ビットパルス信号に変換する。

重みレジスタの値 W 、乗算器の入力 $x(z)$ 、変調器のフィードバックゲイン τ_w とすると出力パルス $y(z)$ は次のように記述できる。

$$y(z) = \frac{W}{\tau_w} x(z) + (1 - z^{-1}) n_w(z) \\ = w x(z) + (1 - z^{-1}) n_w(z) \dots \dots \dots (3)$$

ただし、 $w = W/\tau_w$ であり、 $n_w(z)$ は乗算器の変調器で発生する -1 から $+1$ の振幅を有するホワイトノイズを表す。2.2 の議論と同様に、 $y(z)$ の信号成分は $+1$ から -1 に限られるため、 $|w x(z)| \leq 1$ となるように設計する必要がある。

次に、乗算器の出力の信号とノイズの関係について述べる。乗算器に入力される 1 ビット信号 $x(z)$ が次式で表されるとする。

$$x(z) = x_s(z) + (1 - z^{-1}) n_x(z) \dots \dots \dots (4)$$

$x_s(z)$ は信号成分で $n_x(z)$ は前段の変調の量子化ノイズで -1 から $+1$ の振幅を有するホワイトノイズである。この乗算器を通したときの出力 $y(z)$ は次式で表される。

$$y(z) = w \{ x_s(z) + (1 - z^{-1}) n_x(z) \} + (1 - z^{-1}) n_w(z) \\ = w x_s(z) + (1 - z^{-1}) \{ w n_x(z) + n_w(z) \} \\ \dots \dots \dots (5)$$

$x_s(z)$ と $(1 - z^{-1}) n_x(z)$ 、 $(1 - z^{-1}) n_w(z)$ に相関がないとすると、それぞれの電力 S_x, N_x, N_w と SNR の関係は次式で示される。

$$\text{SNR}_w = \frac{w^2 S_x}{w^2 N_x + N_w} \dots \dots \dots (6)$$

この関係を用いて、次節では重み乗算器の設計法について述べる。

3.1.2 設計法 1 ビット信号処理でこの乗算器を使用する場合、 $|w x_s(z)| \leq 1$ にしなければならないため、 $x_s(z)$ の最大レンジと w の設定が課題となる。ここでは、SNR を最も良好にする観点から、 w と $x_s(z)$ のレンジの設計法について述べる。

$w x_s(z)$ の値を $y_s(z)$ とし、その電力を S_y とする。ここでは、 $y_s(z)$ の最大振幅が 1 となるときの電力を $S_{y\max}$ とする。また、変調器から発生するノイズの電力は $N_x = N_w$ と仮定する。 S_x 、すなわち $x_s(z)$ の最大レンジに相当する値を小さい値 (Small) から大きい値 (Large) に変化させた時の w^2 と SNR_w の関係を図 3 に示す。点線は乗算結果が $S_{y\max}$ であるときの SNR を表しており、各 S_x はこの値を超えない範囲にある。また、解析を容易にするため w^2 の軸は対数スケールとした。

図 3 によると、 S_x を小さくすると、 $|w|$ のレンジを広く

図3 重み乗算器の S_x , w に対する SNR_w の関係
Fig. 3. Relationship of SNR_w vs. S_x , w of weight multiplier.

選ぶことが可能となり、 $|w| > 1$ の領域では SNR が一定となる特性を示す。しかし、 S_x そのものが小さいので、乗算結果の SNR は低くなる傾向にある。一方、 S_x を大きくした場合には、 $|w|$ の選択可能な範囲は狭まるが、 S_x が大きいので SNR は高くなる傾向にある。

例えばフィルタを実現する場合を考えると、積和演算などで多数の乗算器が必要となる。このとき、なるべく全ての乗算器の SNR を揃え、その中で最も SNR が良くなる数値のレンジを選択するのが望ましいと考えられる。

後のフィルタの実現ではこの考え方に基づき設計を行っている。

3・1・3 係数の精度 重み乗算器をデジタル回路でハードウェアに実装する場合、 W や τ_w は整数値である。一般的に、乗算の係数は無理数であることが多く、 W/τ_w をその係数に一番近くなるように設定する必要がある。

文献(5)では、 τ_w を 2^n (n は正の整数) に設定することにより変調器の回路を簡単にすることができるが示されている。これに従い $\tau_w = 2^n$ に決定した時、実現したい係数を w とすると、 W は $2^n w$ に一番近い整数を選ぶことになる。 n を1だけ大きくすると整数部の桁が1ビット分多くなり、 W と $2^n w$ 差を小さくできる。したがって、 τ_w を大きくすると、係数の表現精度を改善できる。換言すれば、 n を大きくして W を表現するビット数を増やすことにより係数の精度の改善が可能である。

3・2 多入力加算器

3・2・1 回路構成と入出力特性 N 入力の1ビット信号を1ビット加算器で加算し、変調器に入力して再び1ビットのパルス列として出力している(図4)。

N 入力の1ビットの加算の結果は $-N$ から $+N$ の範囲なので、加算結果は $2 + \lceil \log_2 N \rceil$ のマルチビットとなって得られる。この加算器は、加算する信号の数が多い場合や、加算結果を他の複数の演算回路に分配する場合に、回路規模が小さいことが有利となる。

次に、入出力特性について述べる。 i 番目の入力を $x_i(z)$ とおくと、この回路から出力される信号 $y(z)$ は次式で表される。

$$y(z) = \frac{1}{\tau_a} \sum_{i=1}^N x_i(z) + (1 - z^{-1})n_a(z) \dots \dots \dots (7)$$

図4 多入力加算器
Fig. 4. Multi input adder.

$x_i(z)$ が 変調された1ビット信号で、信号成分 $x_{si}(z)$ と量子化ノイズ成分 $n_{xi}(z)$ の和で表されるものとする。

$$x_i(z) = x_{si}(z) + (1 - z^{-1})n_{xi}(z) \dots \dots \dots (8)$$

この信号が与えられた時の多入力加算器の出力は以下の式で記述される。

$$y(z) = \frac{1}{\tau_a} \sum_{i=1}^N x_{si}(z) + (1 - z^{-1}) \left\{ n_a(z) + \frac{1}{\tau_a} \sum_{i=1}^N n_{xi}(z) \right\} \dots \dots \dots (9)$$

2・2 の議論と同様に、(9) 式より、 $y(z)$ の信号成分が-1 から+1 の範囲を超えないようにするためには、 $x_{si}(z)$ の合計値の絶対値が τ_a を超えない範囲に設定すれば良い。

後に述べるフィルタの実現の部分では、フィルタの出力に入力数が2の加算器を用いている。入力が2の加算器におけるノイズの解析は、文献(4)でなされている。文献(4)では論理回路レベルでの実現がなされているが、詳細な解析をすると、 $\tau_a = 2$, $N = 2$ とした本手法と等価な回路となる。誤差の解析、および、等価であることの証明は、紙面の都合で省略する。

4. 高次のフィルタの設計と実現

本章では、1ビット信号処理の応用として高次のフィルタの実現法とその設計法を示す。ここでは、1次のIIR LPFの実現法を先に述べ、それを拡張する形で高次のフィルタを実現している。

4・1 1次のIIR LPF 高次のフィルタの実現をする前に、もっとも簡単な1次のIIR LPFを 変調に基づく1ビット信号処理で実現する方法を述べる。ここでは、次式のフィルタの実現法について考える。

$$H(z) = \frac{\beta z^{-1}}{1 + \alpha z^{-1}} \dots \dots \dots (10)$$

これを実現する方法として、図5(A)のように $\tau_\alpha = 1/\alpha$ となる 変調を用いて閉ループを構成する方法が考えられる(この例では、 $\beta = \alpha$)。しかし、図5(A)の回路は図5(B)のように 変調と外側のループのフィードバックをまとめることができ、その結果としてフィードバックゲイ

図 5 変調に基づく IIR LPF フィルタの構成

Fig.5. The circuitry of the 1st-order IIR LPF based on Delta-Sigma modulation.

ンが $\tau_\alpha + 1$ の 変調と等価となるため、1 次の LPF として機能しない。

したがって、本論文では 変調を用いて 1 次の IIR LPF を実現するため、図 5(C) のように、積分器を含んだ構成を提案する。この構成では、 $\tau_\alpha' = (\alpha + 1)^{-1}$ と設定することにより、(10) 式の 1 次の IIR LPF のダイナミクスを持つフィルタが実現できる。ただし、この場合 $\beta = 1/\tau_\alpha$ となるフィルタが実現される。

図 5(C) の構成で $\alpha = -1023/1024$ ($\tau_\alpha' = 1024$) の場合における 1 次の IIR LPF の回路のシミュレーションを行った。本論文では 1 ビットフィルタの特性を調べるため、各時間で均等に電力が与えられ、かつ、一定のバンド内で近似的に一定の周波数特性を示すチャープ信号を用いた。シミュレーションでは、振幅が 1 で、2Hz から 1024Hz の間でスweepするチャープ信号を入力したときの周波数応答を求め、理想のフィルタ特性の周波数応答と比較を行った。このシミュレーションでは、サンプリング周波数を $f_s = 2^{17}$ Hz とした。

入力信号 (Input Chirp Signal) と理想のフィルタ (Ideal Filter) と 変調に基づく 1 ビットフィルタ (DSM Filter) の出力のパワースペクトルを図 6 に示す。 変調に基づくフィルタの特性を見ると、高周波数領域では、LPF 内部の 変調によるノイズシェーピングされたノイズが現れ、低周波数領域では理想のフィルタと同等の特性が得られている。このノイズの特性の解析については、次節で述べる。

4.2 高次のフィルタの回路構成 前述した 1 次の IIR LPF を拡張し、 変調に基づく 1 ビット信号処理に基づいた高次のフィルタの回路を図 7 に示す。

提案するフィルタは、 変調に基づく積分器と乗算器、加算器から構成される。図中の 2 重の四角で囲まれた $\Delta\Sigma(\tau)$ の表記は、フィードバックゲインが τ の 変調を用いていることを示している。したがって、これらの演算ブロックの出力は 1 ビットであり、 $1/\tau$ のゲインが実現される。また、このフィルタの入力と出力は 1 ビットであり、すべ

図 6 チャープ信号を入力した時の 1 次のフィルタの出力パワースペクトル

Fig.6. Output power spectrum of the 1st-order LPF with a chirp signal as input.

図 7 1 ビット信号処理のための 変調に基づく高次のフィルタ

Fig.7. The high-order filter for the 1-bit signal processing based on Delta-Sigma modulation.

でのモジュールがオーバーサンプリング周波数で動作する。したがって、このフィルタはデシメーションをすることなく、 変調された 1 ビット信号に対して直接的に信号処理をすることが可能である。

フィルタの構成要素について説明する。図 7 下段の図中に示すように、積分器 $S_\tau(z)^{-1}$ は、 $1/(1 - z^{-1})$ とフィードバックゲインが τ_c の 変調器で構成されている。 τ_c は積分の係数であり、フィルタの特性を周波数方向にシフトする場合にはこのパラメータを調整する。

乗算器は 3・1 で述べた方法で実現する。係数 a_k, b_k は

それぞれ $A_k/\tau_{ak}, B_k/\tau_{bk}$ で表され、 τ_{ak}, τ_{bk} を整数で決定した後に A_k, B_k を整数の値で決定する。ただし、係数が 1 や 0 場合は乗算器を省略できる。

加算器を実装するにあたり、図 4 のように加算結果を変調器で 1 ビットに変換する構成も考えられるが、加算する信号の数がたかだか 2 または 3 と少なく、加算結果は積分器以外には使われないので、簡単化のため加算器の変調器は省略した。ただし、フィルタの最終出力部分では、次のモジュールへ 1 ビットで処理結果を伝送するため、変調器を用いた。

4.3 入出力特性 ここで、 $S_\tau(z) = \tau_c(1 - z^{-1})$ としたとき、図 7 の入力 $x(z)$ から $y(z)$ までの伝達関数は次式で記述できる。

$$G(z) = \frac{a_0 + a_1 S_\tau(z)^{-1} + \dots + a_n S_\tau(z)^{-n}}{1 + z^{-1}(b_1 + \dots + b_n S_\tau(z)^{-n})} \\ = \frac{a_0 + \sum_{k=1}^n a_k S_\tau(z)^{-k}}{1 + z^{-1} \sum_{k=1}^n b_k S_\tau(z)^{-k}} \dots\dots\dots (11)$$

図 7 に示すように、提案するフィルタは、乗算と積分、出力の加算器に 変調を用いたため、そこで量子化ノイズが加わる。係数 a_k, b_k の乗算で発生するノイズをそれぞれ $n_{ak}(z), n_{bk}(z)$ とし、その直後の積分器 s_k で加わるノイズを $n_{sk}(z)$ とする。また、出力用の加算器で発生するノイズを $n_o(z)$ とする。 p 次の 変調器を使用した場合、 $y(z)$ で発生するノイズ $y_e(z)$ は以下のように表すことができる。

$$y_e(z) = \frac{n_{a0}(z) + n_o(z) + \sum_{k=1}^n S_\tau(z)^{-k} n_{ak}(z)}{1 + z^{-1} \sum_{k=1}^n b_k S_\tau(z)^{-k}} (1 - z^{-1})^p \\ + \frac{\sum_{k=1}^n S_\tau(z)^{-k} n_{bk}(z)}{1 + z^{-1} \sum_{k=1}^n b_k S_\tau(z)^{-k}} (1 - z^{-1})^p \\ + \frac{\sum_{k=1}^n S_\tau(z)^{-(k-1)} n_{sk}(z)}{1 + z^{-1} \sum_{k=1}^n b_k S_\tau(z)^{-k}} (1 - z^{-1})^p \\ = \frac{n'_o(z) S_\tau(z)^{n+p} + \sum_{k=1}^n S_\tau(z)^{(n-k+p)} n_{uk}(z)}{S_\tau(z)^n + z^{-1} \sum_{k=1}^n b_k S_\tau(z)^{n-k}} \tau_c^{-p} \dots\dots\dots (12)$$

ただし、 $n_{uk}(z), n'_o(z)$ は次式のとおりである。

$$n_{uk}(z) = n_{ak}(z) + n_{bk}(z) + n_{sk}(z) S_\tau(z) \\ n'_o(z) = n_{a0}(z) + n_o(z)$$

この式から、演算器内部で発生するノイズが出力に現れる影響を見積もることが可能である。ただし、 $n_{ak}(z), n_{bk}(z)$ は (5) 式の $\{\}$ 内の式で表され、乗算する重みの値 a_k, b_k の大きさに依存する。

ここで、各ノイズ成分が互いに無相関であると仮定すると、それぞれの電力の和でフィルタに含まれるノイズ成分を見積もることが可能である。フィルタに現れるノイズを近似的に見積もる場合、各周波数成分において

$n_{ak}(z), n_{bk}(z), n_{sk}(z), n_o(z)$ それぞれから出力されるノイズのうち、もっとも影響の大きいものを考慮すれば良い。

以上の解析結果は、 変調内部の量子化器に混入する量子化ノイズがホワイトノイズであると仮定している。実際には、直流信号を変調した場合、入力振幅が大きい場合、次数が高いシステムを構築した場合等には、リミットサイクルによる電力の大きい周期性をもつノイズが発生し、この仮定が成り立たない場合がある。この問題に対し、変調内部の量子化器の前段でホワイトノイズを加えると、この問題が解決されることが報告されている⁽⁹⁾。以下のシミュレーションにおいても、量子化ノイズを理想的なホワイトノイズに近付けるために、各 変調器の量子化器の前段でホワイトノイズを加えている。

4.4 フィルタの設計法 このフィルタには、係数の乗算に必要な $A_k, B_k, \tau_{ak}, \tau_{bk}$ 、積分の係数 τ_c のパラメータをもつ。 A_k と τ_{ak} 、 B_k と τ_{bk} は係数精度に応じて設定する必要がある。ここでは、簡単のため $a_k = A_k/\tau_{ak}, b_k = B_k/\tau_{bk}$ が十分な精度が得られていると仮定する。

一般的に、アナログフィルタではプロトタイプとなるフィルタを作成し、 s の係数を調整し周波数のシフトを行う。バターワースフィルタの場合、角周波数が $\omega = 1$ でカットオフとなるフィルタがプロトタイプである。プロトタイプフィルタの係数を a_{pk}, b_{pk} とし、カットオフ周波数を ω_c にシフトした場合、伝達関数は次式となる。

$$G_s(s) = \frac{a_{p0} + \sum_{k=1}^n a_{pk}(s/\omega_c)^{-k}}{1 + \sum_{k=1}^n b_{pk}(s/\omega_c)^{-k}} \dots\dots\dots (13)$$

また、 $S_\tau(z)^{-1}$ をサンプリング周期 T を使って書き直すと次式で表される。

$$S_\tau(z)^{-1} = \frac{1}{\tau_c T} \frac{T}{1 - z^{-1}} \dots\dots\dots (14)$$

$T/(1 - z^{-1})$ が s^{-1} をオイラー近似したものであると考え、積分 s^{-1} に対する関係は次式で変換できる。

$$S_\tau(z)^{-1} \leftrightarrow \frac{1}{\tau_c T} s^{-1} \dots\dots\dots (15)$$

(11) 式と (13) 式を (15) 式の関係を用いて係数を比較することにより、 a_k, b_k は次式のように求められる。

$$a_k = a_{pk}(T\tau_c\omega_c)^k \\ b_k = b_{pk}(T\tau_c\omega_c)^k \dots\dots\dots (16)$$

上式の関係から、このフィルタには τ_c のパラメータに自由度を有していることが分かる。次に、3.1.2 の設計法に基づき、SNR を最大にする最適な τ_c の求め方について考察する。

図 8 上段に、4 次のバターワースフィルタを設計した際における各係数の平方と $T\tau_c\omega_c$ の関係を示す。上述の様に各係数には、 τ_c の自由度が存在していたため、各係数は図中の対応する直線上の任意の値を選ぶことが可能である。ここでは、例として $T\tau_c\omega_c = 0.2, 1.0, 5.0$ の係数に着目する。なお、

図 8 $T_c\omega_c$ と SNR_w の関係に基づくフィルタ係数の設計

Fig. 8. A design of filter coefficient based on relationship between $T_c\omega_c$ and SNR_w .

4 次のバターワースフィルタのプロトタイプフィルタの係数は $a_{p4} = b_{p4} = 1$, $b_{p3} = b_{p1} = 2\{\cos(3\pi/8) + \cos(\pi/8)\}$, $b_{p2} = 2 + 4\cos(3\pi/8)\cos(\pi/8)$ であり、これら以外の係数は 0 である。係数が 0 の場合は乗算器が不要であり、ここではノイズが発生しない。したがって、ここでは重み乗算器 a_4, b_4, b_3, b_2, b_1 と出力用の変調器 (out) についてのみ示した。

図 8 下段に、各フィルタ係数の乗算器の SNR を示す。 $T_c\omega_c = 0.2$ のとき、各乗算結果の SNR が大きく異なり、最大と最小のもので 500 倍の開きがある。 $T_c\omega_c = 5$ のとき、各乗算結果の SNR はほぼ揃うが、入力できる信号の振幅を小さくする必要があるため、全体的に SNR が小さい。 $T_c\omega_c = 1$ のとき、比較的信号を大きくすることができ、SNR も最も大きい。したがって、4 次のバターワースフィルタは $T_c\omega_c = 1$ にすることで、最も SNR の良いフィルタを実現できる。すなわち、 a_k, b_k は、プロトタイプフィルタの係数 a_{pk}, b_{pk} と等しい値に設定し、カットオフ周波数に応じて $\tau_c = 1/(T\omega_c)$ に設定すればよいことが分かる。

5. シミュレーションの結果と考察

上記の手法を用いて、4 次のバターワースフィルタの設計を行い、動作検証を行った。ここでは、 $\tau_{ak} = \tau_{bk} = 1024$, $T = 2^{-17}$ (サンプリング周波数 $f_s = 2^{17}$ Hz, ナイキスト周波数 2^{16} Hz), カットオフ周波数は $f_c = 20.3$ Hz とした。入力は 2 Hz から 1024 Hz のチャープ信号を用い、その振幅は入力可能な最大振幅の 0.9 倍とした。入力信号は、フィードバックゲインが 1 の 1 次の変調を通して提案するフィルタに 1 ビットで入力される。(1) 式によれば、信号の帯

図 9 チャープ信号を入力した時の 4 次のバターワースフィルタの出力パワースペクトル

Fig. 9. Output power spectrum of 4-th Butterworth filter with a chirp signal as input.

域が $f_b = 1024$ Hz であると考え、オーバーサンプリング係数は $M = (2^{17}/2)/1024 = 64$ 倍となり、1 次の変調単体の SNR は最大 41.6 dB となる。

図 9 の左側の列に、理想フィルタのチャープ信号の応答と、(12) 式から解析的に得た各演算器が出力するノイズスペクトルを示す。また、図 9 の右側の列は、シミュレーションで得られた変調に基づく 1 ビットフィルタの出力のパワースペクトルとノイズスペクトルを示している。なお、左側のノイズの解析に関しては、第 k 番のフィルタ係数の重み乗算器 a_k, b_k とその出力に接続されている積分器 s_k 、ならびに、出力用変調器 (out) の影響について示した。

図 9(A)(B)(C) は、 $T\omega_c\tau_c$ の値をそれぞれ 0.2, 1.0, 5.0 とした場合における出力特性を示している。実際には (A), (B), (C) それぞれでチャープ信号の振幅が異なるが、これらのグラフでは入力信号の通過帯域を 0 dB に正規化し、ノイズとの関係を分かりやすくした。

まず、実現されたフィルタと解析結果の比較を行う。

図 9(A)(B) では、通過帯域ではほぼ平坦特性であり、

20.3kHz より高い周波数帯域では 80dB/dec の傾きで減衰する 4 次のバターワースフィルタが実現されているのがわかる。通過帯域の特性を厳密に見ると、カットオフ周波数付近でゲインがわずかに大きくなり、完全にフラットになっていない。これは、図 6 のチャープ信号をみてもわかるように、入力に用いたチャープ信号のスペクトルが完全にフラットになっていないのが原因である。右列に示す実際のフィルタの出力スペクトルは、左列に示す理想フィルタのチャープ信号の応答と一致していることから、提案した 1 ビットフィルタは設計通りの特性が実現できていることが確認できる。

また、図 9(B)(C) のシミュレーション結果において、高周波数帯域では、フィルタ内部の変調器から出力されるノイズが現れている。右側の破線のグラフは出力信号から入力信号を引いたノイズ成分を示しているが、左の解析結果と比べると、理論通りのノイズスペクトルが得られている。この結果から、高次のフィルタを構築した場合でも、各変調器の量子化器ではノイズがホワイトノイズが加えられると仮定したモデルの妥当性が保たれていることがわかる。しかし、図 9(C) の左側の解析結果ではノイズ成分が信号成分より小さいが、右のシミュレーションでは信号がノイズに埋もれている。これは、各信号が無相関であるという仮定で解析を行ったが、実際には多少の相関を有しており、これが原因で解析結果との差異が生じたものと考えられる。

次に、設計法の妥当性について検証をする。

図 9(A)(B)(C) を比較すると、 $T\omega_c\tau_c = 1$ としたフィルタが、通過帯域の SNR が最も良いことがわかる。この結果は、左の解析結果と右のシミュレーション結果からも同時に得られており、提案した設計法が有効であることを示している。また、提案手法により最適化された図 9(B) のフィルタの通過帯域には、-70dB から -40dB のノイズフロアを有している。今回使用した 1 次の変調単体の SNR が 41.6dB であることを考えると、高次のフィルタを構成した場合でも変調の最大の SNR に近い性能が得られているのがわかる。

6. ま と め

本論文では、変調に基づく 1 ビット信号処理における変調器、乗算器、加算器の実現法と、その入出力特性の関係を示した。また、乗算器においては、入力信号、レンジと係数と SNR の関係を明らかにした。その中で、最も SNR が大きくなる有効範囲を示し、それに基づく設計法を提案した。

また、本論文では、1 ビット信号処理の応用として、高次のフィルタを実現する手法を提案した。ここでは、4 次のバターワースフィルタの実現を例に挙げ、変調に基づく 1 ビット信号処理の枠組でフィルタが実現可能であることを示した。さらに、乗算器の SNR を最大とする設計法を導入し、乗算器の係数をプロトタイプフィルタの係数

と一致させた場合に SNR が最大となること示した。この設計法を導入することにより、フィルタ全体の SNR を改善することが可能となる。

提案手法を 1 ビット信号処理回路の設計に導入することにより、小型な回路で実現できる特長を持つ変調に基づく 1 ビット信号処理を、さらに有用なものにすることが可能であると考えられる。

(平成 17 年 3 月 22 日受付, 平成 17 年 7 月 20 日再受付)

文 献

- (1) Y. Orino, M. Kurosawa, and T. Katagiri: "Single-bit Digital Multiplier Based on Delta-Sigma Modulation", The 16th Workshop on Circuits and Systems, pp.117-122 (2003-4) (in Japanese)
折野 裕一郎・黒澤 実・片桐 崇:「変調による 1 ビットディジタル信号の乗算法」, 第 16 回回路とシステム(軽井沢)ワークショップ, pp.117-122 (2003-4)
- (2) Y. Murahashi, S. Doki, and S. Okuma: "Realization of 1bit Multiplier for Pulsed Neural Networks Based on Delta-Sigma Modulator", FIT 2002 Information Technology Letters, Vol.1, pp.121-122 (2002-9) (in Japanese)
村橋善光・道木慎二・大熊 繁:「変調に基づくパルスニューラルネットワークにおける 1bit 信号同士の乗算の実現」FIT 2002 情報技術レターズ, 1, pp.121-122 (2002-9)
- (3) K. Tojo, M. Kurosawa, K. Oka, and T. Higuchi: "Resolution of Digital Servo Control System Using Single-bit Digital Signal Processing", T. IEE Japan, Vol.118-D, No.5, pp.623-629 (1998-5) (in Japanese)
東條啓一郎・黒澤 実・岡 宏一・樋口俊郎:「1 ビットディジタル信号処理を用いた制御の分解能と情報料についてのシミュレーション」, 電学論 D, 118, 5, pp.623-629 (1998-5)
- (4) H. Fujisaka, M. Sakamoto, and M. Morisue: "Bit-Stream Signal Processing Circuits and Their Application", IEICE Trans. Fundamentals, Vol.E85-A, No.4, pp.853-860 (2002-4)
- (5) Y. Murahashi, H. Hotta, S. Doki, and S. Okuma: "Pulsed Neural Networks Based on Delta-Sigma Modulation with GHA Learning Rule and Their Hardware Realization", IEICE Trans. Info. & Syst., Vol.J87-D-II, No.2, pp.705-715 (2004-2) (in Japanese)
村橋善光・堀田博久・道木慎二・大熊 繁:「GHA 学習則を組み込んだ変調に基づくパルスニューラルネットワークとそのハードウェア実装」, 信学論 D-II, J87-D-II, 2, pp.705-715 (2004-2)
- (6) H. Hotta, Y. Murahashi, S. Doki, and S. Okuma: "Realization of ICA for Pulsed Neural Networks Based on Delta-Sigma Modulation and Their Hardware Implementation", IEEE Trans. EIS, Vol.124, No.11, pp.2287-2295 (2004-11) (in Japanese)
堀田博久・村橋善光・道木慎二・大熊 繁:「変調に基づくパルスニューラルネットワークによる ICA の実現とそのハードウェア実装」, 電学論 C, 124, 11, pp.2287-2295 (2004-11)
- (7) T. Okuda, S. Doki, and M. Ishida: "Realization of Back Propagation Learning for Pulsed Neural Networks Based on Delta-Sigma Modulation and its Hardware Implementation", IEICE Trans. Info. & Syst., Vol.J88-D-II, No.4, pp.789-799 (2005-4) (in Japanese)
奥田忠義・道木慎二・石田宗秋:「変調に基づくパルスニューラルネットワークによる BP 学習の実現とそのハードウェア実装」, 信学論 D-II, J88-D-II, 4, pp.789-799 (2005-4)
- (8) Y. Yokoyama, Y. Ohno, S. Kishimoto, K. Maezawa, and T. Mizutani: "A delta-sigma analog-to digital converter using resonant tunneling diodes", Japan Society Applied Physics, Vol.40, pp.L1005-L1007 (2001)
- (9) J. C. Candy, and G. C. Temes: Oversampling Delta-Sigma Data Converters, p.xi, Jhon Wiley, New York (1992)
- (10) S. R. Norsworthy, R. Schreier, and G. C. Temes: Delta-Sigma Data Converters, Jhon Wiley, New York (1992)

村 橋 善 光 (学生員) 2003 年 3 月 名古屋大学大学院工学研究科博士課程前期課程電気工学専攻 修了, 同年 4 月同大学院工学研究科博士課程後期課程電子情報学専攻 進学, 現在に至る。主としてニューラルネットワーク, 信号処理関連の研究に従事。IEEE, 電子情報通信学会, 各会員。

道 木 慎 二 (正員) 1995 年 名古屋大学大学院工学研究科博士課程後期課程電子機械工学専攻修了。同年 4 月同助手, 2000 年 6 月 三重大学工学部電気電子工学科助教授, 2004 年 4 月 名古屋大学大学院工学研究科電子情報システム専攻助教授, 現在に至る。(工学博士)。主としてモータドライブシステム, パターン情報処理技術の制御への応用に関する研究に従事。IEEE, 計測自動制御学会, 電子情報通信学会各会員。

大 熊 繁 (正員) 1972 年 名古屋大学大学院修士課程電気工学専攻修了。1974 年 ケース・ウェスタン・リザーブ大学大学院修士課程システム工学専攻修了。1977 年 名古屋大学大学院博士課程電気工学専攻修了。同年 名古屋大学工学部電気工学科助手, 講師, 助教授を経て 1990 年同教授, 現在に至る。(工学博士)。主としてロボティクス, パワーエレクトロニクス, 創発型ソフトコンピュータに関する研究に従事。1992 年 IEEE IECON Best Paper Award, 1994 年精密工学会論文賞, 1995 年 電気学会論文賞をそれぞれ受賞。計測自動制御学会, 日本ロボット学会, システム制御情報学会, 日本機械学会, IEEE 各会員。