Vertical Double-Gate MOSFET Device Technology

Meishoku Masahara Member (National Institute of AIST, m.masahara@aist.go.jp)

Yongxun Liu Non-member (National Institute of AIST, m.masahara@aist.go.jp)

Kazuhiko Endo Non-member (National Institute of AIST, m.masahara@aist.go.jp)

Takashi Matsukawa Non-member (National Institute of AIST, m.masahara@aist.go.jp)

Eiichi Suzuki Non-member (National Institute of AIST, m.masahara@aist.go.jp)

Keywords : vertical-type DG-MOSFET, IBRE, SCEs, V_{th} control, 4-terminal DG-MOSFET

1. Introduction

The Silicon device technology is facing to several difficulties. Especially, explosion of power consumption due to short channel effects (SCEs) becomes the biggest issue in further device scaling down. Fortunately, double-gate (DG) MOSFETs have promising potential to overcome this obstacle. The DG-MOSFET is recognized to be the most scalable MOSFET for its high SCEs immunity. In addition, independent DG-MOSFET (4T-DG-MOSFET) has great advantage to enable the threshold voltage control for the flexible power management. Through this work, we have realized ideal DG-MOSFETs using newly-developed vertical DG-MOSFET device technology. This article presents the effectiveness of the vertical DG-MOSFETs in future high-performance and ultra-low-power CMOS circuits.

2. Results and Discussion

2.1 Vertical DG-MOSFET with An Ultrathin Channel

For realizing an ideal vertical DG-MOSFET, we have developed novel vertical ultrathin channel formation process. Through this work, Si wet etching using an alkaline solution has newly been found to be significantly retarded by introducing ion bombardment damage. We have also found that this phenomenon, namely, ion-bombardment-retarded etching (IBRE) is independent of ion species and the implanted impurities can easily be transferred to be the dopants for source and drain regions of MOSFETs. By utilizing the IBRE, vertical-type DG-MOSFETs with a 15-nm-thick vertical channel were fabricated successfully as shown in Fig.1. The fabricated vertical DG-MOSFETs clearly exhibited the unique advantage of DG-MOSFETs, i.e., high improvement of SCE immunity by reducing the channel thickness.

Fig. 1. Fabricated 15-nm-thick channel vertical DG-MOSFET

Thanks to the ultrathin channel, very low subthreshold slopes of 69.8 mV/dec. for a PMOS vertical DG-MOSFET was successfully achieved with the gate length of 100 nm.

2.2 Vertical Asymmetric Workfunction DG-MOSFET

For gate workfunction (ϕ_m) engineering required for ultrathin channel DG-MOSFET, V_{th} tuning of self-aligned asymmetric- ϕ_m (n^+-p^+) DG MOSFETs have been experimentally investigated. The vertical ultrathin channels were fabricated on bulk Si substrates by utilizing the novel IBRE and the self-aligned asymmetric- ϕ_m DGs were formed by employing the tilted ion implantation and anisotropic dry etching. The fabricated vertical asymmetric- ϕ_m DG-MOSFET with the gate length of 100 nm clearly exhibited the desirable V_{th} of +0.1 V, in addition to the unique DG-MOSFET characteristics of the high SCE immunity with decreasing a channel thickness.

2.3 Vertical 4-Terminal DG-MOSFET

Because of their intrinsic strength against SCEs, the DG-MOSFETs are promising devices for future high-performance CMOS circuits. Another attractive feature of DG-MOSFETs is their great potential to flexibly control the V_{th} by independently switching the double gates. Flexible V_{th} control will play a big role in achieving hot (high-performance) and cool (ultra-low-power) circuits. We have succeeded in fabricating a vertical-type independent DG-MOSFET (4T-DG-MOSFET) by applying the vertical DG-MOSFET technology. It was experimentally confirmed that V_{th} can be flexibly controlled by the second-gate bias (V_{g2}), and thus, I_{on} and I_{off} can dramatically be controlled by changing V_{g2} for the 4T-DG-MOSFET.

3. Conclusion

Novel vertical DG-MOSFET device technology have been developed. By utilizing this technology, vertical DG-MOSFETs with a low subthreshold slope, appropriate V_{th} or flexible V_{th} have been successfully demonstrated. We believe that the vertical DG-MOSFET device technology promises to open the way to solve a power dissipation issue that we will face soon.

縦型ダブルゲート MOSFET デバイス技術

正 員 昌原 明植* 非会員 柳 永勲*
 非会員 遠藤 和彦* 非会員 松川 貴*
 非会員 鈴木 英一*

Vertical Double-Gate MOSFET Device Technology

Meishoku Masahara*, Member, Yongxun Liu*, Non-member, Kazuhiko Endo*, Non-member,
 Takashi Matsukawa*, Non-member, Eiichi Suzuki*, Non-member

The Silicon device technology is facing to several difficulties. Especially, explosion of power consumption due to short channel effects (SCEs) becomes the biggest issue in further device scaling down. Fortunately, double-gate (DG) MOSFETs have promising potential to overcome this obstacle. The DG-MOSFET is recognized to be the most scalable MOSFET for its high SCEs immunity. In addition, independent DG-MOSFET (4T-DG-MOSFET) has great advantage to enable the threshold voltage control for the flexible power management. Through this work, we have realized ideal DG-MOSFETs using newly-developed vertical DG-MOSFET device technology. This article presents the effectiveness of the vertical DG-MOSFETs in future high-performance and ultra-low-power CMOS circuits.

キーワード：縦型ダブルゲート MOSFET, イオン照射減速エッチング, 短チャネル効果, しきい値制御, 4 端子 DG-MOSFET

Keywords : vertical-type DG-MOSFET, IBRE, SCEs, V_{th} control, 4-terminal DG-MOSFET

1. まえがき

MPU の高速化・高集積化は MOSFET の微細化によって支えられている。これまで、一層の高速化を目指し、MOSFET は縮小の途を歩んできた。しかしながら、近年その MOSFET 微細化に赤信号が灯りつつある。今後の MOSFET 微細化を阻む要因は種々存在するが、その中でもとりわけ、短チャネル効果の顕在化に伴う待機時漏れ電流の激増が大きな壁となる。この短チャネル効果に伴う待機時漏れ電流は、これまでの延長線上で MOSFET の微細化が進んだ場合、2010 年以降には太陽の表面並みの発熱量をチップ表面にもたらすと予想されている。すなわち、それ以降従来通りの微細化は不可能と言える。この課題の解決には、図 1 に示すように、二つの対策がある。一つ目は、短チャネル効果に対する抑制能を極限まで高め、S 係数を理論限界(60mV/dec.)まで低減する。これによって、同一しきい値電圧(V_{th})条件化でのオフリーク電流(I_{off})の低減が可能となる。二つ目は、素子作製後に V_{th} の自在な制御を可能とする。すなわち、回路演算に貢献していない素子群の V_{th} を一

図 1 微細 CMOS における待機時漏れ電流削減対策
 Fig. 1. Two measures for suppression of OFF-state leakage current in scaled CMOS.

時的に上昇させることで回路全体の待機時消費電力の大幅な削減が可能となる。この両方を実現し得る素子が、ダブルゲート(DG)MOSFET である。1984 年に旧電総研(現産総研)の関川と林によって発案された DG-MOSFET⁽¹⁾は、極めて薄い Si チャンネルが DG に挟まれた構造を有しており、この構造が短チャネル効果抑制に本質的に有効であることが理論的にも実験的にも明らかになっている⁽²⁾。さらに、DG-MOSFET では、二つのゲートを互いに分離すると、素子作製後に自在な V_{th} 制御が可能となる。我々は、

* 独立行政法人 産業技術総合研究所
 〒305-8568 茨城県つくば市梅園 1-1-1
 National Institute of AIST,
 1-1-1 Umezono, Tsukuba, Ibaraki 305-8568

DG-MOSFET が有するこの二つの特性から、DG-MOSFET デバイス技術は MOSFET 微細化限界の打破に必要不可欠な技術であると考えている。我々はこれまでに、新しい縦型 DG-MOSFET 作製プロセスを開発し、理想的な DG-MOSFET 作製に成功している⁽³⁾。本稿では、まず初めに、我々が開発した新規な縦型 DG-MOSFET デバイス技術を紹介する。さらに、得られた実験結果に基づいて、今後の極微細 CMOS 技術における DG-MOSFET デバイス技術の有用性について論じる。

2. 縦型ダブルゲート(DG)MOSFET

幾何学的な観点から、DG-MOSFET の形態としては、図 2 に示すような、三通りが考えられる。その中で、縦型 DG-MOSFET には、1)DG の自己整合的作製が容易、2)リソグラフィ精度に依らずゲート長設計が可能、3)バルク基板を利用可能、4)3次元集積化への可能性、といった利点がある。これらの利点を考慮して、本研究では縦型を選択した。縦型 DG-MOSFET の最大の欠点は、バルク基板上に縦型の極薄 Si チャネルを作製することが極めて困難なことである。そのため、厚いチャネルを有する縦型 MOSFET の報告は多々あるものの⁽⁴⁾、理想的に薄いチャネルを有する縦型 DG-MOSFET の報告は無い。我々は、この欠点を克服するため、新しい Si 高異方性エッチング法であるイオン照射減速エッチング法 (ion-bombardment-retarded etching (IBRE))を開発した。通常の CMOS 作製技術に、この新しく開発したイオン照射減速エッチング法を付加することにより、リソグラフィ技術やドライエッチング技術の精度

に依らない優れた Si 加工性能を得て、縦型極薄チャネルを有する縦型 DG-MOSFET の開発に成功した⁽³⁾。

3. イオン照射減速エッチング法 (IBRE 法)

Si の加工技術において、アルカリ溶液中で Si がその結晶面に依存して異なるエッチング速度を持つことを利用した異方性ウェットエッチングの方法がある。通常は、(110)面、(100)面、(111)面の順にエッチング速度は遅くなるが、Si がイオン照射された場合、面方位に依らずに極端にエッチング速度が減速する(イオン照射減速エッチング、IBRE)ことを新たに発見した⁽³⁾。この IBRE を用いれば、図 3 に示す手順により、縦型の極薄 Si チャネルが形成可能となる。まず、図 3(a)に示す様に、Si(110)基板上に線状の SiO₂ マスクを形成する。この際、チャネル形成時に露出する側壁が基板に対して垂直な Si(111)面となるよう SiO₂ マスクを形成する。その後、TMAH 溶液による異方性エッチングにより、所望の厚さよりも厚い縦型 Si チャネルを作製する。次に、SiO₂ マスクを除去し、Si チャネル上に垂直にイオン照射を行う(図 3(b))。このイオン照射によって、Si チャネルの両側壁は未照射のまま、チャネル頂点とチャネル周辺下地に照射損傷が導入される。最後に、再度 TMAH 中に浸漬すると、イオン照射損傷が導入された領域(チャネル頂点と下地)はイオン照射減速エッチング現象によりエッチングが進行せず、未照射の Si(111)側壁のみ水平方向にゆっくりとエッチングが進行する(図 3(c))。チャネル厚さは、この最後に施す水平方向のエッチング量によって決定される。すなわち、加工寸法はリソグラフィ精度に依存しない。Si(111)面のエッチ速度はその他の面に比べて極めて遅いため、縦型 Si チャネル薄層化の制御性は高い。また、チャネル形成にウェットエッチングを用いるため、ダメージフリーである。イオン照射減速エッチングを目的としてチャネル頂点と下地に導入した照射損傷領域は、その後の活性化により、頂点がドレインに、下地がソースに転用される。ちなみにこの IBRE 現象は、入射するイオン種に依らず発現する。すなわち本 IBRE に As イオンを用いることで n-チャネルを、BF₂ イオンを用いることで p-チャネルが作製可能となる。

図 2 DG-MOSFET 実現のための 3 つのアプローチ
Fig. 2. Three approaches for DG-MOSFET fabrication.

図 3 イオン照射減速エッチング(IBRE)を用いたバルク基板上での縦型極薄チャネル形成法

Fig. 3. Process flow for vertical ultrathin channel fabrication on bulk Si substrate using IBRE.

4. IBRE 法により作製された縦型極薄チャネル DG-MOSFET

図 4 に、本研究で作製した縦型 DG-MOSFET の断面 TEM 像を示す⁽³⁾。厚さ 15nm の縦型 Si チャネルが DG に挟まれていることがわかる。このチャネル厚さは、これまでに報告されている縦型 DG-MOSFET の中で最も薄い値である。チャネル側壁のゲート酸化膜よりもソース-ゲート(以下 S-G)間の酸化膜が厚くなっているのは、不純物注入に基づく増速酸化に起因している。これは、ソース-ゲート間オーバーラップ容量低減に有効である。オフライン SIMS の結果から、本素子のチャネル中の不純物分布は NMOS において n 型、PMOS において p 型となっていることが予想されている。すなわち、本素子は、accumulation-mode で動作

図4 作製した15nm厚チャンネル縦型 DG-MOSFET

Fig. 4. Fabricated 15-nm-thick channel vertical DG-MOSFET.

図5 作製した縦型 DG-MOSFET の I_d - V_g 特性
(a) PMOS, (b) NMOS)

Fig. 5. Measured I_d - V_g characteristics for fabricated (a) PMOS and (b) NMOS vertical DG-MOSFETs).

していると考えられる。図5に、作製した縦型 DG-MOSFET の I_d - V_g 特性を示す⁽⁵⁾。NMOS, PMOS 共にチャンネル厚が薄層化するにつれ、S 係数が改善していることがわかる。オン電流は、シミュレーションと比較した場合、低い値となっている。これは、ソース領域の寄生抵抗と、微小なドレイン領域に起因しているものと考えている。前者はシリサイド化により、後者は選択エピ技術を用いたドレイン領域増大により解決可能と考えている。DG-MOSFET デバイスパラメータのチャンネル厚依存を図6に示す。チャンネル厚の薄層化に伴い、短チャンネル効果によりロールオフした V_{th} が NMOS において正方向に、PMOS において負方向に改善し、また S 係数も大きく改善している。最薄のチャンネルを有するものにおいては、PMOS で 69.8mV/dec., NMOS で 71.6mV/dec. という極めて優れた S 係数を示している。図6には、シミュレーション結果も同時に示されている。図6より、実験結果とシミュレーション結果は良い一致を示すことがわかる。先述の通り、当該素子のチャンネルは、プロセス上、(111)面で構成されることになる。(111)面チャンネルは、(100)面と比較した場合、NMOS にとっては電流駆動力低下を、PMOS にとっては向上をもたらす。結果として、NMOS と PMOS においてほぼ同等の電流駆動力が得られ

図6 作製した DG-MOSFET の V_{th} および S 係数のチャンネル厚依存 ((a) PMOS, (b) NMOS)

Fig. 6. T_{Si} dependence of V_{th} and S for fabricated (a) PMOS and (b) NMOS vertical DG-MOSFETs.

る⁽⁵⁾。NMOS と PMOS の電流駆動力のバランスは、アナログ/デジタル混載 CMOS 回路動特性にとって有効であることが報告されており⁽⁶⁾、この観点において、(111)面チャンネルは、当該素子に動特性上の長所をもたらす。一方、縦型構造に起因した S-G 間のオーバーラップ容量は、動特性上の短所となる。該オーバーラップ容量の低減には、S-G 間酸化膜厚の厚膜化、サイド DG 横幅寸法の低減、といった対策が有効である。先述の様に、S-G 間の酸化膜厚は不純物注入に基づく増速酸化現象により側壁ゲート酸化膜厚よりわずかに厚くなっているが、低温ウェット酸化⁽⁷⁾を用いることで更なる厚膜化が可能である。一方、サイド DG の横幅寸法の低減は、ゲート材料堆積時の膜厚薄層化により可能である。

5. 非対称仕事関数 DG 導入による縦型 DG-MOSFET のしきい値電圧調整

DG-MOSFET の V_{th} は、ゲート酸化膜厚には依らず、不純物濃度と DG 仕事関数(ϕ_m)で決定される。チャンネル厚が十分に薄い場合は、不純物濃度の依存性も小さくなり、結果として DG の ϕ_m のみで V_{th} が決定されることになる。通常の CMOS プロセスでよく使用されている n^+ -ポリ Si を NMOS に用いた場合、図6でも明らかのように V_{th} はマイナスの値となる。一方、 p^+ -ポリ Si を用いた場合は、プラスに転じるが絶対値が大きな値となる。すなわち、DG-MOSFET にポリ Si ゲートを用いると、回路应用到した V_{th} を得ることができない。これ故、DG-MOSFET において、DG の ϕ_m 調整が極めて大きな課題となっている。適した ϕ_m を有する金属を DG に用いることが理想ではあるが、CMOS プロセスとの親和性などの観点から金属ゲートの導入は容易ではない。そこで、本研究では、一方のゲートが n^+ -ポリ Si、他方のゲートが p^+ -ポリ Si という、 ϕ_m が非対称な DG を導入することで V_{th} の調整を試みた⁽⁸⁾。縦型 DG-MOSFET では、図7に示すように、その構造上の特徴から非対称 ϕ_m -DG の導入が容易に可能となる。IBRE 法により縦型極薄チャンネルを形成した後、側壁チャンネル上にゲート酸化膜および無添加ポリ Si を堆積する(図7(a)-(c))。そ

の後、傾斜イオン注入により、一方のゲートに n 型不純物を、他方のゲートに p 型不純物を導入する(図 7(d))。不純物添加後、通常の MOSFET におけるサイドウォールスペース形成法と同様な RIE によるエッチバックプロセスを用いて、チャンネルに対し自己整合的にサイド DG を形成する(図

図 7 縦型非対称仕事関数 DG-MOSFET 作製法

Fig. 7. Process flow for vertical-type, asymmetric workfunction DG-MOSFET fabrication.

図 8 作製した縦型非対称仕事関数 DG-MOSFET (a)模式図および(b)断面 SEM 写真

Fig. 8. (a) Schematic and (b) XSEM image of fabricated vertical-type, asymmetric workfunction DG-MOSFET.

図 9 作製した縦型非対称仕事関数 DG-MOSFET の V_{th} のチャンネル厚依存

Fig. 9. T_{si} dependence of V_{th} for fabricated vertical-type asymmetric workfunction DG-MOSFETs.

7(e))。図 8 に、作製した非対称 ϕ_m -DG-MOSFET 断面 SEM 像を示す。図 9 に、NMOS 非対称 ϕ_m -DG-MOSFET の V_{th} のチャンネル厚依存を示す。比較のため、両方のゲートに n^+ -ポリ Si を用いた NMOS の結果も示す。結果より、非対称 ϕ_m -DG の導入により、 n^+ -ポリ Si-DG の場合に比べて V_{th} がプラスにシフトしていることがわかる。チャンネル厚最薄のもので、 n^+ -ポリ Si-DG では決して得ることができない、適切な $V_{th}(=+0.1V)$ が得られている。解析的には、非対称 ϕ_m -DG 導入に伴う V_{th} シフト量(ΔV_{th})は以下のように表される。

$$\Delta V_{th} = \{3T_{ox}/(6T_{ox} + T_{Si})\} \Delta \phi_{m(p+/n+)}/q \quad \dots\dots\dots (1)$$

ここで、 $\Delta \phi_{m(p+/n+)}$ は n^+ -ポリ Si と p^+ -ポリ Si の仕事関数差である。図 9 には、式(1)から求められた V_{th} と、シミュレーションから求められた V_{th} も同時に示している。実験結果はいずれの結果とも良い一致を示している。以上のように、縦型 DG-MOSFET では、非対称 ϕ_m -DG の導入とそれによる V_{th} 制御が容易に可能となる。この容易性は縦型構造に起因するものであり、縦型 DG-MOSFET ならではの大きな利点の一つである。

6. V_{th} を自在に制御可能な縦型 4 端子 DG-MOSFET

これまで見てきた通り、DG-MOSFET では DG 同時駆動により理想的な S 係数($\sim 60mV/dec.$)が得られる。さらに、DG を独立に制御可能とすると、素子作製後に自在な V_{th} 制御が可能となる。我々は、この V_{th} 制御可能な DG-MOSFET(S, D, G1, G2 の 4 端子を有することから 4 端子 DG-MOSFET と呼ぶ)が、今後ますます深刻さを増す LSI 発熱問題の解決策となり得ると考えている。縦型 DG-MOSFET では、ゲートパターンレイアウトの工夫のみで、容易に 4 端子化が可能となる⁽⁹⁾。図 10(a)に示すように、通常(3 端子)の場合は、縦型チャンネル端に一つのゲートコンタクトパッドを設けている。一方、4 端子の場合には、図 10(b)に示すように、縦型チャンネルを境に二つのゲートコンタクトパッドを設ける。このレイアウトにより、ゲートエッチバック後に、DG は縦型チャンネルとアクティブタブが接

図 10 (a)3 端子および(b)4 端子縦型 DG-MOSFET のゲートパッドレイアウト

Fig. 10. Gate pad layouts for (a) 3-terminal and (b) 4-terminal vertical DG-MOSFETs.

図 11 作製した縦型 4 端子 DG-MOSFET

(a)模式図および(b)断面 STEM 写真

Fig. 11. (a) Schematic and (b) XTEM image of fabricated vertical 4-terminal DG-MOSFET.

図 12 作製した縦型 4 端子 DG-MOSFET の

(a) I_d - V_{g1} 特性および (b) I_d - V_d 特性

Fig. 12. (a) I_d - V_{g1} and (b) I_d - V_d characteristics for fabricated vertical 4-terminal DG-MOSFETs.

するところで分離し、アクティブタブ壁沿いを伝ってそれぞれ独立したゲートコンタクトパッドに接続されることになる。図 11 に、作製した縦型 4 端子 DG-MOSFET の断面 TEM 像を示す。構造的には、これまでの DG-MOSFET と変化はないが、この場合、左右のゲートはそれぞれ電氣的に独立している。図 12 に、作製した PMOS 縦型 4 端子 DG-MOSFET の I_d - V_{g1} および I_d - V_d 特性を示す。図 12(a) より、G2 側ゲート電圧(V_{g2})の調整により、G1 側 V_{th} (V_{thG1}) が自在に制御可能であることがわかる。結果として、 I_{off} の制御が可能となる。また、図 12(b) より、 V_{g2} 制御により I_{on} も自在に制御可能であることもわかる。通常のパルク SG-MOSFET や SOI-SG-MOSFET でも基板バイアス調整により V_{th} 調整は可能である。しかしながら、4 端子 DG-MOSFET には、1) V_{th} を正負いずれの方向にも制御可能である、2) 素子毎に V_{th} 制御が可能である、3) G2 の微細さより V_{th} 制御を高速に行える、という点で優位性がある。我々はこれまでに、4 端子 DG-MOSFET の V_{th} 制御性ならびに S 係数が、チャンネル厚、ゲート酸化膜厚、ゲート長のみならず DG の ϕ_m にも強く依存することをシミュレーションにより明らかにしている⁽¹⁰⁾。さらに、それらの依存性を基に最適な 4 端子 DG-MOSFET 構造も提案している⁽⁸⁾。現在、最適な構造を有する 4 端子 DG-MOSFET を開発中である。

7. まとめと今後の展開

DG-MOSFET は、今後の CMOS 微細化限界打破に必要な二つの条件、すなわち短チャネル効果に対し強靱で、かつ時間的・空間的に自在な V_{th} 制御が可能という、二つの特性を兼ね備えている。また、素子毎に V_{th} 制御が可能であるという DG-MOSFET ならではの特性は、今後ますます顕在化するであろう素子間の特性ばらつきの補正にも有効である。これらの点から、DG-MOSFET は今後の CMOS 微細化技術にとって極めて重要な役割を果たすと言える。今後は、本研究で開発した縦型 DG-MOSFET デバイス技術をさらに進化させて、普段は Cool(超低消費電力)で、ある時 Hot(超高速)な、Hot-and-Cool-Chip の実現を目指す予定である。

謝 辞

デバイス開発にあたり、石井賢一氏、坂本邦博氏、関川敏弘氏、金丸正剛氏、長尾昌善氏、大内真一氏(以上、産総研)の各位よりご支援・ご助言を頂戴いたしました。深く感謝の意を表します。

(平成 17 年 9 月 22 日受付, 平成 18 年 1 月 4 日再受付)

文 献

- (1) T. Sekigawa and Y. Hayashi : "Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate", *Solid-State Electron*, Vol.27, p.827 (1984)
- (2) D. Hisamoto, W. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T. King, J. Bokor, and C. Hu : "A folded-channel MOSFET for deep-sub-tenth micron era", *Tech. Dig. IEDM*, pp.1032-1034, San Francisco, USA (1998-12)
- (3) M. Masahara, T. Matsukawa, K. Ishii, Y. Liu, H. Tanoue, K. Sakamoto, T. Sekigawa, H. Yamauchi, S. Kanemaru, and E. Suzuki : "15-nm-thick Si channel wall vertical double-gate MOSFET", *Tech. Dig. IEDM*, pp.949-951, San Francisco, USA (2002-12)
- (4) J. M. Hergenrother, et al. : "The vertical replacement-gate (VRG) MOSFET", *Tech. Dig. IEDM*, pp.73-75, Washington, USA (1999-12)
- (5) M. Masahara, Y. X. Liu, S. Hosokawa, T. Matsukawa, K. Ishii, H. Tanoue, K. Sakamoto, T. Sekigawa, H. Yamauchi, S. Kanemaru, and E. Suzuki : "Ultrathin channel vertical double-gate MOSFET fabricated by using ion-bombardment-retarded Etching", *IEEE Trans. Electron Devices*, Vol.51, No.12, p.2078 (2004)
- (6) A. Teramoto, T. Hamada, H. Akahori, K. Nii, T. Suwa, K. Kotani, M. Hirayama, S. Sugawa, and T. Ohmi : "Low noise balanced-CMOS on Si(110) surface for Analog/Digital Mixed Signal Circuits", *Tech. Dig. IEDM*, pp.801-804, Washington, USA (2003-12)
- (7) H. Sunami : "Thermal oxidation of P-doped poly-Si in wet oxygen", *J. Electrochem. Soc.* 125, p.892 (1978)
- (8) M. Masahara, Y. X. Liu, K. Ishii, K. Sakamoto, T. Matsukawa, H. Tanoue, S. Kanemaru, and E. Suzuki : "Fabrication and characterization of vertical-type, self-aligned asymmetric DG-MOSFET", *Appl. Phys. Lett.*, Vol.86, p.123512 (2005)
- (9) M. Masahara, Y. Liu, T. Sekigawa, S. Hosokawa, K. Ishii, T. Matsukawa, H. Tanoue, K. Sakamoto, H. Yamauchi, S. Kanemaru, H. Koike, and E. Suzuki : "Demonstration of threshold voltage control technique for vertical-type 4-terminal double-gate MOSFETs", *Proc. European Solid-State Device*

Research Conf., pp.73-76, Leuven, Belgium (2004-9)

- (10) M. Masahara, Y. X. Liu, K. Sakamoto, K. Endo, T. Matsukawa, K. Ishii, T. Sekigawa, H. Yamauchi, H. Tanoue, S. Kanemaru, H. Koike, and Eiichi Suzuki : "Demonstration, analysis and device design considerations for independent DG-MOSFETs", IEEE Trans. Electron Devices, Vol.52, No.9, p.2046 (2005)

昌 原 明 植

(正員) 1967年6月12日生まれ。1995年早稲田大学理工学研究科博士課程修了，工学博士。早稲田大学助手，広島大学客員研究員，早稲田大学専任客員講師を経て，現在産業技術総合研究所エレクトロニクス研究部門主任研究員。主にマルチゲート MOSFET の研究に従事。VLSI 技術シンポジウム，MNC 論文委員。2005年7月より IMEC にて長期在外研究中。

柳 永 助

(非会員) 1961年3月6日生まれ。1999年東北大学大学院工学研究科博士課程終了，工学博士。同年東北大学工学部助手。2001年独立行政法人産業技術総合研究所エレクトロニクス研究部門主任研究員，現在に至る。ダブルゲート MOSFET の研究に従事。

遠 藤 和 彦

(非会員) 1968年9月12日生まれ。1993年早稲田大学理工学研究科修士課程修了。1999年工学博士。1993年より日本電気(株)シリコンシステム研究所勤務。1999年から2000年まで，スタンフォード大学客員研究員。2004年より，産業技術総合研究所エレクトロニクス研究部門研究員。マルチゲート MOSFET および多層配線プロセスの研究に従事。

松 川 貴

(非会員) 1969年2月3日生まれ。早稲田大学理工学研究科博士課程修了，工学博士。日本学術振興会特別研究員。早稲田大学助手を経て，現在産業技術総合研究所エレクトロニクス研究部門主任研究員。主にプローブ顕微鏡によるデバイス評価，メタルゲート材料探索に関する研究に従事。

鈴 木 英 一

(非会員) 1947年8月8日生まれ。1972年東京大学大学院工学系研究科電子工学専攻修士課程修了。同年通産省工業技術院電子技術総合研究所入所。現在，独立行政法人産業技術総合研究所エレクトロニクス研究部門副部門長，東京理科大客員教授，工学博士。ダブルゲート MOSFET 技術を中心とした次世代デバイス技術に関する研究に従事。