増大する微細 MOS トランジスタの特性ばらつき：現状と対策

非会員 平本 俊郎^{*,**} 非会員 竹内 潔^{**}
 非会員 西田 彰男^{**}

Variability in Scaled MOS Transistors: Present Status and Measures

Toshiro Hiramoto^{*,**}, Non-member, Kiyoshi Takeuchi^{**}, Non-member, Akio Nishida^{**}, Non-member

The present status of variability in characteristics of the state-of-the-art MOS transistors is presented. The statistics of threshold voltage of arrayed transistors show the normal distribution. Special emphasis is placed on the analysis of random threshold voltage fluctuations. A new method to compare the amount of random variations in different fabs and different technologies is proposed. Finally, the measures to the variability of scaled CMOS are discussed.

キーワード：MOSFET, ランダム不純物ゆらぎ, 特性ゆらぎ, しきい値電圧

Keywords: MOSFET, random dopant fluctuation, variation, threshold voltage

1. はじめに

VLSI を構成する MOS トランジスタは性能向上のため年々微細化されており、すでにゲート長は量産レベルで 50nm 程度以下にまで達している。トランジスタが微細化されるにつれ、特性ばらつき問題が顕著になってきた^{(1)~(11)}。全く同じサイズのトランジスタであっても、そのしきい値電圧 (V_{TH}) やドレイン電流が個々のトランジスタごとに異なる値を示すという現象である。その結果、個々のトランジスタは正常に動作しているにも拘わらず、回路が正常に動作しなかったり回路の動作マージンが著しく減少したりして製造歩留が急激に低下するなどの現象が引き起こされている。この特性ばらつきの問題は、微細化が進むとさらに顕在化する恐れがあることから、トランジスタの微細化限界を決定する要因となる可能性があり、その原因究明と対策は急務である。ところが、特性ばらつきを引き起こす原因は、原子レベルの離散的な不純物分布から半導体材料や製造装置まで多岐にわたっており、この問題を根本的に解決する有効な対応策は現在のところ明らかになっていない。

本論文では、まず最先端の微細トランジスタにおける特性ばらつきの現状について述べる。次に作製された工場が異なるトランジスタや世代の異なるトランジスタにおける

特性ばらつきを定量的に比較する新手法を紹介する。また、各種特性ばらつきごとの対策についても概説する。

2. トランジスタの特性ばらつきの現状

Fig. 1 に、最先端の 65nm 技術で作製された低消費電力トランジスタの特性ばらつきの一例を示す。1 チップ上に規則的に並べられた 100 万個のトランジスタのデータである。デバイスサイズが同一であるにも拘わらず、個々のトランジスタの特性は大きくばらついている。Fig. 1 (b)より、 V_{TH} はほぼ正規分布を示していることがわかる。この例では、 V_{TH} の標準偏差 σ は約 43mV である。最先端の大規模集積回路 (LSI) では、1 チップ上に 1 億個以上のトランジスタが搭載されており、最も特性のはずれたトランジスタは平均値から特性がおおよそ $\pm 6\sigma$ もずれることが知られている。一方、この低消費電力トランジスタの電源電圧は 1.2V である。6 σ で約 0.26V という V_{TH} のばらつき量と電源電圧を比較すると、すでに先端トランジスタの特性ばらつきは許容値ぎりぎりまで達していることがわかる。特に 6 個のトランジスタで構成されるスタティックメモリ (SRAM) は特性ばらつきの影響を受けやすく⁽¹²⁾、ロジック LSI の歩留低下をもたらしている。

一般にトランジスタの特性ばらつきは、空間分布の観点から「グローバル」ばらつきと「ローカル」ばらつきに分類される。また、規則性の観点から「システムティック」ばらつきと「ランダム」ばらつきに分類される。特性ばらつきの分類を Table 1 にまとめた。Fig.1 のデータは、1 チップ (6mm 角) という小さな領域内におけるシステムティック成分とランダム成分の両方を含んだ特性ばらつきデータ

* 東京大学生産技術研究所
〒153-8505 東京都目黒区駒場 4-6-1
Institute of Industrial Science, University of Tokyo
4-6-1 Komaba, Meguro-ku, Tokyo 153-8505

** MIRAI-Selete
〒305-8569 茨城県つくば市小野川 16-1
MIRAI-Selete
16-1 Onogawa, Tsukuba, Ibaraki 305-8569

Fig. 1. Examples of characteristic variations of NMOS transistors in the 65nm technology. Gate length L is 60nm and gate width W is 140nm. (a) I-V characteristics of 200 transistors in device matrix array of million transistors. (b) V_{TH} variations of 1 million transistors.

Table 1. Classification of Variations in Transistors.

Viewpoint	Classification
Spacial Distribution	Global Distribution (Inter-Die Distribution)
	Local Distribution (Within-Die Distribution)
Regularity	Systematic Distribution
	Random Distribution

Fig. 2. Separation of measured V_{TH} variations in device matrix array into systematic and random components. (a) Systematic component. (b) Random component.

である。そこで、Fig. 1 のデータを用いてトランジスタの V_{TH} ばらつきをシステムティック成分とランダム成分に分離した結果を Fig. 2 に示す。チップ内のシステムティック成分は 4 次多項式で近似できると仮定した⁽⁶⁾。チップ内でわずかにシステムティック成分が存在するものの、ほとんどがランダム成分であることがわかる。このように、最先端の 65nm 技術ではチップ内においてはランダム成分が支配的である。一方、チップ間やウェハ間でトランジスタ特性を比較すると、チップ内のランダム成分とは別にチップ間・ウェハ間の特性ばらつきが観測される⁽⁷⁾。以下では、主にランダムな特性ばらつきについて述べる。

3. 特性ばらつきの各種要因

Fig.3 に MOS トランジスタにおけるランダムな特性ばらつきの原因となりうる各種ばらつき要因を示す。 V_{TH} やドレイン電流などの電気的特性のランダムばらつきを引き起こす原因は、デバイスサイズや不純物濃度などの物理パラメータのランダムばらつきである。一般にデバイスサイズが大きくなると、局所的な物理パラメータのばらつきの影響は平均化されるので、電気的特性のばらつきは小さくなる。この平均化のされ方によって、物理パラメータばらつきは以下の 2 つに大別されると考えられる⁽⁸⁾。

(i) 面積成分：面積が大きくなるほど平均化される成分。すなわち、ゲート長が長くなってもゲート幅が広がっても平均化される。Fig. 1 に示したばらつき要因の中では、離散不純物揺らぎ、ゲート絶縁膜厚ゆらぎ、界面準位のゆらぎ、ゲートポリシリコンの局所空乏化などが相当する。

(ii) エッジ成分：面積ではなく、平均化の効果がゲート長あるいはゲート幅の一方のみに依存する成分。ゲート長ゆらぎ、ゲート幅揺らぎ、ゲート電極のラインエッジラフネス、歪みの揺らぎなどが相当する。

最先端の MOS トランジスタでは、ゲート長が極めて短く、ゲート長がわずかに揺らぐことによって電気的特性が大きく変化する。したがって、さらに微細化が進むとゲート長揺らぎやラインエッジラフネスなどのエッジ成分が支配的要因になると考えられている。しかし、65nm 技術ではゲート長は 50-60nm 程度あり、エッジ成分より面積成分が支配

Fig. 3. Possible causes of random fluctuations of characteristics in MOS transistors.

的であることがわかっている。その面積成分のなかでも、特に重要なランダムばらつき要因は、分散不純物揺らぎである^{(1)~(6)}。

4. 分散不純物ゆらぎと Pelgrom プロット

分散不純物揺らぎは、MOS トランジスタの空乏層中に不純物がランダムに離散的に分布しており、個々のトランジスタごとに不純物の個数や位置が異なるために引き起こされる V_{TH} のばらつきである。MOS トランジスタの V_{TH} は、

$$V_{TH} = V_{FB} + 2\phi_F + \frac{qN_{SUB}W_{DEP}}{C_{INV}} \quad (1)$$

で与えられる。ここで V_{FB} はフラットバンド電圧、 ϕ_F は真性半導体とのフェルミレベル差、 q は電荷素量、 N_{SUB} はチャネル不純物濃度、 W_{DEP} は空乏層幅、 C_{INV} は反転におけるゲート絶縁膜容量である。 $N_{SUB}W_{DEP}$ は空乏層中の単位面積あたりの不純物個数に相当するが、単純化するとこれがトランジスタごとにばらつくために V_{TH} もばらつく。一般に不純物個数はポアソン分布に従うことが知られており、簡単なモデルによれば分散不純物ゆらぎによる V_{TH} ばらつきの標準偏差 σ_{VTH} は、

$$\sigma_{VTH} = \frac{T_{INV}q}{\epsilon_{ox}} \sqrt{\frac{N_{SUB}W_{DEP}}{3}} \sqrt{\frac{1}{LW}} \quad (2)$$

で与えられる⁽⁴⁾。ここで L はゲート長、 W はゲート幅、 T_{INV} は反転における電氣的酸化膜厚である。この式から、 σ_{VTH} は $1/(LW)^{0.5}$ に比例することがわかる。その比例定数を A_{VT} とすると

$$A_{VT} = \frac{T_{INV}q}{\epsilon_{ox}} \sqrt{\frac{N_{SUB}W_{DEP}}{3}} \quad (3)$$

となる。 A_{VT} の単位は $[mV\mu m]$ である。(2)式から、トランジスタ面積が大きくなると、局所的なランダムばらつきは平均化されて σ_{VTH} は $1/(LW)^{0.5}$ に比例して小さくなることがわかる。

(2)式によると、トランジスタの L と W を変化させた場合、他のパラメータが同一であれば、縦軸に σ_{VTH} 、横軸に $1/(LW)^{0.5}$ をとるとデータは原点を通る直線上にのることになる。このようなプロットは一般に Pelgrom プロットと呼ばれ⁽⁹⁾、その直線の傾きは A_{VT} に相当する。(2)式は分散不純物による V_{TH} ばらつきの単純モデルであるが、分散不純物以外のばらつき要因が存在する場合でも、そのばらつき要因が前節の面積成分であれば Pelgrom プロットは直線になることが証明されている⁽⁹⁾。この場合、他のばらつき要因が増えると測定される A_{VT} は大きくなる。

65nm 技術で作製したトランジスタの Pelgrom プロットの例を Fig. 4(a)に示す。この図には、 T_{INV} を 3 種類変化させた場合をプロットした。 T_{INV} が同一であれば、(2)式のとおりデータは直線上にのっていることがわかる。すなわちトランジスタサイズが大きくなると平均化の効果により σ_{VTH} は $1/(LW)^{0.5}$ に比例して小さくなる。また、 T_{INV} が薄いほど

Fig. 4. Measured V_{TH} fluctuations of MOS transistors by the 65nm technology. (a) Pelgrom plot. Devices with three different T_{INV} are plotted. (b) Proposed Takeuchi plot with the same data as (a).

Pelgrom プロットの傾きが小さくなる (A_{VT} が小さくなる) ことも(3)式から理解できる。

5. 異なるトランジスタの特性ばらつき比較法

従来、MOS トランジスタの特性ばらつきの評価にあたっては Pelgrom プロットが多く用いられ、特性ばらつきの大きさはその傾き A_{VT} の値で評価されることが多かった。 A_{VT} の値が小さいほど、同じトランジスタサイズでも V_{TH} ばらつきが小さいため、ばらつきが抑制されたプロセスであると論じることが多かった。確かに Pelgrom プロットは、トランジスタサイズの違いを正規化しているため、同一のプロセスで作製したトランジスタのばらつき評価法としては非常に優れた方法である。ところが、(3)式からわかるとおり、 A_{VT} は T_{INV} に比例する。さらに、 A_{VT} は N_{SUB} にも依存する。したがって、異なるプロセスで作製したトランジスタを比較する場合、 T_{INV} や N_{SUB} が異なるときには仮に A_{VT} が小さいとしてもそのトランジスタの特性ばらつきが小さいとは判断できず、 A_{VT} は特性ばらつきの大小を評価する指標とは言い難い。トランジスタの特性ばらつきを定量的に比較す

るためには、 T_{INV} や N_{SUB} の違いを正規化する新手法が求められる。

そこで、プロセスによる違いを正規化する新手法を提案した⁽¹⁰⁾⁽¹¹⁾。 T_{INV} は直接測定することができるが、一般に N_{SUB} を測定することは難しい。そこで、正規化にあたっては、直接測定が可能な V_{TH} を用いた。(1)式において、不純物濃度で決まる V_{TH} 成分は第3項であり、離散不純物によってこの項がゆらぐため V_{TH} がばらつく。ゲート電極がポリシリコンの場合、この第3項は、

$$\frac{qN_{SUB}W_{DEP}}{C_{INV}} = V_{TH} - (V_{FB} + 2\phi_F) = V_{TH} + 0.1 \quad \cdots \cdots (4)$$

で表される。これを(2)式に代入して変形すると、

$$\sigma_{V_{TH}} = \sqrt{\frac{q}{3\epsilon_{ox}}} \sqrt{\frac{T_{INV}(V_{TH} + 0.1V)}{LW}} \quad \cdots \cdots (5)$$

を得る。この簡単な解析式によれば、ばらつき要因が離散不純物揺らぎであれば、Pelgrom プロットの横軸を $1/(LW)^{0.5}$ から $(T_{INV}(V_{TH} + 0.1)/LW)^{0.5}$ に変えてもプロットは直線になることが予想される。その傾きを B_{VT} とすると、 B_{VT} の解析式は、

$$B_{VT} = \sqrt{\frac{q}{3\epsilon_{ox}}} \quad \cdots \cdots (6)$$

で与えられる。 B_{VT} の単位は $[mV\mu m/(nmV)^{0.5}]$ である（以下では簡単のため単位を省略する）。このようなプロットを Takeuchi プロットと呼ぶことにする⁽¹⁰⁾⁽¹¹⁾。Takeuchi プロットでは、 T_{INV} の違い、および T_{INV} または N_{SUB} が異なることによる V_{TH} の違いが正規化される。

Fig. 4(b)に Takeuchi プロットを示す。用いたデータは Fig. 4(a)と全く同じである。Pelgrom プロットでは3本に分かれていた直線が Takeuchi プロットではすべて1直線にのり、 T_{INV} の違いが正規化されていることがわかる。Takeuchi プロットの傾き B_{VT} は、ランダムな V_{TH} ばらつき量を定量的に表す指標であると考えられ、 B_{VT} の大小によりプロセスによるランダム特性ばらつきの量を比較することが可能となった。

単純なモデルに基づく(6)式によれば、 B_{VT} の理論値は1.24であるが、不純物の位置ばらつきまで考慮した三次元シミュレーションの結果によると離散不純物ゆらぎのみを考慮した場合の B_{VT} の理想値は約1.6であることがわかって⁽¹¹⁾。一方、世代の異なるトランジスタや複数の工場で作られたトランジスタを Takeuchi プロットにより評価したところ、PMOS の B_{VT} の実測値はいずれも約1.7程度であった⁽¹¹⁾。したがって、PMOS のランダムばらつきの原因は離散不純物が支配的であることがわかる⁽¹¹⁾。ところが、NMOS の B_{VT} は2.5以上と大きく⁽¹¹⁾、NMOS には離散不純物ゆらぎ以外のばらつき要因が存在することが示唆される⁽¹¹⁾。NMOS の余分なばらつき要因は現在のところ不明であり、一刻も早い原因究明が望まれている。

Table 2. Possible Measures to Variability.

Issues		Possible Measures
Inter-die distribution		Adaptive Vth control by back-bias
Intra-die distribution	Random distribution	Long-stage logic circuits (averaged out) FD SOI MOSFETs with intrinsic channel and extremely thin BOX
	Systematic distribution	Origins to be thoroughly clarified and modeled for compensation
Memory		Another design

6. 特性ばらつき対策

最後に、特性ばらつき対策について簡単に述べる。先に述べたとおり微細トランジスタの特性ばらつきはさまざまな要素があり、それぞれのばらつき要因の特徴によって最善の対策法はそれぞれ異なる。表2に特性ばらつき対策を纏めた。

まず、チップ間ばらつき対策としては、基板バイアス印加による適応的な V_{th} 制御が極めて有効である⁽¹³⁾⁽¹⁴⁾。チップ作製後に V_{th} やリーク電流をモニターし、それに応じて適切な基板バイアスを印加して適正な V_{th} に調整する。 V_{th} 制御を効率よく行うためには、基板バイアス係数 γ がある程度以上の大きさでなければならない。一般に γ は微細化とともに小さくなることが知られている。 γ の値を確保するデバイス設計が必須である⁽¹⁴⁾。

この基板バイアス印加法は、チップ間で異なる V_{TH} の平均値のばらつき対策としては有効であるが、チップ内のランダムばらつきに対しては無効である。しかし、もし特性ばらつきがランダムで正規分布（すなわちシステムティック成分が無視できる場合）であれば、ロジック回路の遅延のばらつきは平均化の効果により抑制される。回路には多数のトランジスタが用いられており、回路内には V_{TH} が高いトランジスタと低いトランジスタが混在しているからである。チップのスタンバイ電力も平均化の効果である程度抑制されることがわかっている⁽¹⁵⁾。このことから、ロジック回路においてはランダムばらつきの影響は大きくないことがわかる。一方、チップ内に特性ばらつきのシステムティック成分が存在する場合は、平均化の効果は期待できない。システムティック成分は極力抑制するか、原因究明をして事前に予測可能とする必要があることがわかる。予測可能であれば、さまざまな方法でシステムティックばらつきを補償することが可能である。

しかし、メモリにおいては、ごく少数のトランジスタで速度等の性能が決定されるため、ランダムな特性ばらつきはほとんど平均化されない⁽¹²⁾。したがって、メモリについてはロジック回路のばらつき対策とは別の方策が要求される。SRAM をはじめとするメモリの特性ばらつき対策は喫緊の課題である。

7. ま と め

最先端の 65nm 技術による MOS トランジスタの特性ばらつきの現状をまとめた。しきい値電圧はほぼ正規分布でばらついており、その標準偏差は 40mV 以上にも達する場合がある。異なるプロセスによる特性ばらつきを比較するための新手法を開発した。また、それぞれにばらつき要因にたいする対策をまとめた。MOS トランジスタがさらに微細化され LSI が発展するためには、この特性ばらつき問題は避けて通れない重要な技術課題である。ナノレベルの科学を結集して原因究明と対策を進める必要がある。

謝 辞

半導体 MIRAI プロジェクト・ロバストトランジスタプログラムにてデータの取得および有益な議論をしていただいた Selete の角村貴昭氏、蒲原史郎氏、東京大学のアリフィン・タムシル・プトラ氏、広島市立大学の寺田和夫教授に深く感謝いたします。本研究の一部は、NEDO より Selete に委託された MIRAI プロジェクトの一環として実施された。また、本研究の一部は、文部科学省科学研究費補助金特定領域研究の援助を受けた。

(平成 20 年 1 月 31 日受付)

文 献

- (1) T. Mizuno, J. Okamura, and A. Toriumi : "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs", *IEEE Trans. Electron Devices*, Vol.41, No.11, pp.2216-2221 (1994)
- (2) P. A. Stolk, F. P. Widdershoven, and D. B. M. Klaassen : "Modeling statistical dopant fluctuations in MOS transistors", *IEEE Trans. Electron Devices*, Vol.45, No.9, pp.1960-1971 (1998)
- (3) A. Asenov : "Suppression of random dopant-induced threshold voltage fluctuations in sub-0.1- μm MOSFETs with epitaxial and δ -doped channels", *IEEE Trans. Electron Devices*, Vol.46, No.8, pp.1718-1724 (1999)
- (4) K. Takeuchi, T. Tatsumi, and A. Furukawa : "Channel Engineering for the Reduction of Random-Dopant-Placement-Induced Threshold Voltage Fluctuation", *Int. Electron Devices Meeting (IEDM)*, pp.841-845 (1997)
- (5) Y. Yasuda, M. Takamiya, and T. Hiramoto : "Separation of Effects of Statistical Impurity Number Fluctuations and Position Distribution on Vth Fluctuations in Scaled MOSFETs", *IEEE Trans. Electron Devices*, Vol.47, No.10, pp.1838-1842 (2000)
- (6) M. Aoki, S. Ohkawa, and H. Masuda : "Design Guidelines and Process Quality Improvement for Treatment of Device Variations in an LSI Chip", *IEICE Trans. Electronics*, Vol.E88-C, No.5, pp.788-795 (2005)
- (7) M. Kanno, A. Shibuya, M. Matsumura, K. Tamura, H. Tsuno, S. Mori, Y. Fukuzaki, T. Gocho, H. Ansai, and N. Nagashima : *VLSI Symposium on Technology*, pp.88-89 (2007)
- (8) A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto : "Random Vth Variation Induced by Gate Edge Fluctuations in Nanoscale MOSFETs", *Silicon Nanoelectronics Workshop*, pp.73-74 (2007)
- (9) M. P. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers : *IEEE J. Solid-State Circuits*, Vol.24, No.5, pp.1433-1440 (1989)

- (10) K. Takeuchi, A. Nishida, and T. Hiramoto : "Normalization of Random Threshold Voltage Fluctuation for Fair Comparison between Technologies, Process Conditions and Device Designs", *Silicon Nanoelectronics Workshop*, pp.7-8 (2007)
- (11) K. Takeuchi, T. Fukai, T. Tsunomura, A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto : "Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies", *International Electron Devices Meeting (IEDM)*, pp.467-470 (2007)
- (12) F. Tachibana and T. Hiramoto : "Re-examination of Impact of Intrinsic Dopant Fluctuations on SRAM Static Noise Margin", *Jpn. J. Appl. Phys.*, Vol.44, No.4B, pp.2147-2151 (2005)
- (13) T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshida, K. Suzuki, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu, and T. Sakurai : "A 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme", *IEEE J. Solid-State Circuits*, Vol.31, No.11, pp.1770-1779 (1996)
- (14) T. Hiramoto, T. Saito, and T. Nagumo : "Future Electron Devices and SOI Technology - Semi-Planar SOI MOSFETs with Sufficient Body Effect -", *Jpn. J. Appl. Phys.*, Vol.42, No.4B, pp.1975-1978 (2003)
- (15) Q. Liu, T. Sakurai, and T. Hiramoto : "Optimum Device Consideration for Standby Power Reduction Scheme Using Drain Induced Barrier Lowering (DIBL)", *Jpn. J. Appl. Phys.*, Vol.42, No.4B, pp.2171-2175 (2003)

平 本 俊 郎

(非会員) 1984 年 3 月東京大学工学部電子工学科卒業。1989 年 3 月同大学院電子工学専攻博士課程修了。同年 4 月 (株) 日立製作所デバイス開発センタ入社。1994 年 4 月東京大学生産技術研究所助教授。2002 年 4 月同教授。2006 年 4 月から半導体 MIRAI プロジェクト・ロバストトランジスタプログラムテーマリーダーを兼務。超低消費電力 CMOS デバイス、微細 CMOS

の特性ばらつき、極薄 SOI トランジスタのデバイス物理、シリコンナノワイヤトランジスタ、シリコン単電子トランジスタなどの研究に従事。

竹 内 潔

(非会員) 1984 年 3 月東京大学工学部電気工学科卒業。1989 年 3 月同大学院電子工学専攻博士課程修了。同年 4 月日本電気 (株) 入社。2006 年 4 月から半導体 MIRAI プロジェクト・ロバストトランジスタプログラム兼務。微細 CMOS デバイスの設計、評価、モデリング、およびばらつき考慮回路設計手法などの研究に従事。

西 田 彰 男

(非会員) 1989 年 3 月法政大学大学院電子工学研究科修了。同年 4 月 (株) 日立製作所中央研究所入社。2003 年 4 月 (株) ルネサステクノロジへ転籍。超高速 SRAM、低消費 SRAM、先端 SOC の製品開発に従事。2006 年 4 月から (株) 半導体先端テクノロジーズへ出向し、半導体 MIRAI プロジェクト・ロバストトランジスタプログラムに従事。工学博士。