二重素子循環法による $\Delta\Sigma$ D/A 変換器のデジタルトリミング手法

正員 北川 洋之* 非会員 小林 俊雄*
正員 松谷 康之*

Digital Trimming Method Using Double DWA as $\Delta\Sigma$ D/A converter

Hiroyuki Kitagawa*, Member, Toshio Kobayashi*, Non-member, Yasuyuki Matsuya*, Member

When sigma-delta digital to analogue converter that has multi bit DAC is used, because of the mismatches of elements in output DAC, the non-linearity occur to output. And non-linearity lower S/N and the accuracy of conversion go bad. These mismatches occur at manufacturing process, so we cannot avoid the non-linearity as far as we use multi bit DAC. Then “The Dynamic Element Matching” technique is proposed as a means to ease this deterioration. In order to ease the deterioration of accuracy, I propose digital trimming method using a Double DWA as $\Delta\Sigma$ D/A converter.

This paper shows that we can improve S/N about 10dB with the proposed technique (Double DWA and digital trimming) compared with conventional DWA, on the simulation.

キーワード：素子循環法，ダイナミックエレメントマッチング，デジタルトリミング， $\Delta\Sigma$ D/A 変換器

Keywords：Data weighted averaging, Dynamic element matching, digital trimming, Sigma-delta D/A converter

1. まえがき

$\Delta\Sigma$ D/A 変換器はオーバーサンプリングとノイズシェーピングによって高精度な D/A 変換を実現する。近年では低い OSR で高分解能を得るために $\Delta\Sigma$ D/A 変換器の出力 DAC に多 bit DAC を用いる手法が広まってきている。例として 5 値量子化による $\Delta\Sigma$ D/A 変換器のアーキテクチャを図 1 に示す。

しかし多 bit 出力 DAC を構成する素子の製造バラツキによって発生する非線形性はシェーピングされないために $\Delta\Sigma$ D/A 変換器の S/N 特性を劣化させてしまうという問題が生じる。この非線形性を改善するため DAC 前段にデジタル処理によるダイナミックエレメントマッチングを行う Data Weighted Averaging (DWA) が提案されている⁽²⁾。

本論文では、二重に DWA を行ない、さらにデジタルトリミングを組み合わせた Double DWA (DDWA) を提案する。DDWA により、DWA と比較して 10dB 程度の精度向上がはかれることをシミュレーションで確認し、DDWA の有用性を明らかにした。

2. DDWA によるデジタルトリミング

素子数が 4 つの場合の DDWA のスイッチ接続の選択アル

図 1 $\Delta\Sigma$ DA 変換器のアーキテクチャ

Fig. 1. Architecture of sigma-delta D/A converter

ゴリズムを図 2 に示す。1 サンプル時間を 2 分割し、前半で電圧 x_a を、後半で電圧 x_b を発生する。各々のスイッチ接続の選択アルゴリズムは DWA と同様であるが、 x_b のスイッチ接続の選択位置は x_a に対し故意に d 個ずらしている。DAC 出力にハイパスシェーピングされた雑音を除去するための Low-pass filter を挿入すると 1 サンプル時間内での出力電圧は平均化される。

DDWA によって信号帯域に広がる DAC 非線形ノイズはハイパスシェーピングを受け S/N は改善される。例として図 1 における $R_1 \sim R_4$ に $\pm 10\%$ の範囲でランダムに誤差を与え、2kHz 正弦波を D/A 変換した場合の出力スペクトラムを

* 青山学院大学大学院理工学研究科理工学専攻電気電子工学コース松谷研究室
〒229-0006 神奈川県相模原市淵野辺 5-10-1 Matsuya Labs.,
5-10-1 Fuchinobe Sagami-hara-city, Kanagawa-prefecture 229-0006

図2 DDWA スイッチ選択順序
Fig. 2. Order of DDWA's selecting switch

図3 DDWA 使用時の出力スペクトラム
Fig. 3. Spectrum of output by DDWA

図3に示す。ここでは d の値は1としている。

この x_a と x_b のスイッチ接続の選択開始位置のずれ d を変化させると一種類の誤差に対して数種類の S/N を得ることができる。その一例を図4に示す。図中の ΔR は抵抗の理想値からの差を示している。図4は、DDWAを行う際に素子の製造誤差に対応して最も高い S/N が得られる d 値を設定することで S/N のデジタルトリミングが可能になることを示している。

3. シミュレーション結果

図1に示す4bit サーマルコード出力64倍オーバーサンプリング3次 $\Delta\Sigma$ D/A変換器(理想 $S/N:116\text{dB}$)の出力DACにおける、 $R_1 \sim R_4$ の抵抗に理想値 $\pm 10\%$ の誤差を一様乱数により与える。従来のDWAとDDWA+トリミングに対し1000回のモンテカルロ法により S/N の分布を求めた。図5にDWAとDDWAの S/N 分布を示した。また、サーマルコードを6bitとし素子数を6つとした場合のDWAとDDWAの S/N 分布を図6に示す。

素子数が4つの場合、6つの場合ともにDDWAによる S/N 分布の 2σ はDWAの分布と比較して約10dB改善されてい

Value	d	$d=1$	$d=2$	$d=3$	trimming
$\Delta R_1 = -0.064$ $\Delta R_2 = +0.080$ $\Delta R_3 = -0.059$ $\Delta R_4 = +0.097$		$S/N=106$	$S/N=80.1$	$S/N=105$	$S/N=106$
$\Delta R_1 = +0.082$ $\Delta R_2 = +0.094$ $\Delta R_3 = -0.093$ $\Delta R_4 = -0.092$		$S/N=86.2$	$S/N=109$	$S/N=84.9$	$S/N=109$
$\Delta R_1 = +0.031$ $\Delta R_2 = -0.029$ $\Delta R_3 = +0.027$ $\Delta R_4 = -0.046$		$S/N=107$	$S/N=83.5$	$S/N=108$	$S/N=108$

図4 d 値と S/N の関係
Fig. 4. Relationship between d and S/N

図5 DWA, DDWA の S/N 分布(素子数=4)
Fig. 5. S/N distribution by DWA and DDWA (The number of elements=4)

図6 DWA, DDWA の S/N 分布(素子数=6)
Fig. 6. S/N distribution by DWA and DDWA (The number of elements=6)

ることが確認できる。

4. むすび

DWAを二重に行いスイッチ接続の選択位置をデジタル的にトリミングすることにより、素子ばらつきによる S/N 劣化に対し従来のDWAより優れた劣化緩和効果を示すことをシミュレーションにより明らかにした。

(平成20年11月25日受付, 平成21年2月27日再受付)

文 献

- (1) S. R. Norsworthy and G. C. Temes (editors): "Delta-Sigma Data Converters", - Theory, Design and Simulation, IEEE Press (1977)
- (2) R. T. Baird and T. S. Fiez: "Improved $\Delta\Sigma$ DAC linearity using data weighted averaging", proceedings of the 1995 IEEE International Symposium on Circuits and Systems, Vol.1, pp.13-16 (1995-5)