車載用パワー MOSFET のデバイス シミュレーション

正員 伊藤 豊喜 (日本電装)

正員 山岡 正美 (日本電装)

非会員 都築 幸夫 (日本電装)

非会員 近藤 和彦 (日本電装)

1. ま え が き

車載用パワー MOSFET は、従来の機械式リレーに置き換わるスイッチング素子として注目され、開発が進められている。パワー MOSFET を車載用として用いるためには、二つの課題、すなわち、低オン抵抗化とともに耐圧の設計を明確にしなければならない。

低オン抵抗化を実現するには、pチャネルMOSFETよりも、移動度の高いnチャネル MOSFETの方が適する。しかし、車体側にドレインを接地する車載用の MOSFET の場合、nチャネル MOSFET では、ソースに与える負の電源を新たに設けなければならない。この負の電源を作り出すポンプ回路とnチャネル MOSFET を組合せ、それらを1チップ化した車載用 IC の開発が報告されている⁽¹⁾。一方、pチャネル MOSFET を用いると、ソースは正の電源をそのまま使えばよいので、ポンプ回路など周辺回路が不要となる。しかし、これまで、車載用として使用できるほど低オン抵抗のpチャネルパワー MOSFET は発表されていない。

車載用のパワー MOSFET に要求される耐圧は、60-100 V 程度であり、パワー MOSFET としては低耐圧の部類にはいる。耐圧を上げるには、バルクのエピタキシャル層を厚くすればよいが、これは逆にオン抵抗の増加をもたらす。従って、耐圧向上と低オン抵抗化とは相反する課題となる。また、車載用パワー

MOSFET は、イグニッションサージやオルタネータサージなどの各種サージの影響を頻繁に受ける⁽²⁾。サージに対して素子の破壊を防ぐには、MOSFET のブレイクダウンを常に安全な場所で起こさなければならない。ブレイクダウンのメカニズムを明確にすることも設計上重要である。

以上のような背景から、筆者らは、車載用パワー MOSFET として、周辺回路が不要なことを重視して、あえて移動度の低いpチャネル MOSFET を選び、素子の構造設計によって低オン抵抗化を図り、また、耐圧を決定するメカニズムを明確化することによって、要求耐圧を満たす素子の設計を図ることとした。そして、これら素子設計をするためのツールとして、半導体デバイスシミュレータを開発した。シミュレータは、パワー MOSFET の低電圧の電流電圧特性から高電圧のブレイクダウンに至るまでを計算する。

この論文では、開発した2次元定常デバイスシミュレータ「DS2」とその車載用パワー MOSFET 設計への適用結果を報告する。そして、パワー MOSFET を構成する素子の微細化が、低オン抵抗化だけではなく耐圧向上にも有効であることを示す。更に素子の微細化をパラメータとした計算により、パワー MOSFET の耐圧を決定するメカニズムに、反転層からのアバランシェ、リーチスルーおよびパンチスルーの3種類が起こりうることを示す。この中で、特に反転層からのアバランシェは、ホットエレクトロンや熱破壊の原因となるので、各種サージの影響下にある車載用パワー MOSFET の設計にあたっては避けなければならない現象である。

2. 基礎方程式

半導体素子の基本方程式として、(1)式のポアソン

Semiconductor Device Simulation of Power MOSFET for Automotive Application. By Toyoki Ito, Member, Masami Yamaoka, Member, Yukio Tsuzuki, Non member & Kazuhiko Kondo, Non member (Nippondenso Co., Ltd.)

伊藤豊喜: 正員, 日本電装株式会社技術管理部
山岡正美: 正員, 日本電装株式会社 IC 技術部
都築幸夫: 非会員, 日本電装株式会社 IC 技術部
近藤和彦: 非会員, 日本電装株式会社技術管理部

式、(2)(3)式のそれぞれ正孔および電子電流の定常連続式を対象とする。

$$0 = -\nabla \varepsilon \nabla \phi - q(N_D - N_A + p - n) \dots (1)$$

$$0 = -\nabla \frac{J_p}{q} + G - R; \quad \frac{J_p}{q} = -D_p \nabla p - \mu_p p \nabla \phi \dots (2)$$

$$0 = \nabla \frac{J_n}{q} + G - R; \quad \frac{J_n}{q} = D_n \nabla n - \mu_n n \nabla \phi \dots (3)$$

ここで、 ϕ : 静電ポテンシャル、 p : 正孔密度、 n : 電子密度、 ε : 誘電率、 q : 単位電荷、 N_D : ドナー濃度、 N_A : アクセプタ濃度、 J_p : 正孔電流密度、 J_n : 電子電流密度、 G : キャリア生成速度、 R : キャリア再結合速度、 D_p : 正孔拡散係数、 D_n : 電子拡散係数、 μ_p : 正孔移動度、 μ_n : 電子移動度である。キャリア生成速度はイオンインパクト生成モデル⁽³⁾、キャリア再結合速度はSRHモデル⁽³⁾、そして移動度は不純物濃度、縦電界および横電界依存性を含めたモデル⁽⁴⁾を用いた。

境界条件は電極ではオーミック接合とし、(4)(5)式を用いる。

$$\phi = V_{app} + \frac{k_B T}{q} \sinh^{-1} \frac{N_D - N_A}{2n_i} \dots (4)$$

$$\frac{p}{n_i} = \left(\frac{n}{n_i} \right)^{-1} = \exp \frac{q}{k_B T} (V_{app} - \phi) \dots (5)$$

素子端では、電束および電流が外に漏れない条件(6)(7)式を用いる。

$$\mathbf{n} \cdot \nabla \phi = 0 \dots (6)$$

$$\mathbf{n} \cdot \mathbf{J}_p = \mathbf{n} \cdot \mathbf{J}_n = 0 \dots (7)$$

ここで、 V_{app} : 印加電圧、 n_i : 真性キャリア密度、 k_B : ボルツマン定数、 T : 絶対温度、 $\mathbf{n}$: 素子端法線ベクトルである。境界条件(6)(7)式は解析対象領域とその隣の素子との間では対称条件でもある。また、酸化膜-半導体界面では、(7)式のみを与える。

3. 基礎方程式の数値解法

基礎方程式(1)(2)(3)は、 ϕ 、 p 、および n が未知変数である。変数変換によって偽フェルミレベル⁽⁵⁾あるいはその指数関数などを未知変数として定式化も可能である。しかし、変数の選び方によっては、電圧を上げていったとき、計算機のハードウェア上の制限から指数部オーバフローを起こす場合がある。パワーMOSFETの耐圧の計算では高電圧まで扱う必要のあることから、DS2では指数部オーバフローのない ϕ pnを未知変数に選んだ。そして電流方程式の安定化のために積分形のコントロールボリューム法⁽⁶⁾⁽⁷⁾を用いて離散化した。

離散化された基礎方程式の数値解法としては、 ϕ 、 p および n のそれぞれの方程式を順に解くGummelの逐次反復法⁽⁸⁾と、これら三つを連立させて解く同時反復法がある。逐次反復法は低電圧では計算時間で優るが、非線形性が強くなると収束しにくくなることが知られている。パワーMOSFETの耐圧計算では、非線形性の強い高電界下のアバランシェを扱わなければならないので計算の安定性に優る同時反復法を用いた。

同時反復法から導き出される線形方程式の係数マトリクスは非対称となる。非対称線形方程式の解法としてはPBCG法など⁽⁹⁾の間接法と直接法に分類されるが、DS2では解が必ず求まることから直接法を採用した。

デバイスシミュレータでは、境界条件として一度に高い電圧を印加すると解は収束しないため、徐々に印加電圧を上げる手法をとるのが普通である。このときの電圧きざみ幅は計算時間に大きく影響するので、高電圧まで計算するときには解が収束する範囲内でできるだけ大きくとる必要がある。DS2では、電圧きざみ幅を大きくするために、各電圧条件における計算を始めるとき、それ以前の2回の計算結果から補外した値を初期値として与えている。ポテンシャル ϕ については線形補外、(8)式、正孔および電子密度については逆双曲線関数で変換したのちに線形補外、(9)(10)式を用いた。

$$\phi^{(i)} = N_1 \phi^{(i-1)} + N_2 \phi^{(i-2)} \dots (8)$$

$$p^{(i)} = \sinh(N_1 \sinh^{-1} p^{(i-1)} + N_2 \sinh^{-1} p^{(i-2)}) \dots (9)$$

$$n^{(i)} = \sinh(N_1 \sinh^{-1} n^{(i-1)} + N_2 \sinh^{-1} n^{(i-2)}) \dots (10)$$

ここで、添字 (i) 、 $(i-1)$ 、 $(i-2)$ はそれぞれ今回、前回、前々回の値であることを示す。 N_1 および N_2 はそれぞれ

$$N_1 = \frac{V_{app}^{(i)} - V_{app}^{(i-2)}}{V_{app}^{(i-1)} - V_{app}^{(i-2)}} \dots (11)$$

$$N_2 = \frac{V_{app}^{(i-1)} - V_{app}^{(i)}}{V_{app}^{(i-1)} - V_{app}^{(i-2)}} \dots (12)$$

である。

4. 車載用pチャネルパワーMOSFETの解析

対象とした車載用pチャネルパワーMOSFETの基本素子の断面構造を図1に示す。縦形の2重拡散MOSである。対称性から基本素子の半分を図示しており、対称軸を図中 $a-a'$ で示す。これを解析対象と

図 1 車載用 p チャンネルパワー MOSFET の基本構造

Fig. 1. Device structure of p-channel power MOSFET for automotive application.

する。計算の基準となる基本素子は、サイズが $30 \times 30 \mu\text{m}^2$ 、エピタキシャル層濃度 $5 \times 10^{15} \text{ cm}^{-3}$ および厚さ $6 \mu\text{m}$ 、ゲート電極幅 $15 \mu\text{m}$ 、ゲート酸化膜厚 850 Å 、ゲート拡散表面濃度 $1 \times 10^{17} \text{ cm}^{-3}$ および $X_j = 3 \mu\text{m}$ 、ソース拡散表面濃度 $3 \times 10^{19} \text{ cm}^{-3}$ および $X_j = 1 \mu\text{m}$ である。シミュレーションでは不純物の拡散形状をガウス形と仮定した。

〈4.1〉節では、順方向の電流電圧特性を計算し実験と比較する。そして素子のサイズパラメータの中からゲート電極幅を変えてオン抵抗を最小化する。〈4.2〉節では〈4.1〉節と同様にゲート電極幅を変えて耐圧を計算する。〈4.3〉節では素子の微細化がオン抵抗と耐圧にどのように影響するかを計算する。なお、計算時間を節約するために、以下の計算ではソースを接地して、ドレインあるいはゲートに負の電圧を印加した。

〈4.1〉 電流電圧特性 対象となる素子(図1)の順方向の電流電圧特性を図2に示す。ゲートおよびドレイン電極に -10 V まで印加した。○印が計算結果、曲線が実験値であり、良く一致している。ここで、計算値は、試作品のチップ上の基本素子数 21192 個に換算したチップ全体としての値である。また、実験値からは基板抵抗および配線抵抗を除いてある。

次に、素子構造の最適化の一つとしてゲート電極幅をパラメータとしてオン抵抗を計算した。オン抵抗はゲート電圧 -10 V 、ドレイン電流 10 A のときの値とする。図1中でゲート電極幅に対応する寸法 X をパラメータとすると、チップ全体としてのオン抵抗の計算結果を図3に示す。 $X = 2.5 \mu\text{m}$ 付近にオン抵抗の最小値が存在する。この理由は、次のように説明される。 X が小さくなるとチップ上に作ることのできる基本素子の数は多くなるが、ゲート電極下の p^- 層

図 2 順方向の電流電圧特性

Fig. 2. Calculated and measured I-V characteristics of MOSFET.

図 3 パラメータ X に対するオン抵抗および耐圧

Fig. 3. On resistance and breakdown voltage as a function of size X .

を通る電流の経路が狭くなってオン抵抗が増す。逆に X が大きくなると、基本素子のオン抵抗は下がるが、ゲート電極直下に電流の流れないむだな領域ができ、チップ全体としては基本素子数が少なくなって抵抗が増す。従って、その間に最小値が存在することになる。 $X = 0.5, 4.5, 7.5 \mu\text{m}$ のときの電流密度分布の計算結果をそれぞれ図4(a), (b), (c)に示す。 $X = 0.5 \mu\text{m}$ (図4(a))では図左端のゲート電極中央直下に電流が集中しており、一方、 $X = 7.5 \mu\text{m}$ (図4(c))ではそこには電流がほとんど流れていない。

〈4.2〉 耐圧特性 〈4.1〉節と同様に、図1中の寸法 X をパラメータとして耐圧を計算した。耐圧はゲートとソースを接地して、ドレインに負電圧をかけて求める。図3に結果を示す。 X が大きくなると耐圧はわずかに増加するが、 $X = 5 \mu\text{m}$ を越えると急激に低下する。その理由を説明するために $X = 0.5 \mu\text{m}$ および $X = 10 \mu\text{m}$ でブレイクダウン近くの電流分布を矢印図を用いて図5に示す。ここで、矢印は $(J/|J|)\log|J|$ を表す。 $X = 0.5 \mu\text{m}$ (図5(a))では、

図 4 パラメータ X に対する電流密度分布

Fig. 4. Current density contours for (a) $X=0.5 \mu\text{m}$, (b) $X=4.5 \mu\text{m}$, (c) $X=7.5 \mu\text{m}$.

ソース電極の下で基板内との間に大きな電流が流れている。一方、 $X=10 \mu\text{m}$ (図 5 (b)) ではチャンネルに大きな電流が流れ、 n 層を電子電流が流れている。キャリア生成速度の分布から $X=0.5 \mu\text{m}$ では p^- 層で、 $X=10 \mu\text{m}$ ではチャンネルのドレイン側 p^-n 接合部でキャリアの発生が起きていることがわかった。 $X=0.5 \mu\text{m}$ の現象は、 np^-p^+ ダイオードのブレイクダウンを決定するリーチスルーである。 $X=10 \mu\text{m}$ の現象については、以下、反転層アバランシェと呼ぶことにする。反転層アバランシェが起きているときの電界強度分布を図 6 (b) に示す。電界強度はゲート電極中央部直下で最大となる。このとき、ゲート直下界面の p^- 層では、電子が蓄積して反転層を形成しており、MIS 構造のブレイクダウンが起ころう。反転層付近の高電界によって生成された正孔はドレインへ流れ、電子は反転層を通してソースへ向かう。反転層を電子が流れることによって、キャリア生成速度は、反転層の端部の p^-n 接合に近づくにつれてますます大きくなる。そして、電子電流も更に増加する。こうして、キャリア生成速度は p^-n 接合部で最大となる。

X が大きくなるにつれ、リーチスルーから反転層アバランシェへ移行する理由は、アバランシェを起こすときの電界分布 (図 6) を比較することにより理解

図 5 パラメータ X に対する高電圧下の電流密度ベクトル図

Fig. 5. Current density vectors for (a) reach through ($X=0.5 \mu\text{m}$), (b) inversion layer avalanche ($X=10 \mu\text{m}$).

図 6 パラメータ X に対する高電圧下の電界強度分布図

Fig. 6. Electric intensity contours for (a) reach through ($X=0.5 \mu\text{m}$), (b) inversion layer avalanche ($X=10 \mu\text{m}$).

できる。反転層アバランシェ状態 (図 6 (b)) では電界の最大値はゲート電極中央部直下にあるのに対し、リーチスルー状態 (図 6 (a)) ではドレインの p^- 層内にある。 X を小さくするにつれて、対象とする素子の n 層と図 (1) 中 $a-a'$ 面で鏡映対称の位置にある隣の素子の n 層とが互いにガードリングの効果を及ぼして、ゲート電極下の電界を緩和していく。電界が下がれば、反転層アバランシェは起こりにくくなり、耐圧はリーチスルーで支配されるように移行すると解釈される。

反転層アバランシェは、耐圧が下がるうえに素子表面に大電流が流れるため、ゲート直下にホットキャリアが発生して、ゲート酸化膜中にキャリアがトラップされ、スレッショルド電圧の変動をもたらす可能性がある。更には、素子を熱破壊に至らしめる。そのため、反転層アバランシェは起こさないよう設計しなければならない。

反転層アバランシェを起こさず、リーチスルーへもっていくには、 X を小さくする、すなわち、素子の微細化が有利であることがこの計算によりわかった。あるいは、耐圧に余裕があれば、かならずリーチスルーを起こさせるよう p^- 層の厚さを薄くすることでも対処できる。

〈4.3〉 形状縮小と素子性能の関係 〈4.1〉 節および 〈4.2〉 節の結果より、パワー MOSFET は基本素子を微細化するほど、オン抵抗は下がり、また耐圧も有利となることが示された。そこで、ここでは基本素子の不純物濃度分布を変えずに、図1で $X=4.5\mu\text{m}$ を基準として幾何形状のみを単純に縮小した場合の素子特性を計算する。チップサイズは同一として、形状縮小の割合を $2\sim 1/3$ まで変えたときのオン抵抗および耐圧の計算結果を図7に示す。

オン抵抗は形状縮小につれて急激に減少した。パワー MOSFET の低オン抵抗化には、素子の微細化が大きく寄与することがわかる。ここで、形状縮小割合1の製造工程は、 $3\mu\text{m}$ ルールの工程に相当する。例えば、 $1/2$ の形状縮小すなわち $1.5\mu\text{m}$ ルールでは、オン抵抗は約 $1/4$ となることが予想される。ただし、このオン抵抗には、基板抵抗や配線抵抗は含まれてい

図7 形状縮小に対するオン抵抗および耐圧
Fig. 7. On resistance and breakdown voltage versus geometric scaling.

ない。

形状縮小の割合2、すなわち、2倍の拡大における耐圧は反転層アバランシェに帰因する。形状縮小につれて、ゲート下の電界が 〈4.2〉 節の場合と同様にガードリングの効果によって緩和され、耐圧は緩やかに増大する。そして、形状縮小の割合 1.1 付近より耐圧を律するのはリーチスルーとなる。リーチスルー耐圧は、 p^- 層の幅で決まることから形状縮小につれて減少する。そして、形状縮小の割合 $3/4$ 付近より耐圧は更に急激に低下する。この領域では、耐圧はソースとドレイン間のパンチスルーで律せられることが計算によりわかった。基本素子の形状縮小によって、オン抵抗は大幅に低減できるが、耐圧を律するのがパンチスルーとなると耐圧も大幅に低下してしまう。パンチスルーを防ぐには、 n 層の濃度を制御するなどが考えられるが、これは逆にオン抵抗の増加をもたらすので

(a) 縮小割合=1.2: 反転層アバランシェ
赤は正孔電流域, 青は電子電流域, 白は正孔および電子電流が共存する領域, そして緑はほとんど電流のない領域である。
(b) 縮小割合=0.9: リーチスルー
(c) 縮小割合=0.5: パンチスルー

図8 形状縮小と耐圧を律する現象

Fig. 8. Three breakdown mechanisms for geometric scaling. (a) Inversion layer avalanche at scaling factor 1.2, (b) Reach through at 0.9, (c) Punch through at 0.5.

詳細な検討が必要である。従って、これ以上はここでは言及しない。

以上の耐圧計算の結果から、基本素子の形状縮小につれて、パワー MOSFET の耐圧を決定する物理現象は、反転層アバランシェ、リーチスルー、そしてパンチスルーへと移ることが確められた。3種類のアバランシェの現象を、それぞれ図8(a), (b), (c)に示す。図中、X, Y方向が素子の面を表す。底面の長方形は解析対象のパワー MOSFET の構造で、赤がアクセプタ、青がドナーの濃度である。黒線は計算格子である。立体図は2次元素子の各点のポテンシャル値をZ方向の高さとして表現したものである。その面につけられた色は赤が正孔電流密度、青が電子電流密度であり、色が鮮やかなほど密度が高い、更に白色部分では、正孔電流と電子電流が同時に存在する領域で、キャリア生成が起きている。逆に緑色部分では、電流はほとんど流れていない。図8(a)の形状縮小割合1.2では反転層アバランシェが起り、チャンネルの反転層付近で発生した正孔はドレインへ、電子はn層を通過してソースへ流れている。図8(b)の形状縮小割合0.9ではリーチスルーが起り、p⁻層で広くキャリアが生成し、正孔はドレインへ、電子はソースへ流れる。図8(c)の形状縮小割合0.5では、n層の曲り部でパンチスルーが起き、正孔がソースからn層を突き抜けてドレインへ流れている。更に、この正孔電流が引き金となって、n層の曲り部直下の高電界下にあるp⁻層でキャリアの生成を誘発し(白色部分)、それによる電子電流がソースへ流れていることがわかる。

5. ま と め

高電圧2次元半導体デバイスシミュレータ「DS2」を開発し、車載用パワー MOSFET の特性を計算した。DS2 では高電圧に対応するため、未知変数として ϕ pn, 数値解法として同時反復法を用い、計算時間を短縮するために初期値を推測する機能をもたせ

た。DS2 によるパワー MOSFET の特性解析の結果、オン抵抗は素子の微細化に大きく影響されること、および、耐圧を決定するメカニズムに、反転層アバランシェ、リーチスルー、パンチスルーの3種類あることを示した。車載用パワー MOSFET は、このうち特に反転層アバランシェを起こさせないよう設計されなければならない。

この計算結果のもとに試作した車載用pチャネルパワー MOSFET の諸元は、チップサイズ5mm²、基本素子数21192で、オン抵抗100m Ω ($V_G=10$ V, $I_D=10$ A), 耐圧90Vである。ただし、このオン抵抗は基板抵抗と配線抵抗を含み、また、前述の対策を施してあることから計算値より大きくなっている。

このようにDS2はパワー MOSFET の素子開発に有用なツールとなることを確認できた。

(昭和61年12月1日受付, 62年4月30日再受付)

文 献

- (1) R.S. Wrathall: "The Design of a High Power Solid State Automotive Switch in CMOS-VDMOS Technology" *IEEE Power Electronics Specialists Conference* 229 (1985)
- (2) 志賀・水谷: 「カーエレクトロニクス」175 (1986) 山海堂
- (3) S.M. Sze: "Physics of Semiconductor Devices" *Wiley Interscience* (1969)
- (4) K. Yamaguchi: "Field-Dependent Mobility Model for Two-Dimensional Numerical Analysis of MOSFET's" *IEEE Trans. Electron Devices*, **ED-22**, 11, 1045 (July 1979)
- (5) 酒井・島田・加藤: 「電力用半導体構造解析プログラムの収束性改良に関する一手法」借学論(C) J68-C 6, 433 (June 昭 60)
- (6) D.L. Scharfetter & H.K. Gummel: "Large-Signal Analysis of a Silicon Read Diode Oscillator" *IEEE Trans. Electron Devices*, **ED-16**, 1, 64 (Jan. 1969)
- (7) S.E. Laux & R.G. Byrnes: "Semiconductor Device Simulation Using Generalized Mobility Models" *IBM J. Res. Develop.* **29**, 3, 289 (May 1985)
- (8) H.K. Gummel: "A Self-Consistent Iterative Scheme for One-Dimensional Steady State Transistor Calculations" *IEEE Trans. Electron Devices*, **ED-11**, 455 (1964)
- (9) 大倉・鳥谷部・増田・宿利: 「汎用3次元デバイスシミュレータ」信学技報 SSD 85-72 (Sept. 1985)