電源電圧変動補償形高電力効率 BD 級電力増幅器

正 員 持 丸 正 義 (青山学院大)

入力信号に応じて負荷電力を PWM 制御する BD 級増幅器では、出力電圧が PWM 変調のデューティ比と電源電圧の積になる。従って、電源電圧が変動するとこれに比例して出力電圧も変動する。この出力の変動は負帰還により軽減し得るが、満足し得る程度まで負帰還を増加することが困難である。

低ひずみ率電力増幅用のハイブリット形 BD 級 (HBD 級) 回路⁽¹⁾では、内部の BD 級部出力電圧が変動するとひずみ低減回路の動作が阻害されひずみ率が上昇する。このため、電力効率を犠牲にして変動によるひずみの増加を防いでいた。これを改善するため PWM 変調器出力のデューティ比を電源電圧に反比例させる除算回路を付加した。この結果、内部 BD 級部出力の変動が減少し、0.1% 以下のひずみ率で 91% の総合電力効率をもつ増幅器が得られたので報告する。

補償形 HBD 級電力増幅回路の構成を図 1 に示す。この増幅器を低ひずみ率高効率とするためには、ひずみ低減用終段トランジスタ $Tr1 \cdot Tr2$ の流通時コレクタ・エミッタ間電圧 V_{ce} を低く一定に保つことが要求される。このため、内部 BD 級増幅部の出力電圧 V_{od} を正負各電源電圧 V_{ps} に依存させない方法を試みた。すなわち、正負電源 ($\pm V_{ps}$) の電圧変化は互いに等しいものとし、 $-V_{ps}$ を FET のゲートに加えた (図 2 の除算回路)。 V_{ps} が増加するとドレイン抵抗が増加し、信号に対する増幅度は V_{ps} に反比例して低下する。この結果、信号電圧およびデューティ比が低下するため、出力電圧は変化しない。

電源電圧 V_{ps} が 20% ($\pm 10\%$) 変化したとき、内部 BD 級増幅部の出力電圧 ($\pm V_{od}$) の変動率は、負帰還のみの場合には約 7%、これに前述の変動補償を加えた場合には 0.5% となった。従来の HBD 級増幅回路では、この変動に備えて、2.5V 程度の終段トランジスタ電圧 V_{ce} を要したが、変動を補償した図 1 の HBD 級回路では V_{ce} を 0.6V 程度まで低下させることができた。この結果、終段トランジスタによる電力損失は約 1/4 に減少し、終段電力効率が向上した。

PWM 周波数を 450kHz とし、15kHz 以下の入力に対するひずみ率が 0.1% 以下になるように V_{ce} を調整したときの図 1 の回路の総合電力効率およびひず

図 1 電源電圧変動に対処した HBD 級増幅器の構成

Fig. 1. Class-BD Amp. stabilized for power supply.

図 2 FET による利得調整回路および整流回路
Fig. 2. Gain adjuster with FET, and diode circuits.

図 3 総合電力効率およびひずみ率

Fig. 3. Total power efficiency and distortion (THD).

み率を図 3 に示す。 k は各電源電圧で基準化した出力電圧ピーク値である。電源電圧が 30V のとき、終段のみの効率は出力 50W 時 ($k=0.94$) には 92.8%、0.57W 時 ($k=0.1$) には 56.9% であった。周辺回路で、ほぼ一定の 0.6W の電力を消費するため、 k が小さい領域では総合効率の低下が大きくなった。これらの効率は従来⁽¹⁾に比べ 10% 程度改善されている。

(昭和 63 年 8 月 25 日受付)

文 献

- (1) 持丸:「ハイブリット形低ひずみ率 BD 級電力増幅器」信学論 C, J71-C, No. 3 (昭 63-3)

High Efficiency Class-BD Power Amplifier Stabilized for Power Supply Voltage Fluctuations. By Masayoshi Mochimaru, Member (Faculty of Science and Technology, Aoyamagakuin University).

持丸正義: 正員, 青山学院大学理工学部電気電子工学科