磁気変調器を用いた複合形 20 ビット D-A 変換器

正 員 安 部
正 員 中 添

実 (武蔵工大)
淳 (武蔵工大)

1. はじめに

最近のデジタル技術の進歩に伴いデジタルアナログ変換器 (D-A 変換器: 以下, DAC と略記) のビット数が増大し, その校正を行うための 20 ビット以上の高精度 DAC が要望されている⁽¹⁾。また, 光および電子ビーム露光装置の制御, 核磁気共鳴を用いた診断装置の傾斜磁場の発生に, ますます高精度かつ高速 DAC が必要とされている。これらの要求に対する 20 ビット DAC については, 1979 年 R-2R ラダー抵抗形 DAC (整定時間 ≈ 10 ms)⁽¹⁾, 1983 年著者らによる磁気変調形 DAC (整定時間 ≈ 2 s)⁽²⁾, 次いで 1985 年同じく磁気変調形 DAC (整定時間 ≈ 6 ms)⁽³⁾が報告されている。

本論文で用いた倍周波磁気変調形直流増幅器は変調用磁心に高 μ 材のフェライトロイダル磁心を用い, 低雑音 ($5 \mu A_{pp}/m/\sqrt{Hz}$, 室温)⁽⁴⁾ および低ドリフト ($0.6 \sim 0.9 \mu A/m/^{\circ}C$, $20 \sim 70^{\circ}C$)⁽⁵⁾の特徴をもつ。この変調器は強磁性体の BH 特性の非線形点対称性を用い, 点対称過励振状態の磁心に直流磁界を入力することにより非点対称励振となり, 磁心内の磁束に励振波の偶数次高調波成分が生じる。それらを電圧として取出し増幅後, 倍周波成分を復調して入力磁界に比例した直流電圧を出力する。入力磁界を巻線による起磁力 (以下, AT と略記) で与え, 出力を電流に変換して帰還巻線により変調磁心に全帰還すれば, 入力 AT に対する帰還 AT の誤差がループ利得分の 1 となる磁気変調形アンペアターン比較器 (以下, AT 比較器と略記) を作れる。上記の特徴から 120 dB 以上のループ利得が可能で, この AT 誤差は 1 ppm 以下にで

きる。そこで, 入力 AT を 2 進数で値付けすると 1 ppm 以下の誤差で同じ値付けの帰還 AT が生じる。帰還巻線の巻数を一定にすれば帰還電流が同じ値付けになり, 電流出力形の磁気変調形 DAC が, また帰還電流を抵抗に流し, 電圧降下を出力とすれば電圧出力形の DAC が各々得られる。

磁気変調形 AT 比較器は 120 dB 以上のダイナミックレンジが得られ, 入力回路における熱起電力の影響をほとんど受けない構成が可能で巻線の安定度が良く, その高絶縁性から漏れ電流も少ない。このような特徴から, 入力巻線を複数の重み付き巻線構成とすることにより入力 AT に高精度な 2 進数の値付けが可能で, R-2R ラダー抵抗形よりも容易に 20 ビット DAC を作れる。しかし 20 ビットの重み付き巻線を 1 個のトロイダル磁心に巻くことは物理的に不可能で, 3 台の磁気変調器を従属接続する構成であった⁽²⁾。また整定時間は上記のごとく 2 秒と遅く, その原因は次の 2 点にあった。(i) AT 比較器の過渡応答時に交流増幅器系が飽和し, AT 比較器の応答性が実効的に遅くなること⁽²⁾。(ii) 磁気変調器特有のスパイク電流や電圧を低減するため出力に低域フィルタが必要であること。

本論文では, これら問題点の解決策および試作 DAC によるその実証結果について述べる。まず, 20 ビット DAC を 1 台の磁気変調器と既成の IC 形 DAC の組合せで実現できることを示す。次いで, 上記問題点の要因を明らかにし, その改善策として(i)に対し高速 IC 形 DAC との複合構成⁽⁶⁾を, (ii)に対し電圧出力形 DAC において, AT 比較器の帰還巻線を差動入力形の電圧電流変換器で駆動し, DAC の出力電圧を差動増幅器のマイナス入力端子に全帰還する構成を示す。後者では帰還巻線抵抗が出力に接続した抵抗に対し無視できるので, 差増幅器の高利得によりプラス入力端子の電圧は出力電圧と等しくなる。この端子はスパイク電圧の混入しない出力フィルタの不要な出

A Hybrid-type of 20 Bit D-A Converter Using a Magnetic Modulator. By Minoru Abe, Member & Jun Nakasoe, Member (Faculty of Engineering, Musashi Institute of Technology).
安部 実: 正員, 武蔵工業大学電子通信工学科
中添 淳: 正員, 武蔵工業大学電子通信工学科

力端子として利用できる⁽⁷⁾。この方法により DAC を試作し、改善策の有効性を実験的に確認した結果を最後に述べる。

得られた整定時間 (6~9 ms) は文献 (3) の磁気変調形 DAC のものと同程度である。しかし、試作 DAC では、(i) に関する増幅器の飽和時間が大幅に短縮されているが、なお短時間 (数十 μ s) の飽和によって考えられる応答性の低下がみられる。これが解決できれば整定時間を更に数分の 1 に短縮できて、最高速の 20 ビット DAC が期待できる。

2. 磁気変調形 20 ビット DAC の簡単化と低応答性の要因

〈2・1〉 回路構成と動作 高精度 AT 比較器で 20 ビットすべてを実現する必要はなく、高精度の不要な下位ビットには既成の IC 形 DAC を適用できる。すなわち、16 ビット IC 形 DAC の上位 13 ビット分を本 DAC の下位 13 ビットに用いれば、それによる積分直線性誤差は $\pm(1/4)$ LSB (本論文では 20 ビットの最小単位に LSB: Least Significant Bit を用いる) 以内となる (〈5・1〉節参照)。よって、上位 7 ビット分の重み付き巻線は 1 個の磁心に巻くことが可能となり、図 1 の実線で示す回路構成が得られる⁽⁶⁾。

同図では、重み付き巻線は入力コードに対応してスイッチにより選択され、一定の基準電流 I_r を流し、上位7ビットの入力 AT が定まる。下位13ビット分はIC形DACの電流の重み付けにより与えられる。入力巻線の漏れ磁束による AT 誤差があるため、入

力 AT は補正 DAC の電流により補正されて 20 ビットで正確に値付けされる。変調磁心から同期検波器の出力までが前述の磁気変調器直流増幅器で、帰還 AT を与える電圧電流変換器と帰還巻線を追加して全体で AT 比較器を構成し、位相補償用低域フィルタにより安定な負帰還を得ている。検出巻線には同時にスパイク電圧が生じ、その周波数成分（励振周波数とその奇数次高調波：信号伝達には寄与しない）の除波用フィルタを変調波検出器の後段に設け、交流増幅器の飽和を防ぐ。

入力 AT に対する位相補償用低域フィルタの出力電圧の利得を G_1 (V/A), その出力電圧に対する帰還 AT の利得を G_2 (A/V) とする。入力 AT に対する帰還 AT の誤差は $1/(G_1G_2)$ となり, $G_1G_2 > 10^6$ では 1LSB 以下となる。帰還電流 I_o と帰還巻線の巻数 N_o によって帰還 AT は $N_o I_o$ となり, N_o が一定のとき I_o は 20 ビットで値付けされる。 I_o を高安定抵抗 R_o に流し, 電圧降下を本 DAC の出力とする。

(2.2) 低応答性の要因 磁心の不飽和時にステップ状の入力 AT があれば、大きな自己インダクタンスのため過大な逆起電力を生じ、基準電流源の電源電圧を大幅に超えて不安定な動作を示す。よって、磁心飽和時の自己インダクタンスの小さい間に入力巻線のスイッチ切換えを行う。このとき、入力 AT の過渡応答は、ステップ状の定電流源でコイルを駆動する場合と同じになる。定電流源の出力抵抗が十分大きいので、入力 AT の応答は入力巻線の自己インダクタンスにはほとんど依存せず、電流切換えスイッチ素子の速

図 1 磁気変調形 20 ビット DAC の簡単化した回路構成

Fig. 1. Schematic diagram of magnetic-modulator-type simplified 20-bit D-A converter.

度で決まり高速となる。これに対し、帰還 AT は位相補償用低域フィルタによって応答が制限されるため入力 AT の速い変化には追従できない。そのため、入力 AT の変化が大きい場合には過渡状態における入力 AT と帰還 AT の差が大きくなり、磁心に過大な差磁界が生じる。これにより検出巻線の出力が過大となり、交流増幅器および同期検波器（本論文では両方合せて交流増幅器系と表す）が飽和し、位相補償用低域フィルタの容量に不要電荷が蓄積する。その放電に時間を要することにより図 1 の DAC は低応答性を示す。

磁気変調部には入力、検出および帰還の各巻線を巻いたトロイダル磁心を 2 個使い、各巻線をブリッジ回路に接続して各々の巻線に発生する励振波電圧を打消している（図 1 は簡単のため 1 個の磁心について図示した）。しかし、磁心の BH 特性のわずかな違いによるスパイク電圧が各巻線に生じ、電圧出力形 DAC では図 1 の出力抵抗 R_o にスパイク電圧が生じる。これは数千 LSB となり、その低減のため出力に低域フィルタが必要で応答性改善の障害になっていた（スパイク電圧の発生源は〈3・2〉節で述べる）。

3. 磁気変調形 20 ビット DAC の応答性の改善

〈3・1〉 複合構成を用いた応答性の改善

(1) 回路構成と応答特性 帰還 AT の過渡応答を入力 AT のそれと同程度にすれば、前述の増幅器の飽和が避けられる。そこで、高精度直流増幅器の応答性を高めるのによく用いられる複合構成法を AT 比較器に導入し、図 1 の破線の回路を追加する。入力コードの上位 n ビット分が高速な補助 DAC により電圧 V_{SUB} に変換され、電圧電流変換器と帰還巻線によって高応答な帰還 AT を得ている。ビット数 n は磁心の差磁界が過大とならない程度に定める。この複合回路の応答特性を求めるため、図 1 において入力 AT を AT_i 、帰還 AT を AT_o で表す。これらと G_1 、 G_2 、 V_{SUB} についてそれぞれのラプラス変換を $AT_i(s)$ 、 $AT_o(s)$ 、 $G_1(s)$ 、 $G_2(s)$ 、 $V_{SUB}(s)$ で表せば、 $AT_o(s)$ は次式となる。

$$AT_o(s) = \frac{G_1(s)G_2(s)}{1+G_1(s)G_2(s)} \left\{ AT_i(s) + \frac{V_{SUB}(s)}{G_1(s)} \right\} \quad \dots\dots\dots (1)$$

入力 AT (AT_i) のステップ状入力（ステップ値 K_i ）に対し補助 DAC の出力電圧 V_{SUB} も同時にステップ状に変化するものとし、そのステップ値を V_a で表す。 G_1 の高域遮断周波数は位相補償用低域フィルタの時定数 τ_1 で定まる。一方、 V_{SUB} の速い立上り

に AT_o が追従できるように電圧電流変換器には広帯域伝達特性を与え、それにより G_2 の高域遮断周波数が定められ、 τ_1 で決まるものよりけた違いに高い。そこで、ループ利得 G_1G_2 の高域遮断周波数は τ_1 で決まるとみなし G_2 は定数とする。よって、(1) 式において次式を定める。

$$\left. \begin{aligned} AT_i(s) &= \frac{K_i}{s}, \quad V_{SUB}(s) = \frac{V_a}{s}, \quad G_1(s) = \frac{G_{10}}{1+\tau_1 s} \\ G_2(s) &= G_{20} = g_m N_o, \quad G_o = G_{10} G_{20} \end{aligned} \right\} \quad \dots\dots\dots (2)$$

ただし、 g_m ：電圧電流変換器の伝達コンダクタンス

(2) 式を (1) 式に代入し、逆ラプラス変換で得た出力 AT の時間関数 ($AT_o(t)$) は次式となる。

$$AT_o(t) = K_i (1 - \delta e^{-t/\tau_1'}) - \frac{K_i - AT_{SUB}}{1+G_o} (1 - e^{-t/\tau_1'}) \dots\dots\dots (3a)$$

ただし、

$$\tau_1' = \frac{\tau_1}{1+G_o} \quad \dots\dots\dots (3b)$$

$$AT_{SUB} = V_a g_m N_o = AT_o(0) \quad \dots\dots\dots (3c)$$

$$\delta = \frac{K_i - AT_{SUB}}{K_i} \quad \dots\dots\dots (3d)$$

τ_1' はループ利得 $G_1G_2=0$ dB となる周波数で決まる時定数を意味し、これとループ利得の遮断周波数で決まる時定数 τ_1 および直流利得 G_o の関係を (3b) 式は表している。 AT_{SUB} は V_{SUB} による帰還 AT の初期値、 δ は AT 差の初期値 $K_i - AT_{SUB} (= \Delta AT$ と表す) の入力 AT に対する割合である。(3a) 式の右辺の第 1 項が主要部で、第 2 項は誤差成分の時間応答である。

(2) 補助 DAC のビット数と整定時間 補助 DAC の出力には誤差がないものとしてビット数と整定時間の関係を求める。誤差がある場合にはその結果より容易に推定できる。補助 DAC のビット数を n ($n \leq 19$) とし、その出力電圧にその最下位ビットの $1/2$ (10 進数 2^{19-n}) 相当のオフセット電圧を与え図 1 の V_{SUB} を定める。前項における K_i および AT_{SUB} の 10 進数を各々 D_i 、 D_{SUB} とし、 D_n 、 D_{20-n} を各々 D_i の上位 n ビットおよび下位 $(20-n)$ ビットの 10 進数表現とする。このとき、 $D_i = D_n + D_{20-n}$ 、 $D_{SUB} = D_n + 2^{19-n}$ となり、これらの関係を図 2 に示す。同図より、 $(K_i - AT_{SUB})/K_i = (D_i - D_{SUB})/D_i$ が成り立つので δ は次式で表される。

$$\delta = \frac{D_{20-n} - 2^{19-n}}{D_i} \quad \dots\dots\dots (4)$$

図 2 補助 DAC による帰還 AT_{SUB} と入力 AT (K_i)

Fig. 2. Feed back ampere-turn (AT_{SUB}) by sub-DAC and input ampere-turn (K_i).

(3a) 式の δ の項が $\pm(1/2)$ LSB となるまでの時間 (整定時間) のうち, 最大値 t_{SM} は (4) 式より次式となる。

$$t_{SM} = \tau_1' (20 - n) \ln 2 \quad (5)$$

補助 DAC の実現できる範囲で n の最大値が, 安定な負帰還マージンを得る条件のもとで τ_1' の最小値が各々定められ, (5) 式の t_{SM} の最小値が決まる。

(3) ループ利得の設定 前記 $|4AT|$ の許容値は, 入力 AT に対する同期検波器の入力までの利得 G_{AC} (V/A) と同期検波器の入力制限値 V_{max} によって決まり, V_{max}/G_{AC} (A) となる。この許容値を LSB の単位で $(V_{max}/G_{AC})_{LSB}$ と表せば, $|4AT|$ の最大値は 2^{19-n} LSB となり, 次式が成り立つ。

$$n \geq 19 - \{\ln(V_{max}/G_{AC})_{LSB} / \ln 2\} \quad (6)$$

上式において V_{max} は使用する電子素子で定まり, 前述のように n が決まれば G_{AC} の上限が定まる。一方, 同期検波器以降の回路におけるドリフトおよび雑音の入力換算値が無視できるように G_{AC} を設定する必要がある。この場合, その設定値が G_{AC} の上限を超えない回路を実現することが重要な条件となる。(3a) 式の誤差項が 1 LSB 以下となるための直流利得 G_0 を得るのに, G_{AC} に対する不足分は同期検波器以降の回路によって補う。 τ_1 は G_0 , τ_1' を用いて (3b) 式より定められる。

(3.2) 出力フィルタの除去 出力に混入するスパイク電圧の発生源を図 3 に示す。励振巻線と帰還巻線の間において, V_M は磁心のトランス結合で, V_C は導電率の高い磁心を介したこれら巻線間の静電結合で各々生じる⁽⁶⁾。図中の Z_L は主に帰還巻線によるインピーダンス, Z_C は帰還巻線と励振巻線間の結合

図 3 スパイク電圧源と差動形電圧電流変換器を用いた電圧ホロワ構成

Fig. 3. Spike voltage sources, and voltage-follower using differential type voltage-current converter.

容量によるインピーダンスである⁽⁶⁾。図 3 では, これらのインピーダンス, 電圧電流変換器の出力インピーダンス Z_B および抵抗 R_O の間の回路関係によって V_M , V_C の R_O に生じる値が決まる。検出巻線に発生したスパイク電圧のうち, 基本波および奇数次高調波除去フィルタで除去対象外の高次高調波成分が同期検波器で復調されて, 基本波および低次の奇数次高調波となるものがある。これは同期検波器の参照信号に方形波を用いるので, その高調波成分で復調されるものである。これと同期検波器の参照信号の漏れ成分を合わせた等価電圧源が V_{SP} である。これは位相補償用低域フィルタにより減衰される。よって, 出力に現れるスパイク電圧の主要因は V_M , V_C となり, 図 3 のように差動増幅器 A_F を組合せた差動形電圧電流変換器を負帰還構成で用いることにより, 抵抗 R_O のスパイク電圧の低減ができた⁽⁶⁾。この方法は 2 個の磁心の BH 特性がそろい, スパイク電圧の発生が本来小さい場合には有効であるが, そうでない場合には差動形電圧電流変換器に過大な利得帯域幅積 (GB 積) が必要となり, その実現が問題になる。

図 3 の負帰還回路は加算器の出力信号からみれば, 帰還巻線抵抗は無視できるので, 電圧ホロワ構成になる。この信号帯域は励振周波数以下であり, スパイク電圧の低減に不十分であっても信号に対する電圧ホロワの負帰還効果を失わないように上記 GB 積を定め

得る。よって、その入力電圧 (V_o) は従来、本 DAC の出力としていた帰還電圧 (V_F) と同じになる。また、 V_o には V_M 、 V_C によるスパイク電圧が直接入り込まない。これより、 V_o を本 DAC の出力とすることが可能で、従来必須の出力フィルタを除去できた⁽⁷⁾。もし、位相補償用低域フィルタによる V_{SP} の減衰が不十分な場合には、スパイク除去用の能動 T 形フィルタを同期検波器の出力段に挿入すればよく、これは AT 比較器の信号周波数帯域にはほとんど影響を与えない。そのドリフトは $1/G_1$ に入力換算されるので、通常の演算増幅器の安定度で十分である。

〈3・3〉 出力電圧 図3において、 $G_2(s)$ は次式で表される。

$$G_2(s) = \frac{N_o}{R_o} \frac{A_F g_F R_o}{1 + A_F g_F R_o} = \frac{G_{20}}{1 + s\tau_2'} \dots (7a)$$

ただし、

$$G_{20} = \frac{N_o}{R_o} \frac{A_{F0} g_F R_o}{1 + A_{F0} g_F R_o} = \frac{N_o}{R_o} \dots (7b)$$

$$\tau_2' = \frac{\tau_2}{1 + A_{F0} g_F R_o} \dots (7c)$$

$$A_F = \frac{A_{F0}}{1 + s\tau_2} \dots (7d)$$

ここで、 τ_2 : A_F の高域遮断周波数で定められる時定数、 g_F : 図3の電圧電流変換器の伝達コンダクタンス

これらより、図3の V_o および V_F のステップ応答は、(3a)式の $AT_o(t)$ を用いて次式で表される。

$$V_o(t) = \frac{AT_o(t)}{G_{20}} \approx \frac{R_o}{N_o} AT_o(t) \dots (8)$$

$$V_F(t) = \frac{R_o}{N_o} AT_o(t) \dots (9)$$

AT_{SUB} の立上り時定数を入力 AT の時定数 ($\tau_i(\mu s)$) に近づけるのに、 τ_i で定まる高域遮断周波数の10倍の増幅帯域幅を G_2 にもたせれば十分で、(7a)式より次式を得る。

$$A_F g_F R_o \text{ に必要な } GB \text{ 積} \\ = 10 / (2\pi\tau_i) \text{ (MHz)} \dots (10)$$

4. 複合形 20 ビット DAC の試作と基本実験

以上の回路構成に基づいた DAC を試作し、基本的な実験を行った。変調用磁心に高 μ 材 (初透磁率 $\approx 10^4$) のフェライトトロイダル磁心を用い、上位7ビットの巻線は下位より 1, 2, 4, ..., 64 ターン (T)、補正 DAC 用の巻線は 1 T とした。変調磁心の励振周波数は 5 kHz、外来磁界対策用に減衰率 60 dB 程度の磁気シールドを用いた。入力巻線の周囲温度安定度は、

64 T の巻線で 0.03 ppm (室温 $\sim 40^\circ\text{C}$)、補正 DAC 用巻線で 0.5 ppm 以内 ($25 \sim 90^\circ\text{C}$) であった⁽⁶⁾。磁心雑音を 1 LSB 以下とするため、基準電流 $I_r = 100 \text{ mA}$ (1 LSB = 12.2 μA) とした。このとき、下記ループ利得 G_o と位相補償用低域フィルタの時定数で決まる AT 比較器の等価雑音帯域幅 ($\approx 1.3 \text{ kHz}$) において、磁心雑音はピーク値 ($p-p$ 値) で 0.6 LSB である。

(6)式において、同期検波器のスイッチ素子の飽和電圧により $V_{\max} = 2 \text{ V}$ となり、高速 IC 形 DAC として実現容易な $n = 12$ に設定すれば $G_{AC} = 10^3 \text{ V/A}$ にできる〔(3・1)節(3)項参照〕。このとき、磁気変調器のゼロドリフトは問題のない $1 \mu\text{A}/^\circ\text{C}$ (0.08 LSB/ $^\circ\text{C}$ 相当) が得られる。

帰還巻線の巻数 N_o が大きいと不安定なステップ応答を示し、その原因は未検討であるが実験的に安定な動作の得られた $N_o = 32 \text{ T}$ とした。このときフルスケールでは 400 mA の帰還電流となり、出力電圧 7 V に対し抵抗 $R_o = 17.5 \Omega$ である。よって、 $G_{20} = N_o / R_o \approx 2 \text{ A/V}$ となる。補助 DAC がなくても高精度の積分直線性を得るために、この場合の入力 AT に対する帰還 AT の誤差が 0.5 ppm となるように $G_o = 126 \text{ dB}$ と定めた。よって $G_{10} = 10^5 \text{ V/A}$ を要し、上記 G_{AC} に対する G_{10} の不足分は位相補償用低域フィルタを能動形としてその利得により補った。(5)式の整定時間に 1 ms 程度を目標にして $n = 12$ に対し、 $\tau_1' = 0.2 \text{ ms}$ とした。上記 G_o では(3b)式より $\tau_1 = 390 \text{ s}$ となり、位相余裕約 80 度、利得余裕約 20 dB の安定な負帰還が得られた。このとき、理論値として整定時間 $t_{SM} = 1.1 \text{ ms}$ となる。

巻線に接続されるインピーダンスが小さいと変調器の感度が低下する⁽⁸⁾。帰還巻線に接続される電圧電流変換器によるこの感度低下を防ぐため、その最終段を高出力インピーダンスのベース接地形とした。出力抵抗 (DC) = 150 k Ω 、その並列容量 = 400 pF が得られ、これによる磁気変調器の感度低下は無視できた。差動増幅器 A_F に演算増幅器 (OP-07C: GB 積 = 0.6 MHz) を用い、電圧電流変換器は $g_F = 0.05 \text{ S}$ 、増幅帯域幅 = 1 MHz とし、発振のない電圧ホロウが構成できた (〈6・2〉節参照)。

図3の V_F と V_o の各々においてスパイク電圧を帯域 10 kHz で測定した結果、前者は 4.2 LSB、後者は 0.6 LSB となり、 V_o におけるスパイク電圧低減効果が確認できた⁽⁷⁾。

5. 整定時間および積分直線性の測定

〈5・1〉 整定時間 整定時間は入力 AT の大きさ

K_i および補助 DAC による AT_{SUB} の差で決まり、入力 AT の大きさによる依存性はほとんどない。そこで、上位 7 ビット巻線の 0 からフルスケールのステップ変化時において整定時間を測定した。入力 AT の変化幅が一定のため、補助 DAC に代わり、その出力電圧 (V_{SUB}) 相当をアナログスイッチ制御により与えた。入力巻線をすべて直列接続し、低抵抗形 V -MOSFET を用いたスイッチ制御により電流を与え、その立上り時間 (10~90%) はほぼ $1\mu s$ であった。

V_{SUB} のステップ変化に対し、差動増幅器 A_F の出力の立上り時間はそのスルーレートにより $50\mu s$ を要したため、入力電流のスイッチ閉断はその時間だけ遅らせた。出力 V_o のステップ変化を図 4 の回路により整定レベル近傍を拡大して測定し⁽⁹⁾、その結果を図 5 に示す。この場合、従来と同じ理由による増幅器の飽和が数十 μs 生じるが、図 1 の回路に比べればその時

図 4 整定時間の測定回路

Fig. 4. Circuit for measurement of settling time.

図 5 出力 V_o のステップ応答波形

Fig. 5. Step response of V_o .

間はけた違いに短縮されており、複合回路構成による応答性改善効果の確認には問題ない。

電圧電流変換器の電源にはリプル率 $= 2 \times 10^{-3}$ のハム成分が存在し、これによるハムが出力端子で約 40 LSB 相当発生している。このハムは本 DAC では本質的な問題ではなく、電圧電流変換器およびその電源からハムを取除く工夫によって防げるものである。よって、図 5 は整定時間の測定を主目的としたため、加算平均 (2,048 回) によりハムおよび雑音を低減した測定結果である。

〈5.2〉 積分直線性 既成の 16 ビット IC 形 DAC には $\pm 0.003\%$ の積分直線性誤差が実現されており⁽¹⁰⁾、これを本 DAC の下位 13 ビットに用いれば $\pm (1/4)$ LSB 相当の誤差になる。そこで、高精度の特に要求される上位 7 ビットについて積分直線性を測定した。重み付き巻線の切換えスイッチには暫定的にリードリレーを用いた。MOSFET では巻線に生じるスパイク電圧により劣化するため、その対策を必要とすることによるが、対策を行えば MOSFET に置き換え可能である。積分直線性の測定では測定器の応答が 3.2 s と遅いので、帰還電圧 V_F (図 3) に混入するスパイク電圧はフィルタで低減できる。また V_o は V_F と同じ程度の安定度とみなされるので (〈6.2〉節参照)、 V_F について測定した。測定器はパルス積分形 AD 変換器構成の 8 けたデジタル電圧計 (ソーラトロン社製 7081) を用いた。測定レンジ 14 V において、感度および安定度は各々 $0.1\mu V$ および 14 V の ± 0.3 ppm ($4.2\mu V$) 以内である。積分直線性測定に必要な相対誤差は上記安定度の範囲内にあり、本 DAC の ± 0.6 LSB 相当である。よって 5 回の平均を用いれば、この測定誤差を ± 0.25 LSB 以内に低減できる。そこで、0 からフルスケールまでを 5 回繰返し測定した。

図 6 積分直線性 (測定回数 5 回)

Fig. 6. Integral linearity (5 measurements).

出力電圧の平均値に対する積分直線性誤差を図 6 (a) に、各入力コードにおける出力電圧のばらつき幅を図 6 (b) に示す。室温 (約 20°C) は $\pm 0.1^\circ\text{C}$ 以内に保ち、 V_{SUB} の変動はその発生回路に用いた抵抗の変動を考慮に入ると最大で 10 ppm 程度であり、その変動の入力換算値は無視できるので $V_{\text{SUB}}=0\text{ V}$ とした。長時間安定度を左右する抵抗 R_o に高安定抵抗 (0.9 ppm/ $^\circ\text{C}$) を用いたが、積分直線性の評価を主目的にしたので電力消費による R_o の発熱対策は行っていない。よって、上記測定は 1 時間におけるもので積分直線性の長時間安定度および再現性については、今後の課題である。

6. 考察および検討

〈6・1〉 整定時間 試作 DAC の G_2 の応答性を定める時定数 τ_2' は (7c) 式より約 $0.4\ \mu\text{s}$ と計算され、 G_1 の応答性を定める τ_1 よりけた違いに小さく、〈3・1〉節で述べた G_2 が一定という仮定を満足する。よって AT 比較器の応答特性は、 τ_1 で定まる一次形とみなされる。図 5 の測定において、測定の繰返し間隔とハム周期との間のランダム性が十分に得られないため、ハム成分が約 1.3 LSB 相当分残留している。その平均値が $\pm(1/2)$ LSB に整定する時間を読み取ると 6~9 ms で、理論値 (1.1 ms: 第 4 章参照) より約 8 倍大きい。その原因としては、差動増幅器 A_F のスルーレートにより帰還 AT の応答性が制限され、数十 μs と短時間ではあるが、従来と同じ理由の飽和が交流増幅器系に生じているためと考えられる。

帰還 AT の立上り時間を、入力 AT における $1\ \mu\text{s}$ (〈5・1〉節参照) と同じにするには、(10) 式より $A_F g_F R_o$ に 3.5 MHz の GB 積が必要となる。試作 DAC ではこの GB 積は 0.6 MHz で必要な値を満足しないが、それ以上では次節で述べるような電圧ホロワの発振が生じ不安定となる。この発振条件の解明とその定量的評価および差動形電圧電流変換器の最適設計は今後の検討課題である。当面は入力 AT の応答を遅らせて、帰還 AT の応答に合わせるための入力巻線切換えスイッチの工夫が有効と考えられる。

〈6・2〉 積分直線性とその安定度 図 6 の測定では補正 DAC 用の補正データに 1 回の測定値を用いたので ± 0.6 LSB 以内の誤差が含まれることになる。しかし、同図 (b) より R_o の発熱による変動がほとんど問題にならない下位において 0.5 LSB 以内のばらつきに入っていることより、実際には ± 0.25 LSB 以内の誤差で測定できているとみなせる。上位はデータばらつきが大きくなる傾向を示すのは、基準電流

源の雑音成分が入ったものと考えられる。よって、測定器の誤差を見込んでも図 6 (a) より $\pm(1/2)$ LSB 以内の積分直線性が得られているとみなされる。

(8) 式より出力 V_o の定常値は K_i/G_{20} で表されるので、積分直線性とその安定度は K_i および G_{20} の各々によって左右される。まず、 K_i は入力巻線と基準電流 I_r による入力 AT および補正 DAC による補正 AT から成り立つ。入力巻線の変動は小さく (第 4 章参照)、基準電流源を $\pm 0.1^\circ\text{C}$ 以内に恒温化すると I_r の安定度を ± 0.1 LSB 程度にできるので、これらの変動は無視できる。入力巻線の AT 誤差は ± 50 LSB 以内にあり、DC 付近の磁気雑音 ($0.2\ \mu\text{A}_{\text{pp}}/\sqrt{\text{Hz}}$)⁽²⁾ は無視できるので、10 ビット DAC で 0.1 LSB 程度の補正ができる。その安定度が 10 ビットフルスケールの 0.1% であれば本 DAC の 0.1 LSB 以下となり、市販の IC 形 DAC で実現できる。次に、 G_{20} は (7b) 式より N_o 、 R_o 、 A_{F0} 、 g_F から成り立つ。 R_o 以外の変動は G_{10} の高利得により微小な入力換算値となり無視され、(8) 式より R_o の変動がそのまま V_o の変動となる。 $A_{F0} g_F$ の直線性の影響はそれ自身の負帰還と、更に AT 比較器の負帰還効果により無視される。以上より、積分直線性およびその安定度を悪化させる主要因は R_o の変動であると結論できる。

上記のように、差動形電流変換器の利得変動による V_o の変動は問題にならないので、差動形電圧電流変換器の利得が直接入る (8) 式の V_o と、直接入らない (9) 式の V_F との間で、積分直線性とその安定度に関する差異はないものとみなされる。

本 DAC は AT 比較器としての負帰還ループの中に差動形電圧電流変換器を用いた局所的な負帰還ループが含まれる 2 重の負帰還構造をしている。変調磁気は過励振されるため、その透磁率には飽和と不飽和とで約 4 けたの相違が生じるので、差動形電圧電流変換器の負荷となる帰還巻線のインダクタンスも同程度の変化をする。この負荷には、更にトランス結合による各入力巻線の漂遊容量が入り、重み付き巻線の切換えごとに変化する。このため、差動形電圧電流変換器の GB 積の設定値いかんでは、各々の負帰還系において発振条件を満足する場合がある。よって入力巻線に接続される漂遊容量を極力小さくし、発振のないように差動形電圧電流変換器の GB 積を定める必要がある。

〈6・3〉 出力雑音の検討 試作 DAC の出力には、図 4 の増幅器 (帯域幅 $\approx 30\text{ kHz}$) により $p-p$ 値で 10 LSB の雑音が観察される。これの 1 LSB 程度までの低減可能性について検討を行う。 AT 比較器のループ利得が 1 となる周波数 ($1/2\pi\tau_1' \approx 800\text{ Hz}$)

を境に低域と高域とで出力雑音の成分が異なる。低域では磁心雑音を主にした変調波検出器から入る雑音が、高域では位相補償用低域フィルタの出力以後において補助 DAC および差動増幅器 A_F で生じる雑音がそれぞれ支配的になる。 AT 比較器の等価雑音帯域幅は $\tau_1' (=0.2 \text{ ms})$ で決まり、 $1/(4\tau_1')=1.25 \text{ kHz}$ となる。よって、第1章で述べた磁心雑音⁽⁴⁾を対象にそれが白色雑音とみなし、トロイダル磁心の磁路長を 5 cm とした場合、雑音の $p-p$ 値で約 0.7 LSB となる。高域雑音においては AT 比較器の応答性を阻害しない程度の低域受動フィルタを出力に挿入することによって雑音の低減ができる。その時定数を $\tau_1/10$ に定めると、このフィルタの等価雑音帯域幅は 12.5 kHz になる。補助 DAC や差動増幅器 A_F を低雑音要素子で構成すれば $1/f$ 雑音は数百 Hz 以下となるので、 AT 比較器のループ利得 (G_1G_2) により低減され無視できる。よって、位相補償用低域フィルタの出力以後で生じる雑音成分はこれら増幅器の白色雑音成分を対象にすればよく、上記の磁心雑音成分を除いて $p-p$ 値で $\sqrt{1-0.7^2} \approx 0.7 \text{ LSB}$ まで許され、雑音スペクトルで約 $40 \text{ nV}_{pp}/\sqrt{\text{Hz}}$ となる。現状のバイポーラトランジスタや JFET における低雑音要素子としては数 $\text{nV}_{pp}/\sqrt{\text{Hz}}$ のものがあるので、これらを用いて補助 DAC および差動増幅器 A_F を構成することで、この雑音許容値は実現できる可能性がある。ここで基準電流 I_r を増し、 1 LSB の AT を大きくすれば雑音許容値は緩められるが出力電流の増大をもたらすので、その値は抵抗 R_o の発熱との関連で決める必要がある。

7. ま と め

磁気変調形 20 ビット DAC の電圧出力形において、その応答性改善の障害になっていた過渡応答時の交流増幅器系の飽和と出力へのスパイク電圧混入に対して各々の要因を明らかにし、対策可能な回路構成について述べた。その対策を施した試作 DAC により、 $\pm(1/2) \text{ LSB}$ 以内の積分直線性を有し、かつ整定時間 $6 \sim 9 \text{ ms}$ を得た。この整定時間は文献(3)のものと同程度で従来より2けた以上改善され、考案した回路構成の有効性が確認できた。また、安定度を左右する要

因が抵抗 R_o にあることおよび出力雑音を 1 LSB 程度に低減できる可能性を示した。整定時間の実測値は理論値の約8倍あり、これは入力 AT と帰還 AT の立上り時定数の不一致により交流増幅器系の飽和が数十 μs 生じているためと考えられる。これが解決できれば理論値 (1.1 ms) に近い整定時間の実現が期待され、文献(3)の DAC より数倍の高応答性が望める。この問題も含め、抵抗 R_o の発熱対策による長時間安定性と低雑音形補助 DAC の実現および電流出力形における応答性の改善が今後の課題である。

本研究は文部省科学研究費補助金 (一般研究 C: 課題番号 57550259) のもとで基礎研究を行い、その後、日立製作所中央研究所の受託研究として行われた。御支援、御討論をいただいた日立中央研究所 麻殖生健二氏、堀田正生氏の両主任研究員および阿部善右衛門元武蔵工業大学教授には深甚なる謝意を表す。また本研究は、装置の制作や実験に手をわずらわせた関 一幸、須賀 卓両君の元武蔵工大大学院生および卒業研究生の協力によって成し遂げられ、ここに感謝の意を表す。

(昭和 62 年 10 月 24 日受付)

文 献

- (1) T. M. Souders & D. R. Flach: "A 20 BIT+SIGN RELAY SWITCHED D/A CONVERTER", NBS Tech. Note 1105, U.S. Gov. Printing Office (1979)
- (2) J. Nakazoe, M. Abe, H. Mizuno & Z. Abe: "A 20-Bit Digital-to-Analog Converter (DAC) Using a Magnetic Modulator", *IEEE Trans. Instrum. Meas.*, **IM-32**, 187 (1983)
- (3) E. So: "A Current-Comparator-Based 20-Bit Digital-to-Analog Converter", *ibid.*, **IM-34**, 278 (1985)
- (4) 谷本・阿部: 「磁気変調器の低雑音化を目的とした電圧励振の検討」, 電学論 C, **100**, 25 (昭 55-1)
- (5) 中添, 他: 「フェライト磁心による 倍周波数磁気変調器のドリフトの検討」, 同上 C, **97**, 133 (昭 62-7)
- (6) 須賀・安部・中添: 「磁気変調形 20 ビット D-A 変換器」, 電気学会計測研資, **IM-84-39** (昭 59)
- (7) 安部・中添: 「磁気変調形 20 ビット D-A 変換器の応答性の測定」, 同上, **IM-87-36** (昭 62)
- (8) 中添・堀田・阿部: 「磁気変調器を用いた超低雑音直流増幅器」, 計測自動制御学論, **15**, 519 (昭 54)
- (9) H. K. Schoenwetter: "High-Accuracy Settling Time Measurements", *IEEE Trans. Instrum. Meas.*, **IM-32**, 22 (1983)
- (10) BURR-BROWN カタログ: 高分解能 16 ビット D/A コンバータ (DAC 71)