ニュートン・ラフソン法による SI サイリスタの スイッチング動作解析

非会員 深 瀬 政 秋 (東北大)

非会員 中 村 維 男 (東北大)

名誉員 西 澤 潤 一 (東北大)

An Analysis for Switching Operations of the SI Thyristor by Using the Newton-Raphson Method

Masa-aki Fukase, Non-member, Tadao Nakamura, Non-member, Jun-ichi Nishizawa,
Honorary Member

As for precisely analyzing switching operations of the static induction (SI) thyristor with high speed and high power capability, this paper presents a numerical algorithm that employs the Newton-Raphson method in solving circuit equations implicitly containing a two-dimensional physical model. It is necessary for the algorithm to quickly and accurately compute the physical model whose hierarchy is lower than that of circuit equations. Therefore, Adler's irregular mesh structure is modified to integrate vector elements of conduction currents by using Scharfetter-Gummel's method. Displacement currents are counted in calculating terminal currents. It is made clear that displacement currents are indispensable to the current continuity condition within the SI thyristor.

The turn-off process of the basic SI thyristor with buried gates has been simulated by the numerical algorithm. The algorithm has been proved to be physically reasonable from the computed result that the locus of an input/output operating point has been involved in an input/output load surface in a three-dimensional space with current, voltage, and time coordinates. The power described in this paper is rather small in spite of the high power capability of the SI thyristor. We will simulate switching operations under more practical conditions by developing the numerical algorithm.

キーワード：高速大電力半導体素子，SI サイリスタ，スイッチング，ターンオフ，高精度動作解析，
ニュートン・ラフソン法

1. ま え が き

SI サイリスタや GTO サイリスタなどの高速大電力半導体素子が，エネルギー資源の有効利用のために果たすべき役割は大きいものがある。このような半導体素子を更に高速かつ大電力で動作させるために，スイッチング動作解析は重要である。定常状態の解析は，半導体素子の物理モデルを計算して静特性曲線を導くだけでよい⁽¹⁾。これに対して過渡状態の解析は，半導体素子を含む回路の非線形方程式を解いて，負荷曲線における動作点の時間的な変位を求める必要がある。

バイポーラトランジスタの過渡動作解析に関して先駆をなした文献(2)や，GTO サイリスタのターンオフ動作をシミュレートした文献(3)の場合は，アルゴリズムに関する記述をみる限り回路方程式と二次元物理モデルの式の計算を交互に繰返している。しかし，このような反復法は理論的根拠が乏しいので，収束は必ずしも保証されない。一方，倉田らはニュートン・ラフソン法による回路シミュレータに物理モデルを導入した⁽⁴⁾。この方法では物理モデルの式は回路方程式の階層下にある。ただし，対象とした低電力超高周波素子はトランジスタとダイオードを組合せた構造とみ

なすことができるため、物理モデルは一次元として取扱われた。

SIサイリスタの場合、カソード、ゲート、アノード間の相互作用が密接であるため、物理モデルは二次元で考える必要がある。本論文では、SIサイリスタの二次元物理モデルを隠を含む回路方程式をニュートン・ラフソン法で精密に解く方法を採用する。第2章では、ニュートン・ラフソン法による回路方程式の解法と、そのために要求される物理モデルの高速高精度の計算法について述べる。第3章では、埋込みゲート形SIサイリスタのターンオフ動作解析と変位電流を考慮した端子電流の高精度計算法について述べる。求めた解が物理的にも自己矛盾がないことを示すために、電流、電圧、時間を座標とする三次元空間における入出力動作点の軌跡と負荷曲面の関係を調べる。第4、第5章では、アルゴリズムの問題点と今後の展望についてまとめる。

2. ニュートン・ラフソン法による回路方程式の解法

SIサイリスタを含む図1のような回路を考える。 E_G は、スイッチング用電源の時間的に変化する電圧である。 R_{GK} はSIサイリスタのゲートに寄生する分布定数抵抗⁽⁵⁾の近似である。図1の回路は最も基本的な抵抗負荷の場合であるが、本章で提案する数値計算アルゴリズムの妥当性を確かめるのには十分と思われる。

〈2・1〉 回路方程式の解法 図1の回路方程式にニュートン・ラフソン法を適用すると、

$$\left(\frac{\partial i_A}{\partial v_{AK}} + \frac{1}{R_{AK}} \right) \delta v_{AK} + \frac{\partial i_A}{\partial v_{GK}} \delta v_{GK} = -i_A(v_{AK}, v_{GK}) - \frac{1}{R_{AK}} v_{AK} + \frac{E_A}{R_{AK}} \quad \dots\dots\dots (1)$$

$$\frac{\partial i_G}{\partial v_{AK}} \delta v_{AK} + \left(\frac{\partial i_G}{\partial v_{GK}} + \frac{1}{R_{GK}} \right) \delta v_{GK} = -i_G(v_{AK}, v_{GK}) - \frac{1}{R_{GK}} v_{GK} + \frac{E_G}{R_{GK}} \quad \dots\dots\dots (2)$$

を得る。(1)、(2)式の計算を繰返して任意の時刻における回路状態を求めるためには、回路状態の階層下にある物理モデルの端子電流 $i_A(v_{AK}, v_{GK})$, $i_G(v_{AK}, v_{GK})$ およびこれらの偏微分を高速高精度で計算することが不可欠である。このため〈2・2〉節ではAdlerの不規則メッシュ構造⁽⁶⁾を改良する。また、端子電流を高精度で求めるために〈3・1〉節では電流成分として

図1 SIサイリスタを含む回路
Fig. 1. A circuit containing the SI thyristor.

変位電流も計算することを述べる。

〈2・2〉 物理モデルの解法 前節の解法において計算量の大半を占めるのは、物理モデルの解法に用いられる行列方程式の計算である。行列方程式の計算量は、メッシュ数と算法に依存する。本論文ではメッシュ数を減らすために、ポテンシャル、キャリア分布を損なわない範囲で図2のような不規則メッシュ構造⁽⁶⁾を採用する。図2は、図1に示したSIサイリスタの構造の右半分のメッシュ構造である。メッシュを減らした部分のポテンシャル、キャリア分布は一次元分布であるため、メッシュ構造を不規則にしたことの電流密度分布に対する影響はない。

不規則構造メッシュのもとでScharfetter-Gummel方式の積分を適用するために、表1に示すような x に関する偏微分メッシュと y に関する偏微分メッシュを設ける。 x に関する偏微分メッシュ内で電流密度ベクトルの x 成分およびその構成要素は一定と考える。 y に関する偏微分メッシュに関しても同様に考える。表1の黒丸で示したポテンシャルメッシュ点は、

図 2 空間差分法のメッシュ構造
Fig. 2. A mesh structure of the spatial finite difference formulation.

表 1 偏微分メッシュの定義
Table 1. The definition of derivative meshes.

	5点差分の場合	6点差分の場合
ポテンシャルメッシュ		
Xに関する偏微分メッシュ		
Yに関する偏微分メッシュ		

図2の縦と横の線の交点である。なお、電界強度が0に近い場所ではScharfetter-Gummel方式の積分⁽⁷⁾を使う代わりにテイラー級数展開式で導電電流密度の式を差分する。一般に大電力半導体素子のベース領域には、電界強度の小さい部分が長い範囲で存在するので、この影響は大きい。

行列方程式の算法については、直接法と反復法の過

大緩和 (SOR) 法系統と共役こう配 (CG) 法系統が主として使われてきた。最近ではCG法系統が用いられる傾向にある⁽⁸⁾⁽⁹⁾が、この方法が任意の半導体素子の任意の状態のシミュレーションに際して他の算法よりも有利であるということを、一般的に論じた文献があるわけではない⁽¹⁰⁾。結合解法に関して中川らは直接法と線過大緩和 (SLOR) 法⁽¹¹⁾の比較⁽⁵⁾、直接法と不完全上下三角行列双共役こう配 (ILUBCG) 法の比較⁽⁹⁾を行っており、メッシュ数が大きい場合、直接法の計算量が大きくなることを述べている。SLOR法とILUBCG法の計算量の比較はなされていない。GTOサイリスタのシミュレーションに関してはSLOR法の収束性が良いことを述べている⁽⁹⁾。分離解法の場合、高バイアスに関しては不完全コレスキー共役こう配 (ICCG) 法よりもSOR法のほうが有利といわれている⁽⁸⁾。

本論文では、アルゴリズムの簡単なSLOR法を採用する。もし、SLOR法の収束が多少遅くても、メッシュ数を減らしたため行列方程式の計算量が増加することはないと思われる。メッシュ構造が不規則で、〈3・1〉節で述べるように、メッシュ構造の内部でも境界条件が与えられる場合の行列方程式の構造は単純ではない。しかし、SLOR法では行あるいは列を単位とするので、このような行列方程式の取扱いが簡単である。

〈2・3〉 Δt の設定法 連続の式と変位電流の式の時間差分に使うオイラーの後退差分は安定であるため⁽¹²⁾、時間 Δt に関する制約条件はない。Turgeonらは物理モデルのニュートンループの収束状況から Δt を決めるアルゴリズムを提案している⁽²⁾。しかし、このアルゴリズムは回路方程式の収束を保証するものではない。一方、回路方程式は時間差分とは直接の関係がない。しかし、SIサイリスタの端子電圧 v_{AK} 、 v_{GK} の変化に対する端子電流 i_A 、 i_G の変化は急激である。このため、 Δt が大き過ぎると回路方程式のニュートンループは発散する可能性がある。また、物理モデルのニュートンループの試行値を決めることも困難となる。従って本論文では、 Δt を決める基準として期間 $(t - \Delta t, t)$ の i_A の変化量が一定になることを条件とする。

上に述べたように Δt を設定しても、(1)、(2)式より求まる δv_{AK} 、 δv_{GK} の値が大き過ぎる場合があり得る。従って、回路方程式のニュートンループの中に次のような判断命令を設ける。 δv_{AK} 、 δv_{GK} の絶対値がある一定値より大きい場合は、同符号のまま絶対値をその一定値まで強制的に減少させる。

3. SI サイリスタのターンオフ動作

図1示した埋込みゲート形 SI サイリスタの解析は、 p^+ ゲート領域も含めて xy 平面内で行う。ただし、電流密度を電流に換算するため z 方向に奥行 1 cm を与える。また、図1のチャンネル構造が x 方向に長さ 1 cm にわたって 714 本並んでいるものとする。不純物密度 $N_{imp}(x, y)$ は、

$$\begin{aligned} N_{imp}(x, y) &= N_{SK} \exp \left\{ -\left(\frac{y}{y_K}\right)^2 \ln \left(\frac{N_{SK}}{N_{DB}}\right) \right\} \\ &\quad - N_{CG} \exp \left\{ -\frac{g(x)(x-x_C)^2 + (y-y_C)^2}{r_C^2} \right\} \\ &\quad \times \ln \left(\frac{N_{CG}}{N_{DB}}\right) + N_{DB} - N_{SA} \\ &\quad \times \exp \left\{ -\left(\frac{y_{max}-y}{y_{max}-y_A}\right)^2 \ln \left(\frac{N_{SA}}{N_{DB}}\right) \right\} \dots (3) \end{aligned}$$

で与える。ここで、 $g(x)$ は $0 \leq x \leq x_C$ のとき 0 で、 $x > x_C$ のとき 1 なる値をとる関数である。また、カソード表面 $y=0 \mu\text{m}$ の不純物密度 N_{SK} として 10^{19}cm^{-3} 、 $y=y_C$ かつ $0 \leq x \leq x_C$ なるゲート中心の不純物密度 N_{CG} として 10^{18}cm^{-3} 、 n^- 基板の不純物密度 N_{DB} として 10^{13}cm^{-3} 、アノード表面 $y=y_{max}$ の不純物密度 N_{SA} として 10^{18}cm^{-3} を与える。カソード接合とアノード接合の位置 y_K, y_A は、各々 $4 \mu\text{m}$ 、 $290 \mu\text{m}$ でウェーハ厚 y_{max} は $300 \mu\text{m}$ を与える。 p^+ ゲート拡散のパラメータとして、 $y_C=12 \mu\text{m}$ 、 $x_C=2 \mu\text{m}$ 、 $r_C=2 \mu\text{m}$ を与える。境界条件として、ゲート中心のキャリア密度は熱平衡状態の値に等しいとする。また、左右の境界 $x=0, 7 \mu\text{m}$ において未知数の分布形は左右対称であるとする。

連続の式の再結合発生項としては、SRH モデルとオージェ再結合を考慮に入れる。低注入レベルにおける正孔、電子のライフタイム τ_{p0}, τ_{n0} に対しては、SI サイリスタのすべての領域で一定値 $2 \mu\text{s}$ を与える。この与え方については〈4・3〉節で考察する。オージェ係数は、 $e-e-h$ および $e-h-h$ 過程のいずれに対しても $2 \times 10^{-31} \text{cm}^6 \text{s}^{-1}$ を与える。

電力用半導体素子に使用する Si ウェーハの面方位は、製造プロセスでは重要視されるが、動作シミュレーションに際してはこれまで問題にされたことがなかった。しかし、半導体素子が使用される環境においてドリフト速度の電界依存性は強い異方性を示す⁽¹³⁾。従って、キャリア移動度は二次のテンソルで表す⁽¹⁴⁾べきである。例えば電子のドリフト電流のベクトル成分 $j_{nx}^{dri}, j_{ny}^{dri}$ は、

$$j_{nx}^{dri} = qn \{ \mu_n^{11}(E_x, E_y) E_x + \mu_n^{12}(E_x, E_y) E_y \} \dots (4)$$

$$j_{ny}^{dri} = qn \{ \mu_n^{21}(E_x, E_y) E_x + \mu_n^{22}(E_x, E_y) E_y \} \dots (5)$$

のようになる。ただし、これらのテンソル成分の電界依存性のうち、これまで明らかにされているのは μ_n^{11} の E_x 依存性と μ_n^{22} の E_y 依存性のみである。それ以外の依存性については情報が得られないため、本研究では割愛した。それでも $\mu_n^{11}(E_x)$ と $\mu_n^{22}(E_y)$ の値は一般に異なるので、本論文におけるキャリア移動度にはテンソルとしての性質が備わっていることになる。

文献(13)は、〈100〉、〈111〉のような主結晶軸の方向に電界を印加する場合ドリフト速度は印加電界と平行であることと、両者の定量的な関係について述べている。ここで、SI サイリスタに Si(100) ウェーハが使用されているものとするれば、図1で定義した x, y, z 座標軸はいずれも〈100〉と平行である。この場合、 μ_n^{11} の E_x 依存性と μ_n^{22} の E_y 依存性は同じ関数で表現できる。更に、 μ_n^{11} あるいは μ_n^{22} と E_x あるいは E_y 、温度 T 、不純物密度 N_{imp} の関係は各々独立であると仮定する⁽¹⁵⁾。以上より、 μ_n^{11} と E_x, T, N_{imp} の関係を関数 $f(T, N_{imp}, E_x)$ で表すと、 μ_n^{22} と E_y, T, N_{imp} の関係も $f(T, N_{imp}, E_y)$ で表せる。また、 x, y, z 座標軸を互いに交換してもこれらの関係の不変性が失われないことも明らかである。テンソル成分

$$\mu_n^{11} = f(T, N_{imp}, E_x) \dots (6)$$

は x に関する偏微分メッシュで定義し、テンソル成分

$$\mu_n^{22} = f(T, N_{imp}, E_y) \dots (7)$$

は y に関する偏微分メッシュで定義する。関数 f の T, N_{imp} 依存性については、文献(16)の式を使う。これを E_x あるいは $E_y=0$ における f とみなし、 f の E_x あるいは E_y 依存性については文献(15)の式を適用する。

〈3・1〉 解析結果 一般に、過渡動作解析の計算結果は測定の場合と同様、端子電圧、電流の時間変化として示されてきた。しかし、本論文では電圧、電流、時間の三次元空間に計算結果の軌跡を示す。本研究では回路方程式のニュートンループだけでなく、これと入れ子をなしている物理モデルのニュートンループでも、発散を誘発する因子が発生する場合はそのつど矯正処置を施した。以上の二つの操作は、数学的には正解に向かうための手段として許される。計算結果が物理的にも正しいことを確かめるため、軌跡と負荷曲面の関係を調べる。 E_C として図3のような関数を使い、 E_A は 5V 一定とした場合の図1の回路動作を

図3 SIサイリスタのターンオフ動作
ゲート電源電圧

Fig. 3. Source voltage of the gate circuit of the SI thyristor for its turn-off operation.

(a)

計算した。SIサイリスタの動作点の軌跡を図4に示す。図4(a)の静特性曲線は、 i_G と i_A の比を一定とした場合のものである。軌跡が負荷曲面上にあることから、回路方程式は矛盾なく解かれているといえる。

図4の場合、任意の時刻 t においてエレクトロンポテンシャル、キャリア分布は収束し、電流連続性も成り立っている。図5は $t=0.4, 0.433 \mu s$ のときのエレクトロンポテンシャル分布である。図5より、ターンオフ過程のゲート空乏層に関して次のことがわかる。(i)空乏層が y 方向に広がる速度は遅い。(ii)空乏層幅は x 座標にほとんど依存しない。(iii)空乏層の電界強度は時間と共に増加する。図6は、 $t=0.2, 0.33, 0.433 \mu s$ のときの電流を、導電電流

$i_y = i_{ny} + i_{py}$ = チャネル本数 $\times z$ 方向の奥行

$$\times \left(\int_{0\mu m}^{14\mu m} j_{ny} dx + \int_{0\mu m}^{14\mu m} j_{py} dx \right) \dots\dots (8)$$

と、変位電流

i_{dy} = チャネル本数 $\times z$ 方向の奥行

$$\times \left(\int_{0\mu m}^{14\mu m} \epsilon \frac{\partial}{\partial t} \frac{\partial(-\phi)}{\partial y} dx \right) \dots\dots (9)$$

(b)

図4 SIサイリスタのターンオフ過程の計算結果

Fig. 4. Computed results of the turn-off process of the SI thyristor.

図5 SIサイリスタのターンオフ過程における電子ポテンシャル分布
Fig. 5. Electron potential distributions in the turn-off process of the SI thyristor.

の成分に分けて示したものである。

図6より、電流連続性に対する変位電流の役割は重要であることがわかる。ただし、その影響は動作の期間によって異なる。 $t=0.4\mu\text{s}$ 以前、すなわち蓄積期間では、電子ポテンシャル分布の形は直流状態とあまり変わらないが、変位電流の影響は大きい。 $t=0.4\mu\text{s}$ 以後すなわちフォール期間では、電子ポテンシャル分布の形は著しく変化するが、変位電流の値は導電電流の値と比べると無視できる。GTOサイリスタの場合、テイル電流に及ぼす変位電流の影響は非常に大きいことが知られている⁽¹⁷⁾。従って、SIサイリスタの場合もテイル期間における変位電流の影響は興味のあることである。

図6を用いて、〈2・1〉節で触れた端子電流の高精度な計算方法を説明する。図6より、カソード-ゲートの領域とベース-アノード間の領域において、(8)式と(9)式の和は一定値をとることがわかる。従って、

図6 SIサイリスタのターンオフ過程における(8)式と(9)式の計算
Fig. 6. Calculation of Eqs(8) and (9) at the turn-off process of the SI thyristor. Solid/dotted lines mean positive/negative values, respectively.

これらの一定値を各々カソード電流 i_K 、アノード電流 i_A とする。ゲート電流 i_G は

$$i_G = i_K - i_A \quad \dots\dots\dots (10)$$

で計算する。以上によりすべての端子電流を容易に必要な精度で求められる。

〈3・2〉 計算時間 使用した計算機はACOS 2000

図 7 回路方程式のニュートンループの収束特性

Fig. 7. A convergent characteristic of Newton iteration loops in solving circuit equations.

である。プログラムのサイズは、メッシュ点の上限を 1,000 とした場合約 1,200 kW である。図 2 の場合、ポテンシャルメッシュ点の総数は 674 である。一組の端子電圧に対して、物理モデルのニュートンループは 30~50 回まわした。SLOR 法の横方向のラインの縦方向への走査と、縦方向のラインの横方向への走査を交互に 25 回ずつ行わせた場合、物理モデルのニュートンループ 1 回あたりの CPU 時間は約 5 秒である。

回路方程式のニュートンループの収束は速い。図 4 の計算における回路方程式のニュートンループの収束過程の一例として、 $t=0.36 \mu\text{s}$ から $t=0.39 \mu\text{s}$ の状態を導出する場合の収束特性を図 7 に示す。白丸の点は、 δV_{AK} 、あるいは δV_{GK} に〈2・3〉節で述べた矯正処置が施されていることを示す。

図 4 の計算に使用した後退差分の Δt と、図 3 で定義した時刻 t の関係を図 8 に示す。ここで、 t は当然 Δt の総和に等しい。一般的には、 $t=0 \mu\text{s}$ 直後は Δt を短くしなければならないが、それ以降は Δt を長くできる。しかし、図 8 の場合この傾向と逆である。このことは計算時間が長くなることを意味する。SI サイリスタのターンオフ動作の場合、図 5 に示したようにエレクトロンポテンシャル分布は $t=0 \mu\text{s}$ 直後の蓄

図 8 時間軸の刻み Δt と時刻 t の関係
Fig. 8. Relation between time increment Δt and time t .

積期間ではナノ状態の場合とほとんど同じで、フォール期間に入ってから大きな変化を示す。キャリア分布の時間的な変化も同様である。従って、図 8 のような Δt - t 特性になるものと思われる。

4. 考 察

〈4・1〉 2 種類のメッシュの併用 Slotboom の提案⁽¹⁸⁾ 以来、空間メッシュはポテンシャルに関するものと電流ベクトルに関するものが併用されてきた。この場合物理量は、ポテンシャルに関するメッシュで差分化されるもの ($\phi, p, n, T, N_{\text{imp}}$ など) と、電流ベクトルに関するメッシュで差分化されるもの (J, E, μ, D など) に分けられる。従って、2 種類の物理量を同時に含む物理モデルの式の中には、差分化の際にどちらか一方のメッシュを選択し、他方のメッシュに属する物理量は物理的、数値計算的に矛盾のない方法で、選択したメッシュに属する量に換算しなければならないものがある。

第一の例として、(6)式の左辺は例えば表 1 のポテンシャルメッシュ点 N, N_R を境界上を含む x に関する偏微分メッシュ内で一定値をとる。一方、右辺の T, N_{imp} はこのメッシュ内で二つの値をとるので左辺に合わせるために相加平均した値を使う。第二の例として、偏微分メッシュに属する D, μ と、ポテンシャルメッシュに属する T を 1 本の式にまとめたアインシ

ュタインの関係式についても同様な取扱いをする。なお、アインシュタインの関係式は高不純物密度や高電界の半導体では成立しない⁽⁶⁾⁽¹³⁾⁽¹⁹⁾。SIサイリスタのような電力用半導体素子では、このような状態がしばしば発生しうることにも注意すべきである。第三の例として、導電電流の式をテイラ級数展開する場合、偏微分メッシュにおいてドリフト項のキャリア密度を表現するのに、相加平均値を使う方法と風上差分法⁽²⁰⁾を使う方法とを選択できるようにした。ほかに、キャリア密度がエレクトロポテンシャルに対して指数関数依存性をもつことを利用する方法⁽¹²⁾もある。

本論文では割愛した温度こう配を考慮した導電電流の式として、例えば文献(21)の式がある。この式に対してScharfetter-Gummel方式の積分を行うためには、同一メッシュ内で温度と温度こう配がどちらも一定と考えなければならない。Chrysafisら⁽²²⁾は、温度こう配の項を含む導電電流の式を積分するために、各種の物理量の分布形を仮定している。

〈4・2〉空間電荷密度分布の収束性 第3章で述べた計算の場合、空間電荷密度分布だけ収束が不十分である。著者らが以前、予測修正子法による前進差分法⁽²³⁾を使用してバイポーラトランジスタの高注入動作解析を行った際には、空間的前進差分の途中で空間電荷密度分布の発散を引起こした⁽²⁴⁾。空間電荷密度分布が収束しにくいこと自体は回路シミュレータの機能にとってはあまり重要なことではないが、物理モデルの算法によらない共通の問題のように思われる。

分離解法では、ポアソンの式に対するメッシュ幅を連続の式の場合の約半分にした例⁽¹⁸⁾がある。本論文の場合もこのような改良が必要と思われる。文献(6)の不規則メッシュ構造を一般化した形態⁽²⁵⁾を採用し、物理モデルの動作状態に応じてメッシュ幅を変えれば、精度のみならず計算時間も改良される可能性がある。

〈4・3〉ライフタイムの分布 ターンオフ過程のシミュレーションにとって、再結合の役割は重要である。しかし、第3章では τ_{p0} , τ_{n0} の不純物密度依存性を考慮していない。SIサイリスタの全領域で、 τ_{p0} , τ_{n0} をベース領域の値で近似した。その理由を以下に述べる。

τ_{p0} , τ_{n0} は、不純物密度が高いところで短い値をとる⁽²⁶⁾。しかし、SIサイリスタのターンオフ特性に大きな影響を及ぼすのは、ベース領域でキャリアが蓄積する部分のライフタイムであることが一般に認められている。従って、 p^+ , n^+ 領域の τ_{p0} , τ_{n0} の値はターンオフ特性に大きな影響を及ぼさないと考えられる。ま

た、ターンオフ特性を向上させるために、このような場所に局所的にライフタイムキラーを導入する場合は、 τ_{p0} , τ_{n0} の不純物密度依存性は二次的な因子となる。

5. む す び

高精度な算法であるニュートン・ラフソン法によりSIサイリスタのターンオフ動作解析を行った。本論文内では時間差分の Δt を小さく設定したため、計算時間が長かった。そのため、外部電源5V、主電流20A/cm²というSIサイリスタとしては軽い条件でシミュレーションを行ったにとどまった。ニュートンループが収束するという条件付きで Δt の設定法を工夫することにより、500~1,000V、100~1,000A/cm²というより現実的な条件でSIサイリスタの動作解析を行うことが可能となろう。また、テイル期間における変位電流の影響も明らかとなろう。そのため今後は、(i) Δt の設定基準となる i_a の変化量と2種類のニュートンループの収束特性の定量的な関係を明らかにする予定である。また、ゲート空乏層に関して、(ii)アバランシェ増倍の式を物理モデルに加え、(iii)ライフタイムの分布も考慮する予定である。更に、本研究ではキャリア移動度の異方性が考慮されているため、(iv)SIサイリスタの特性と面方位の関係を調べる予定である。

種々の有益な御指摘をいただいた査読者に深謝する。

(平成2年3月19日受付、同2年8月24日再受付)

文 献

- (1) M. Fukase & J. Nishizawa: "Computer Simulation of the Static Induction Thyristor(SIThy)", 6th International Conf. on Control Systems and Computer Science, 3, 106 (1985)
- (2) Luke, J. Turgeon & D. H. Navon: "Two-Dimensional Nonisothermal Carrier Flow in a Transistor Structure under Reactive Circuit Conditions", *IEEE Trans. Electr. Devices*, **ED-25**, 837 (1978)
- (3) A. Nakagawa: "A Time- and Temperature-Dependent Two-Dimensional Simulation of GTO Turnoff Process II- Inductive Load Case", *Solid-State Electronics*, **28**, 677 (1985)
- (4) M. Kurata, R. Katoh & J. Yoshida: "Ring Oscillator Circuit Simulation with Physical Model for GaAs/GaAlAs Heterojunction Bipolar Transistors", *IEEE Trans. Electr. Devices*, **ED-32**, 1086 (1985)
- (5) A. Nakagawa & D. H. Navon: "A Time- and Temperature-Dependent 2-D Simulation of the GTO Thyristor Turn-Off Process", *ibid.*, **ED-31**, 1156 (1984)
- (6) M. S. Adler: "A Method for Achieving and Choosing Variable Density Grids in Finite Difference Formulations in Device Modeling", *NASECODE I*, 3 (1979)
- (7) D. L. Scharfetter & H. K. Gummel: "Large Signal Analysis of a Silicon Read Diode Oscillator", *IEEE Trans. Electr. Devices*, **ED-16**, 64 (1969)

- (8) A. Yoshii, H. Kitazawa, M. Tomizawa, S. Horiguchi & T. Sudo: "A Three-Dimensional Analysis of Semiconductor Devices", *ibid.*, **ED-29**, 184 (1982)
- (9) 中村・中川: 「二次元複合デバイスシミュレータのたの高速反復行列解法」, 電学論 C, **108**, 333 (昭 63-5)
- (10) A. Yoshii, M. Tomizawa & K. Yokoyama: "Investigation of Numerical Algorithms in Semiconductor Device Simulation", *Solid State Electronics*, **30**, 813 (1987)
- (11) R. S. Varga: *Matrix Iterative Analysis* (1962) Prentice-Hall, Inc.
- (12) S. Selberherr: *Analysis and Simulation of Semiconductor Devices* (1984) Springer-Verlag
- (13) C. Jacoboni, C. Canali, G. Ottaviani & A. Quaranta: "A Review of Some Charge Transport Properties of Silicon", *Solid-State Electronics*, **20**, 77 (1977)
- (14) W. R. Runyan: *Semiconductor Measurements and Instrumentation* (1975) McGraw-Hill, Ltd.
- (15) D. M. Caughey & R. E. Thomas: "Carrier Mobilities in Silicon Empirically Related to Doping and Field", *Proc. of IEEE*, **55**, 2192 (1967)
- (16) J. M. Dorkel & Ph. Letureq: "Carrier Mobilities in Silicon Semi-empirically Related to Temperature, Doping and Injection Level", *Solid-State Electronics*, **24**, 821 (1981)
- (17) 滝上・竹内: 「GTO の最大可制御陽極電流の非破壊測定法」, 昭 55 電気学会全大, 490
- (18) J. W. Slotboom: "Computer-Aided Two-Dimensional Analysis of Bipolar Transistors", *IEEE Trans. Electr. Devices*, **ED-20**, 669 (1973)
- (19) K. Okamoto & J. Nishizawa: "Measurement of Hot Carrier Diffusion Constant in Semiconductors", *J. Appl. Phys.*, **36**, 3716 (1965)
- (20) 酒井・島田・加藤: 「電力用半導体素子構造解析プログラムの収束性改良に関する一手法」, 信学誌, **J68-C**, 433 (昭 60-6)
- (21) R. Stratton: "Semiconductor Current-Flow Equations (Diffusion and Degeneracy)", *IEEE Trans. Electr. Devices*, **ED-19**, 1288 (1972)
- (22) A. Chrysosafis & W. Love: "A Computer-Aided Analysis of One-Dimensional Thermal Transients in n-p-n Power Transistors", *Solid-State Electronics*, **22**, 249 (1979)
- (23) 西沢・中村: 「CAD による高注入レベルにおけるトランジスタの動作解析」, 信学技報, **SSD 71-56** (昭 46)
- (24) 深瀬・西沢: 「CAD によるバイポーラトランジスタの高注入レベル動作解析」, 信学誌, **J61-C**, 219 (昭 53-4)
- (25) A. F. Franz, G. A. Franz, S. Selberherr, C. Ringhofer & P. Markowich: "Finite Boxes-A Generalization of the Finite-Difference Method Suitable for Semiconductor Device Simulation", *IEEE Trans. Electr. Devices*, **ED-30**, 1070 (1983)
- (26) 例えば, V. A. K. Temple: "MOS-Controlled Thyristors-A New Class of Power Devices", *ibid.*, **ED-33**, 1609 (1986)

深瀬 政秋 (非会員)

昭和 25 年 10 月 24 日生。53 年東北大学大学院博士課程修了。同年(財)半導体研究振興会半導体研究所

研究所助手。工学博士。主として、半導体工学における CAD, 半導体結晶の育成と解析, パワーエレクトロニクス, スーパーコンピュータアーキテクチャに関する研究に従事。

中村 維男 (非会員)

昭和 19 年 1 月 25 日生。47 年東北大学大学院博士課程修了。53 年同大学助教授, 63 年同工学部教授。58 年スタンフォード大学客員教授。

63 年東京大学理学部(非)講師。工学博士。主として, スーパーコンピュータアーキテクチャ, CG, CAD に関する研究に従事。The Visual Computer 編集委員, IEEE Senior Member。

西澤 潤一 (名誉員)

大正 15 年 9 月 12 日生。昭和 23 年東北大学電気工学科卒業。29 年同大学助教授, 37 年同教授, 平成 2 年同大学総長。工学博士。文化功労者。主に半導体など, 電子材料の基礎的性質, 独創的な電子素子の研究に従事。日本学士院賞, 紫綬褒賞受賞。文化勲章受章。IEEE Fellow。