V. シングルチップスーパーコンピュータ

解説

飯 野 秀 之 富士通(株)第一 LSI 設計統括部

1. はじめに

一般に科学技術計算プログラムでは、DO ループ文に見られるように膨大なデータに対して同一の演算処理を繰り返し実行することが多く、この繰り返し処理をいかに高速に実行できるかが性能向上の極めて重要な課題となっている。そこでスーパーコンピュータ分野で広く用いられているベクトル演算方式を採用してシングルチップ化することにより、70 MHz 動作で 289 MFLOPS の浮動小数点単精度性能を達成し、スケラビリティとポータビリティを兼ね備えた μ VP (micro Vector Processor) を開発した⁽¹⁾。

2. アーキテクチャ

μ VP の内部ブロックを図 1 に示す。 μ VP はベクトルユニット (VU)、命令バッファユニット (CBU)、制御ユニット (CU)、アドレスユニット (AU) およびバスユニット (BU) で構成されている。VU はベクトル処理ユニットであり、8 KB のベクトルレジスタ (VR)、64 B のマスクレジスタ (MR)、128 B (32 bit $\times$ 32) のスカラレジスタ (SR) と加算 (ADD) パイプ、乗算 (MUL) パイプ、除算 (DIV) パイプ、グラフィックパイプ、マスクパイプおよびロード/ストアパイプの 6 本のベクトルパイプラインを内蔵する。

CU は CBU 内の 1 KB の命令バッファに格納されている μ VP の命令をフェッチし、全体動作を制御する。

AU は 32 ビットのアドレスバス、BU は 64 ビットのデータバスをもち、外部記憶装置とのオペランドのロードストアを行う。

μ VP は基本的には DO 文のループ回数に対応したベクトル長に対して、①外部記憶装置上にある演算デ

ータをロード/ストアパイプを介して VR へ格納してから、②これらを演算オペランドとして例えば MUL や ADD パイプなどの所定の演算に対応するベクトルパイプラインに連続的に送り込んで高速な演算を行い、③その結果を VR に書き込み、④ロード/ストアパイプを介して再び外部記憶装置に格納する。

μ VP では CMOS シングルチップという限られたリソースの中で、高性能かつシステムを構成する場合の簡便性を備えたベクトルプロセッサを実現するために、特に下記の要件を考慮したインプリメントを行っている。

- (1) ベクトルパイプラインの並列動作とデータ供給
- (2) 演算パイプラインの最適化設計：立ち上がり時間の短縮と単精度演算の並列実行
- (3) 単精度演算の高速化のためのリオーダによる並列実行

特に (2) については本 LSI がアクセラレータなどで使用される場合を考慮して、短いベクトル長の高性能化と単精度アプリケーションの高速化を図ったものであり、ベクトル長が十分に長くほとんどが倍精度データを取り扱う従来のスーパーコンピュータとは異なるものである。

それでは以下に上記要件実現のためのインプリメント方法について述べる⁽²⁾。

2.1 ベクトルパイプラインの並列動作

図 2 に VU の構成を示す。 μ VP は VR を 4 バンク構成にすることによって、6 本のベクトルパイプラインのうち 4 本を並列動作させることを可能とした。これら 4 本は ADD パイプかグラフィックパイプのどちらか、MUL パイプ、DIV パイプかマスクパイプのどちらか、およびロード/ストアパイプであり、ロード/ストアパイプを使用して外部記憶装置と VR 間のオペランド転送をしながら同時に 3 本の演算パイプラインが並列動作する構成になっている。

VR は 2 リード/1 ライトの 3 ポートの SRAM であ

V. A Single Chip Supercomputer.

By Hideyuki Iino (Fujitsu Corp.)

キーワード：ベクトル、並列実行、バンク

図 1 ブロック図

図 2 VU の構成

図 3 バンクセクタの構成

り、各々のバンクはリードバンクセクタとライトバンクセクタを通じて各ベクトルパイプラインに接続されている。バンクセクタは VR バンクの各ポートに対応して二つのリードプレーンと一つのライトプレーンを 4 組ずつもち、独立したデータパスとバンクスロットと称される厳密なタイミング制御によりバンクコンフリクトを防ぎ、VR バンクと各ベクトルパイプライン間のデータ転送をスケジューリングしている。これらの方法によって各ベクトルパイプラインは同時に VR から 64 ビット×2 のオペランドを受け取り 64 ビット×1 の演算結果を VR へ戻すことができる。

図 3 にバンクセクタの構成を示す。バンクセクタはトライステートドライバを使用したオペランドシャッフル回路である。この部分はコンフリクトを発生させないデータ転送を実現するために非常に多くのデータパスセクタを必要とするところであり通常の AND-OR ゲートを用いるとチップ面積が大きくなりすぎる問題があったが、図のようなトライステート

ドライバを使用することにより AND-OR ゲートに比べて約 1/4 の面積で構成することができ、シングルチップ化に有効なところであった。VR とベクトルパイプライン間のデータ転送レートはリード側で 3,920 MB/s、ライト側で 2,240 MB/s に達する (70 MHz 動作時)。

2.2 演算パイプラインの最適化設計

ADD, MUL, DIV パイプは IEEE-754 規格準拠の浮動小数点単精度・倍精度の演算を行い、またそれ以外にも ADD と MUL は 32 ビット整数も取り扱う。

ADD と MUL はそれぞれ 2 段のパイプライン構成をとっており、パイプラインの段数を短くすることにより VR リードから VR ライトへのレイテンシを 4τ と短くした。

図 4 に ADD の構成を示す。パイプライン 1 段目は入力オペランドチェック (Pre-operation), Operand swapper, Shifter, 56bit Adder, 12bit exponent subtracter, 2 段目は正規化と丸め処理のための Priority Encoder, Shifter, Incrementor で構成されて

図 4 ADD パイプライン

いる。

ADD は前記回路を使用して加算，減算，比較，フォーマット変換を実行するが，それ以外にも二つのテンポラリーラッチと出力から入力へのフィードバックパスを設けることによってベクトルマクロ命令と呼ばれる総和，最大値・最小値検索処理を可能とした。

MUL は 1 段目は二次の Booth decoder，54 bit × 54 bit Wallace tree，2 段目は 108 bit の最終部分積 Adder，Normalizer および Round 回路から成る。

ADD と MUL はそれぞれ単精度/倍精度ユニットと単精度ユニットの二つのユニットで構成されており，倍精度オペランドの場合は単精度/倍精度ユニットのみが動作して 1 演算/サイクルの演算を行い，単精度オペランドの場合は単精度/倍精度ユニットと単精度ユニット両方が動作して 2 演算/サイクルの演算を行う。したがって 70 MHz 動作では ADD，MUL はそれぞれ倍精度で 70 MFLOPS，単精度では 2 倍の 140 MFLOPS の性能が得られる。

DIV はハードウェアによる引き離し法を用いており倍精度・単精度とも 9 MFLOPS の性能を得ている。

2.4 単精度演算の並列動作

上記のように ADD，MUL は単精度演算の場合にそれぞれ二つのユニットが動作する。この演算速度とバランスさせるためにバンクセクタを通じて接続されている VR-演算パイプ間の 8 B のバスを $4B \times 2$ として使用できる構成とした。このためには VR の 8 B 長の一つのセルの中に 4 B 長の単精度オペランドを 2 個結合して格納する必要がある。しかし問題となるのは単精度→倍精度フォーマット変換を実行する場合で，この場合オペランド長が異なるため ADD は 2 ユニットのうち 1 ユニットしか動作しない。この場合単精度のベクトルオペランドを例えば $(4i+1)$ と $(4i+2)$ ， $(4i+3)$ と $(4i+4)$ のように要素順に連結した形で 8 B の VR の 1 セルに格納すると，バンクが 1

図 5 ロードパイプの構成

回まわる状態で変換命令は $(4i+1)$ の次は $(4i+3)$ のように奇数要素または偶数要素しか実行できず，要素番号順に実行できないことになってしまう。その結果，変換結果を VR へ格納する場合に WAIT が挿入してしまい，性能が低下してしまうという問題が発生する。この問題を回避するために外部メモリから VR にオペランドを格納するときにロード/ストアパイプでベクトル要素間のデータの並び替えを行い，要素 $(4i+1)$ と $\{4(i+1)+1\}$ を結合して 8 B の 1 セルに格納して，演算実行もリオーグして要素 $(4i+1)$ と $\{4(i+1)+1\}$ を同時に実行する仕様としている。図 5 にロードパイプの構成を示す。これにより変換結果のストアを要素番号通りに No WAIT で実行することが可能となっている。

3. バスオペレーション

各演算パイプラインを有効に動作させるためには， μVP と外部記憶装置との間の高速なデータ転送が必要であり，例えば低速なメモリに対してもバンク分けしてインタリーブ制御することによって見かけ上 1 クロックのアクセスを行うことができるようアドレス先だしバス（アドレスパイプラインバス）をサポートしている。バスバンド幅は 560 MB/s である（70 MHz 動作時）。

アドレス生成に関しては連続オペランド配列と非連続オペランド配列として等間隔オペランド配列および間接オペランド配列の 3 種類があり，ベクトルロードストアに必要なアドレス発生機能がある。

また MMU による仮想記憶制御機能は，4 KB のページサイズのページモード，最大 4 MB をセグメントとするセグメントモードをサポートしており，論理アドレス 32 ビット長，データとして最大 256 MB までをアクセスすることができる。

μVP を起動し演算処理を行わせるためには，外部 CPU から μVP 内部の制御レジスタへのアクセス，命令バッファへの命令書き込みアクセス等が必要であ

り、そのためのスレーブインタフェースをもっている。

4. 命令セット

μ VP は 207 種類の命令をもち、142 個のベクトル命令、56 個のスカラ命令、9 個の制御命令に分類される。

ほとんどのベクトル命令は、例えば、

$\text{IF } \times(i) < 0 \text{ THEN } C(i) = A(i) + B(i)$

のように IF 文などで定義された条件分岐をベクトル処理として実行することができる。これはマスキレジスタ (MR) を使用して、その MR に格納されている条件ビットにより演算結果を VR に戻すかどうかを判定するものであり、スカラ処理のように 1 回 1 回条件判定をして分岐するかどうかを決定するわけではないので、条件判定・分岐による性能低下はない。

スカラ命令は SR 間の演算や SR へのロード/ストアを行う。スカラ命令をサポートしているため、ベクトル処理はベクトルプロセッサ、スカラ処理は CPU というような処理の違いによるプロセッサの切り分けがなく、 μ VP で両方実行できるため、プログラミングは容易である。

また制御命令は命令バッファ内での命令の分岐やレジスタ間の転送を行う。

命令語長は 32 ビット固定であり 10 ビットのオペコードと 22 ビットのレジスタ指定フィールドをもつ。

5. ベクトルオペレーション

図 6 に 4 本のベクトルパイプラインが並列動作している場合のシーケンスを示す。 μ VP では 4 バンク構成の VR に対応して、バンクスロットと呼ばれる #0, #1, #2, #3 の 4 クロックを一つの基本単位としたタイミング信号で制御している。各ベクトルパイプラインは VR からオペランドを読み出すことによって動

作を開始するのでこの動作開始のタイミングを MUL は #0, ADD は #1, DIV は #2, ロード/ストアは #3 と割り当てることによってバンクコンフリクトをなくし、各パイプラインの並列動作の制御も簡便化した。また VR への書き込み側も同じバンクスロットで制御しており、MUL と ADD の開始はそれぞれ #3, #0 であり、いったん結果が出始めると後は連続的に結果を出力する。DIV は #1 であり 32 サイクルで 4 演算を行い、四つの結果を連続的に書き込む制御を行っている。

また並列実行時における命令間でのデータの参照順序の依存関係、ベクトルパイプラインのリソースチェックおよび動作開始時のフェーズチェックなどは、CU 内のスコアボード機能を用いて自動的に制御される。

6. 性能評価

図 7 に各ベンチマークのシミュレーション結果を示す。倍精度演算で LINPACK は 42.7 MFLOPS, Livermore Loop の Kernel 1 で 77.7 MFLOPS, Kernel 7 で 100.1 MFLOPS の結果を得ている。 μ VP はベクトルパイプラインの立ち上がりが 4 τ であり、一般のスーパーコンピュータに比較して早い。短いベクトル長での性能の落ち込みが緩やかで実効性能がピークに対してそれほど低下していないといえることができる。またベクトル処理の特徴としてベクトル長が長い演算に対してもキャッシュミスによる性能低下がなく、ベクトル長が長くなればなるほど性能は向上し続けることがわかる。

7. チップレイアウト

図 8 にチップ写真を示す。 μ VP は A 13 層-0.5 μ m CMOS プロセスを使用して、約 150 万トランジスタを 15.99 mm $\times$ 15.99 mm のチップサイズに集積した。

図 6 ベクトル処理シーケンス

図 7 ベンチマーク結果

図 8 チップ写真

表 1 μ VP 諸元

Operation Frequency	70 MHz
Peak Performance	149 MFLOPS (DP), 289 MFLOPS (SP)
Bus Band Width	560 MB/s
Number of Instructions	207 (Control: 9, Vector: 142, Scalar: 56)
Address Translation	4 KB (Page Mode) 256 KB, 1 MB, 4 MB (Segment Mode)
Number of Pipelines	5 (Execution Pipelines), 1 (Load/Store Pipeline)
Number of Transistors	1.5 Millions
Power Dissipation	5.0 W (Typical at 3.3 V)
Process Technology	0.5 μ m CMOS 3 metal layers metal pitch: 1st- 2.1 μ m, 2nd- 2.1 μ m, 3rd- 4.2 μ m

高集積度を得る手法として、例えば演算パイプラインのデータパス系のようなブロックはフルカスタムレイアウトを行っている。またあまり規則性のない MUL の Wallece Tree の部分は回路とレイアウトの最適化を図ることによって、88,384 トランジスタを 7.17 mm^2 に集積し、 $12,327 \text{ Tr/mm}^2$ の集積密度を得ている。一方、CU などのように規則性のない制御系

のブロックに対しては、Over-cell routing をベースとするスタンダードセルの自動レイアウトを使用し、集積密度は約 $5,500 \text{ Tr/mm}^2$ である。

全入力、出力端子レベルは 3.3 V であり、消費電力は通常動作で 5.0 W である。パッケージは SQFP-256 を使用している。

8. ま と め

表 1 に本 LSI の諸元をまとめる。0.5 μ m CMOS テクノロジを使用して、ピーク性能 289 MFLOPS の演算性能と 560 MB/s のバスバンド幅をもつベクトルプロセッシング機能をシングルチップに集積することができた。本 LSI を使用することにより、今までスーパーコンピュータが行っていた高速な科学技術計算をパーソナルな環境で実現できると考えられる。

(平成 5 年 8 月 11 日受付)

文 献

- (1) H. Iino, et al.: "A 289 MFLOPS Single-Chip Super-computer", *ISSCC'92 Digest of technical papers* p.112 ~113
- (2) 高橋宏政, 他: "289 MFLOPS シングルチップベクトルプロセッシングユニット", 電子情報通信学会 集積回路研究会 ICD 92-10

飯 野 秀 之

昭和 58 年北海道大学工学部電気工学科卒業。同年、富士通株式会社に入社。パーソナルコンピュータの設計を経て、高性能マイクロプロセッサの開発に従事。富士通株式会社—LSI 設計統括部第二設計部に所属。