電流センス付きIGBTの電流検出用ユニットセルにおける過渡ピーク電流解析と抑制法

正員 萩野浩靖 正員 山田富久 正員 上西明夫 (三菱電機株式会社 福岡製作所)
正員 友松佳史 (福菱セミコンエンジニアリング株式会社)

An analysis of generation mechanisms of the transitional peak current in sense-emitter current for IGBTs with current sense and techniques to remove it.

Member Hiroyasu Hagino ,Member Tomihisa Yamada ,Member Akio Uenishi (Mitsubishi Electric Corporation Fukuoka Works)
Member Yoshifumi Tomomatsu (Fukuryo Semicon Engineering Corporation)

It is important to remove the transitional peak current in sense-emitter current which occurs by dynamic currents sharing during turn-on for a design of IGBTs with current sense used protection against overcurrent and short circuit. But this analysis has been scarcely investigated.

This paper makes clear generation mechanisms of the transitional peak current by simulations and experiments using a parallel operation model and reports on techniques to remove it.

The following results were obtained.

(1) In the two paralleling devices model which consists of a sense cell and main cells, the transitional peak current occurs during turn-on when a sense cell turns on faster than main cells do. In this case, main parameters that effect dynamic currents imbalance are gate resistance (R_g) and gate threshold voltage (V_{th}).

(2) In dynamic currents imbalance based on individual R_g and V_{th} among main cells, it may treat as a two paralleling devices model consists of a sense cell with R_{gs} and V_{ths} , and main cells with average values R_{gm} and V_{thm} .

(3) The transitional peak current can be removed by the design that R_{gs} and V_{ths} in a sense cell are larger than average values R_{gm} and V_{thm} in main cells.

(4) We manufactured on trial IGBTs with current sense that V_{ths} in a sense cell is different from average value V_{thm} in main cells to change impurity concentrations of each channels. And we confirmed that the transitional peak current in sense-emitter current can be removed by the design that V_{ths} in a sense cell is larger than average value V_{thm} in main cells.

キーワード：IPM、カレントセンス、並列動作

1. まえがき

産業機器分野を中心にインバータ化が進む中、装置の品質向上や使い易さ等の面からIGBTを使ったインテリジェントパワーモジュール(IPM)^{[1][2]}が採用される様になって来ている。

IPMに使用されるIGBTには過電流検出や短絡検出機能として用いられるセンスセルが設けられている。通常、センスセルは多数個並列に配置されたIGBTセルの1部で構成される。このためスイッチング時(特にターンオン時)にはセンスセルと主セルの動作不均一が生じることを考慮する必要がある。

もともと電流センスを用いた電流分割技術^{[3][4][5]}はパワーMOSFETで使用されてきたが、IGBTを用いたIPMへその技術が応用されるにつれてIGBTの安全動作領域(SOA)との関連から、センス特性のターンオン過渡時の挙動解析がIPM設計の上で重要課題の1つとなって来ている。しかし、その解析についてはほとんど行われていない。

本論文では、センス付IGBTのターンオン時のセンス電

流波形に着目し、ターンオン時の過渡状態で発生する過渡ピーク電流(I_{sep})の発生メカニズムをターンオン速度の異なる4素子モデルを用い、シミュレーションと実験で明らかにした。さらに実デバイスへの改善適用例についても述べる。

2. 過電流や短絡検出に用いられる

電流センスの特性上の課題

図1にIGBTの電流センシングを用いた過電流検出(OC)、短絡検出(SC)の回路図を示す。この回路はセンスセルのエミッタに接続されたセンス抵抗(R_{sens})に発生する電圧を検出することで主回路の過電流や短絡を保護する構成になっている。

図2にはOCトリップレベル直前のゲート電圧、負荷電流、センス電流を示す。

ここでセンス電流に着目すると、ターンオンとターンオフ期間にセンス定常電流(I_{se})より大きなセンス過渡ピーク電流(I_{sep})が観測される。特にターンオン期間に発生する

IsepはOCレベルやSCレベルの設定にあたって問題となる。

一般に、ラインノイズ等によるサージ電流(ΔI_{sn})の重畳を考慮に入れ、SCレベルはOCレベルの1.5倍程度に設定される。OCは10 μ s程度の比較的長い時間で検出する。その場合、センス電流は定常電流(Ise)になっているためIsepの発生は問題にならない。しかし、SCは素子保護の面から1~2 μ s程度の短い時間で働かせる必要がある。そのためIsep+ ΔI_{sn} (=Isep(OC))がSCレベルでのセンス電流(Ise(SC))を越えるとOC状態であってもSC状態として働く事になる(図3)。よってIse(SC)値はOCレベルでのセンス定常電流(Ise(OC))の1.5倍でなく、OCレベルでのセンス過渡ピーク電流(Isep(OC))の1.5倍として設定する必要がある。Isep(OC)が大きくなればなるほどSCレベルの設定値は高くする必要がおり、IGBTの短絡安全動作領域(SCSOA)を越える可能性が出て来る。

以上より、Isepの低減は、IPMの設計上重要な課題といえる。

図1. IGBTの保護回路

Fig.1 Circuit diagram of current protection for IGBT.

図2. センス付きIGBTの動作波形

Fig.2 Switching waveforms of IGBT with current sense.

図3. OCトリップレベル直前のセンス電流波形

Fig.3 Sense emitter current waveform just before OC trip level.

3.シミュレーションと実験による

過渡ピーク電流(Isep)発生メカニズムの解明

センス過渡ピーク電流の発生メカニズムに関してはセンスセルと主セルの不均一動作に着目した。

IGBTチップの並列動作を行なう場合、不均一動作を発生させる要因としてモジュール内配線等によるインダクタンス成分やゲート抵抗(Rg)、ゲートエミッタ間しきい値電圧(Vth)およびMOS部を構成する部分の容量が挙げられる。しかし今回は、チップ内部での不均一動作の解析であるためモジュール内配線等によるインダクタンス成分の影響は考慮していない。また、チップ内部での不均一動作を発生させる要因としてRg、Vthに加えMOS部を構成する部分の容量が挙げられるが、IGBTチップ自身がユニットセルの直列および並列接続の集合体であるため、容量をそれぞれのユニットセルに分割することが難しい。

そこで今回のIsep発生メカニズム解明については、チップ設計上比較的容易に変更可能なRgとVthのみに限定して調査を行なった。

今回シミュレーションによる調査はデバイスシミュレーションと回路シミュレーション結合させたMixed-modeシミュレーションを用いて行った。

このMixed-modeシミュレーションは、デバイス自身はデバイスシミュレーションで計算を行ない、この結果をもとに周辺回路を回路シミュレーションで計算させるものである。この方法は近年実用化が進んできており、実測と比較的一致することが報告されている。^{[6][7][8][9]}

3.1. 2素子モデルでの不均一動作

ゲート抵抗(Rg)とゲートエミッタ間しきい値電圧(Vth)をパラメータとして2素子モデルの並列動作のシミュレーションを行った。各素子(IGBT1、IGBT2)は図4に示すユニットセルで、MOS部を構成する部分の容量を等しくするために定格電流がそれぞれ10Aとなるようにチャネル長さを調整している。

図5に2素子モデルの回路図を示す。

図4. IGBTの断面図

Fig.4 Cross sectional view of IGBT

図5. 2素子並列モデルの回路図

Fig.5 Circuit diagram of two paralleling devices model.

まず R_g の影響について調べた結果を図6に示す。 R_g の小さい素子は早くターンオンし早くターンオフするため、ターンオン時に I_{sep} が発生する。一方、 R_g の大きな素子は遅れてターンオンし遅れてターンオフするため、ターンオン時に I_{sep} が発生しないかわりに、ターンオフ時に I_{sep} が発生する。

図6. 2素子並列モデルにおける R_g の影響Fig.6 Effect of R_g by using two paralleling devices model.

次に、 V_{th} の不均一に関してシミュレーションした結果を図7に示す。 V_{th} の小さな素子は早くターンオンし、遅れてターンオフするため、ターンオン、ターンオフ両期間で I_{sep} が発生する。一方、 V_{th} の大きな素子は遅れてターンオンし、早くターンオフするため、ターンオン、ターンオフ両期間には I_{sep} が発生しない。

図7. 2素子並列モデルにおける V_{th} の影響Fig.7 Effect of V_{th} by using two paralleling devices model.

3.2. 4素子モデルによるシミュレーション

一方、実デバイスを考える場合、主セル領域が多セルの並列接続になっているため主セルでも不均一動作が当然発生している。つまり、現実には主セルはセンスセルに対して早くターンオンするセルと遅くターンオンするセルの混在になっていると考えるのが妥当であり、主セルの不均一動作がセンスセルに及ぼす影響を考慮する必要がある。そこで混在状態での動作を解明するために、4素子モデルによるシミュレーションを行った。また、そのシミュレーション結果の妥当性を調べるため、4素子並列モデルを試作し実験による検証も行った。

図8にシミュレーションに用いた4素子モデルの回路図を示す。4素子モデルは1個のIGBT素子をセンスセル、残りの3素子を3並列の主セルと見なしている。また個々のゲート抵抗 R_{gi} ($i=1, \dots, 4$)とゲートエミッタ間しきい値電圧 V_{thi} ($i=1, \dots, 4$)はパラメータとして変えられるようにしている。ここで前述したように今回の調査では R_g 、 V_{th} に限定して行なっているためMOS部を構成する部分の容量を等しくするようにした。すなわち、主素子を構成するIGBT2,3,4の定格電流をそれぞれ10Aにし、センスセルを構成するIGBT1の定格電流を30Aとなるようにチャネル長さを調整し、主素子を構成するIGBTのトータル面積とセンス素子を構成するIGBTの面積を等しくしている。

IGBT1；センス素子 IGBT2+IGBT3+IGBT4；主素子

図8. 4素子並列モデルの回路図

Fig.8 Circuit diagram of four paralleling devices model.

まず、 R_{gi} の影響について述べる。 R_{gi} の影響については表1に示す3ケースについて検証した。

Aのケースはセンス素子の R_{g1} が主素子のゲート抵抗 R_{g2} と同一のケースで、残り2つの素子のゲート抵抗よりも小さいので($R_{g1}=R_{g2}$, $R_{g1}<R_{g3}<R_{g4}$)センス素子が早くターンオンし、早くターンオフするため、ターンオン期間に I_{sep} が発生する。

逆にBのケースは、センス素子の R_{g1} が主素子のゲート抵抗 R_{g4} と同一のケースで、残り2つの素子のゲート抵抗よりも大きいので($R_{g1}=R_{g4}$, $R_{g1}>R_{g3}>R_{g2}$)、センス素子が遅れてターンオンし、遅れてターンオフするのでターン

オフ期間にIsepは発生するが、ターンオン期間にはIsepは発生しない。Cのケースではセンス素子のRg1が主素子のゲート抵抗Rg3と同一のケースで、残り2つの素子のゲート抵抗のRg2より大きくRg4よりも小さい(Rg1=Rg3,Rg2<Rg1<Rg4)。このケースにおいては、センスセルのRg1と主セルのゲート抵抗の平均値(Rgm=(Rg2+Rg3+Rg4)/3)が等しくなるケースためIsepは発生しない。つまり、センスセルのRg1と主セルのゲート抵抗の平均値(Rgm=(Rg2+Rg3+Rg4)/3)との比較でIsepの発生の有無が説明できる。図9にA,B,Cケースのシミュレーション結果を示す。

表1. Rgの及ぼす影響

Table1. Effect of Rg.(by Simulation)

	Rg1 [Ω]	Rg2 [Ω]	Rg3 [Ω]	Rg4 [Ω]	Rgm [Ω]	Isep発生の有無	
						on	off
A	1.5	1.5	3.0	4.5	3.0	○	×
B	4.5	1.5	3.0	4.5	3.0	×	○
C	3.0	1.5	3.0	4.5	3.0	×	×

Rg=100Ω, Vth1=Vth2=Vth3=Vth4=5.0V

図9-2. Bケース

Fig.9-2 Case B

図9-1. Aケース

Fig.9-1 Case A

図9-3. Cケース

Fig.9-3 Case C

図9. 4素子並列モデルのスイッチングシミュレーション(Rgの影響)

Fig.9 Simulation of switching waveforms using four paralleling devices model by effect of parameter Rg.

次に、主素子のVthのバラツキによる不均一動作がセンス素子に及ぼす影響について考えて見る。現実のデバイスでは製造プロセス中にVthのバラツキが発生している。そこで、主セルの中にVthのバラツキが発生したと仮定し、表2に示す4ケースについてシミュレーションで検証した。ここでRgの条件は表1のシミュレーションでIsepの発生していないCケースの条件を用いた。

まず、Dのケースはセンス素子のVth1が、主素子のVth2と等しいケースで、残り2つの素子のVthのいずれよりも低い場合(Vth1=Vth2,Vth1<Vth3<Vth4)で、センス素子は主素子よりも早くターンオンし、遅れてターンオフするため、ターンオン、ターンオフの両期間にIsepが発生する。センス素子のVth(Vth1)と主素子のVthの平均(Vthm=(Vth2+Vth3+Vth4)/3)とを比較するとVth1<Vthmとなる。

また、Eのケースは、センス素子のVth1が、主素子の

Vth4と等しいケースで、残り2つの素子のVthのいずれよりも高い場合(Vth1=Vth4,Vth1>Vth3>Vth2)で、センス素子は、主素子よりも遅れてターンオンし、早くターンオフするため、ターンオン、ターンオフの両期間ともIsepは発生しない。この場合、センス素子のVth(Vth1)と主素子のVthの平均(Vthm=(Vth2+Vth3+Vth4)/3)とを比較するとVth1>Vthmとなる。

次いでFのケースは、センス素子のVth1が、主素子のVth3と等しいケースで、残り2つの素子のVth2より高く、Vth4よりも低い場合(Vth1=Vth3,Vth2<Vth1<Vth4)である。この場合、センス素子のVth(Vth1)と主素子のVthの平均(Vthm=(Vth2+Vth3+Vth4)/3)との関係がVth1=VthmとなるためIsepの発生はほとんど見られない。

またGのケースは、センス素子のVth1が、主素子のVth3と等しいケースであるが、Fケースとは逆に残り2つの素子

の V_{th} 2より低く V_{th} 4よりも高い場合 ($V_{th1}=V_{th3}, V_{th4}<V_{th1}<V_{th2}$)である。この場合も、センス素子の V_{th} (V_{th1})と主素子の V_{th} の平均 ($V_{thm}=(V_{th2}+V_{th3}+V_{th4})/3$)との関係が $V_{th1}=V_{thm}$ となるため I_{sep} の発生はほとんど見られない。これらの結果より、主素子のバラツキはセンス素子に対し非常に鈍感といえる。また、今回のシミュレーションで用いた V_{th} の最大と最小との差を1.0Vと比較的大きくしていることを考慮すると、 V_{th} による不均一動作に関してもセンス素子の V_{th1} と主素子の V_{th} の平均 ($V_{thm}=(V_{th2}+V_{th3}+V_{th4})/3$)との大小で I_{sep} の発生、非発生がほぼ説明できる。すなわち、 $V_{th1} \geq V_{thm}$ の関係が満たされれば、ターンオン、ターンオフ期間とも I_{sep} は発生しないが、逆に、 $V_{th1} < V_{thm}$ の関係になるとターンオン、ターンオフ期間で I_{sep} が発生する。図10にD,E,F,Gケースのシミュレーション結果を示す。

以上のシミュレーション結果から、主素子が多数個並列で構成されるような実デバイスにあっても、その主素子内に R_g や V_{th} による不均一動作の有無にかかわらず、主素子内の R_g の平均値 (R_{gm})や V_{th} の平均値 (V_{thm})のセルとして2素子モデルであつかつて良いことが判った。

表2. V_{th} の及ぼす影響
Table2. Effect of V_{th} .(by Simulation)

	V_{th1} [V]	V_{th2} [V]	V_{th3} [V]	V_{th4} [V]	V_{thm} [V]	Isep発生の有無	
						on	off
D	4.5	4.5	5.0	5.5	5.0	○	○
E	5.5	4.5	5.0	5.5	5.0	×	×
F	5.0	4.5	5.0	5.5	5.0	×	×
G	5.0	5.5	5.0	4.5	5.0	×	×

$R_g=100\Omega$, $R_{g1}=3.0\Omega$, $R_{g2}=1.5\Omega$, $R_{g3}=3.0\Omega$, $R_{g4}=4.5\Omega$

図10-1. Dケース
Fig.10-1 Case D

図10-2. Eケース
Fig.10-2 Case E

図10-3. Fケース
Fig.10-3 Case F

図10-4. Gケース
Fig.10-4 Case G

図10. 4素子並列モデルのスイッチングシミュレーション(V_{th} の影響)

Fig.10 Simulation of switching waveforms using four paralleling devices model by effect of parameter V_{th} .

ところで、実際の使われ方を考えると図1に示す回路からも分かるようにセンスセルと主セルで形成されるエミッタとの間に抵抗(Rsens(SC)、Rsens(OC))が付加されている。

ここで、ゲートエミッタ間電圧を V_{GE} とするとセンスセルのゲート電圧(V_{GS})は

$$V_{GS} = V_{GE} - \{Rsens(SC) + Rsens(OC)\} \times I_{se} \dots (1)$$

の関係にあり(1)式で右辺第2項の電圧降下が約0.5V(OCレベル直前での電圧降下)であれば、表2のD条件にあてはめると

$$V_{th1} + \{Rsens(SC) + Rsens(OC)\} \times I_{se} \approx V_{thm} \dots (2)$$

となり、センス抵抗の電圧が自らセンス過渡ピーク電流の発生を抑制することも考えられる。

そこで、図11に示すように図8の回路においてセンス素子(IGBT1)のエミッタとGNDとの間にIGBT1が30A流れるときに0.5V発生するようなセンス抵抗(R_s)を付加した回路構成としてシミュレーションを行った。その結果を図12に示す。

この結果からも判るように、センス抵抗が付加されることで定常電流の減少(分流比の変化)は見られる。しかし過渡状態においては過渡ピーク電流は影響を及ぼされていないことが判る。つまり実際の使われ方においても今回の4素子モデルのシミュレーションと同様にあつかって良いことが判る。

IGBT1 ; センス素子 IGBT2+IGBT3+IGBT4 ; 主素子
図11. センス素子に抵抗を付加した
4素子並列モデルの回路図

Fig.11 Circuit diagram of four paralleling devices model.
(Case to be added resistance between sense and emitter.)

図12-1. センス抵抗がある場合

Fig.12-1 Case to be added resistance between sense and emitter.

図12-2. センス抵抗がない場合(図10-1. Dケース)

Fig.12-2 Case of no resistance between sense and emitter.
(=Fig.10-1 Case D)

図12. 4素子モデルのスイッチングシミュレーション(センス抵抗の影響)

Fig.12 Simulation of switching waveforms using four paralleling devices model by effect of resistance between sense and emitter.

3.3. 4素子モジュールによる実験

シミュレーションと同様、図8に示す回路構成で実験を実施した。この実験に用いたIGBTはシミュレーションと同様600VクラスIGBTを用い、主素子を構成するIGBTは10Aチップを3並列、センス素子を構成するIGBTは30Aチップを使用している。

本来、シミュレーションと同一条件で実験を行ない比較をする必要がある。しかし、チップ内部に内蔵ゲート抵抗が存在するため外部ゲート抵抗が内蔵ゲート抵抗より小さい場合外部ゲート抵抗の効果が打ち消されてしまう。そこで今回の実験では、内蔵ゲート抵抗より1桁大きな抵抗を用い効果が明確になるようにして評価を行なった。表3に実験条件を示す。

表3. Rgの及ぼす影響(実測)
Table3. Effect of Rg.(by Experiment)

	Rg1 [Ω]	Rg2 [Ω]	Rg3 [Ω]	Rg4 [Ω]	Rgm [Ω]	Isep発生の有無	
						o n	o f f
A 1	15	15	30	45	30	○	×
B 1	45	15	30	45	30	×	○
C 1	30	15	30	45	30	×	×

Rg=100Ω, Vth1=Vth2=Vth3=Vth4=5.0V

A1～C1の各ケースに対してセンス対応IGBTのRg1と主セル対応のIGBTのRgの平均値(Rgm)を比較したところ、 $Rg1 < Rgm$ が成立するケースA1ではIsepは発生し、一方 $Rg1 \geq Rgm$ が成立するケースB1、C1ではIsepは発生しない結果となった。図13にA1、B1、C1の各ケースのゲート電圧、負荷電流、およびセンス対応のIGBT(IGBT1)と主セル対応のIGBT(IGBT2,IGBT3, IGBT4の合成)の各々の電流を示す。

図13-1. A1ケース
Fig.13-1 Case A1

図13-2. B1ケース
Fig.13-2 Case B1

図13-3. C1ケース
Fig.13-3 Case C1

(V_{CE}=300V,RL=5Ω
I_c=60A,Rg=表3,Tj=25℃)

図13. 4素子並列IGBT動作のスイッチング波形(Rgの影響)

Fig.13 Switching waveforms of four paralleling IGBTs operation by effect of parameter Rg.

次に、 V_{th} 効果の検証実験を行った。その実験条件と結果を表4に示す。この場合も、各ケースに対してセンス対応のIGBTの V_{th1} と主セル対応のIGBTの V_{th} の平均値(V_{thm})との比較を行ったところ、 $V_{th1} < V_{thm}$ の成立するD1の場合ターンオン、ターンオフ期間に I_{sep} が見られる。一方、 $V_{th1} \geq V_{thm}$ が成立するE1、F1、G1の場合、ターンオン、ターンオフ期間とも I_{sep} はほとんど見られない。図14にD1,E1,F1,G1ケースの結果を示す。

表4. V_{th} の及ぼす影響(実測)
Table4. Effect of V_{th} .(by Experiment)

	V_{th1} [V]	V_{th2} [V]	V_{th3} [V]	V_{th4} [V]	V_{thm} [V]	Isep発生の有無	
						on	off
D 1	4.5	4.5	5.0	5.5	5.0	○	○
E 1	5.5	4.5	5.0	5.5	5.0	×	×
F 1	5.0	4.5	5.0	5.5	5.0	×	×
G 1	5.0	5.5	5.0	4.5	5.0	△	×

$R_g = 100\Omega$, $R_{g1} = 30\Omega$, $R_{g2} = 15\Omega$, $R_{g3} = 30\Omega$, $R_{g4} = 45\Omega$

図14-1. D1ケース
Fig.14-1 Case D1

図14-2. E1ケース
Fig.14-2 Case E1

図14-3. F1ケース
Fig.14-3 Case F1

図14-4. G1ケース
Fig.14-4 Case G1

V_{GE} ; 5V/div
 I_c ; 20A/div
 I_e ; 10A/div
 I_s ; 10A/div

($V_{CE} = 300V, R_L = 5\Omega$
 $I_c = 60A, V_{th} = \text{表4}, T_j = 25^\circ C$)

図14. 4素子並列IGBT動作のスイッチング波形(V_{th} の影響)

Fig.14 Switching waveforms of four paralleling IGBTs operation by effect of parameter V_{th} .

以上の結果、基本的に実験結果は、シミュレーションで得られた結果と同様、主セル内の不均一動作の有無にかかわらず R_{g1} 、 V_{th1} をもつセンスセルと R_{gm} 、 V_{thm} を持つ主セルで構成される2セルモデルの結果を検証し得るものである。

4.実デバイスへの応用例

IPMを設計する上でモジュールの小型化が当然必要となり、IGBTチップ設計をする上でゲート、エミッタおよびセンスパットの配置が制約される。この時、チップによってはセンス付IGBTの主セル領域の内蔵ゲート抵抗よりセンスセル領域の内蔵ゲート抵抗が小さくなるケースが発生する。このようなケースで設計されたセンス付IGBTのセンス電流波形を図15に示す。このようなケースではターンオン時に過渡ピーク電流が発生するため、SCレベルはOCレベルの約2.5倍程度にする必要がある。

図15. $Cs(sens)/Cs(main)=1.00$ でのスイッチング波形
Fig.15 Switching waveforms in the case of $Cs(sens)/Cs(main)=1.00$

これに対し、実デバイスへの応用例として、センス領域と主領域の各々のチャンネル領域の不純物濃度を変えることで V_{th} を変えたデバイス実例を表5に示す。また、図16はセンスの V_{ths} と主領域の V_{thm} の差($V_{ths}-V_{thm}$)と I_{sep} の関係を示す。 $V_{ths}-V_{thm}>0.3V$ であれば I_{sep} は I_{se} 以下となり過渡ピーク電流の発生はないといえる。また、 $V_{ths}<V_{thm}$ においては V_{thm}/V_{ths} 比が大きければ大きい程 I_{sep} は大きくなる。

この結果より、 I_{sep} を I_{se} 以下に抑える方法として、センスセル領域のチャンネル領域の不純物濃度を主セルのチャンネル領域の不純物濃度より約10%程度アップすることによって図17に示すようにセンス電流波形における I_{sep} は I_{se} 以下とすることが可能となる。つまり、この方法を用いることでSCレベルを上げる必要がなくなり素子の安全動作領域(SOA)内で設計することが可能となった。

表5. チャンネル領域の不純物濃度と V_{th} との関係

Table5. Relation between impurity concentration of channel and V_{th} .

	$Cs(sens)/Cs(main)$ (相対値) (注)	主領域の V_{thm} [V]	センス領域の V_{ths} [V]	ΔV_{th} [V] ($V_{ths}-V_{thm}$)
1	0.72	6.16	4.59	-1.57
2	0.87	5.11	4.46	-0.65
3	1.00	4.67	4.77	0.10
4	1.15	4.56	5.59	1.03
5	1.39	4.58	6.44	1.86

(注) ; $Cs(sens)$ はセンス領域のチャンネル領域の不純物濃度
 $Cs(main)$ は主領域のチャンネル領域の不純物濃度を示す

図16. ΔV_{th} とターンオン時の過渡ピーク電流との関係
Fig.16 Relation between ΔV_{th} and $I_{sep}(on)$.

図17. $Cs(sens)/Cs(main)=1.15$ でのスイッチング波形
Fig.17 Switching waveforms in the case of $Cs(sens)/Cs(main)=1.15$

5. まとめ

IPMに使用されるセンス付きIGBTのセンス電流波形のターンオン期間に発生する過渡ピーク電流は、センスセルと主セルの不均一動作によって起こっていることを4素子モデルによるシミュレーションと実験で検証した。

今回の検証結果をまとめると以下のようになる。

(1)主セルの不均一動作はセンスセルとの不均一動作には影響を及ぼさず、主セルの R_g 、 V_{th} を平均化したセルとセンスセルの2素子モデルでシミュレーションして良いことが判った。(2)ゲート抵抗に関しては、センスセルのゲート抵抗(R_{gs})が主セルのゲート抵抗平均値(R_{gm})より小さければ、センスセルが主セルより早くターンオンするためセンス電流のターンオン期間に過渡ピーク電流(I_{sep})が発生する。反対に R_{gs} が R_{gm} より大きいとセンスセルが遅れてターンオンするため I_{sep} は発生しない。

(3)ゲートエミッタ間しきい値電圧(V_{th})に関しては、センスセルの V_{ths} が主セルの V_{th} の平均値(V_{thm})より小さければ、センスセルが主セルより早くターンオンするためターンオン期間に I_{sep} は発生する。反対に V_{ths} が V_{thm} より大きければセンスセルが主セルより遅れてターンオンするためターンオン期間での I_{sep} は発生しない。

本手法で説明された技術を用い、主セルの V_{th} よりもセンスセルの V_{th} の方が高くなるようにチャネル領域の不純物濃度を意識的に変えることで、モジュールの小型化等によるチップ設計の制約でセンス付IGBTの主セル領域の内蔵ゲート抵抗よりセンスセル領域の内蔵ゲート抵抗が小さくなる場合でもセンス電流のターンオン期間に過渡ピーク電流(I_{sep})が発生しないことも確認した。

また、ターンオフ期間での主セルの不均一動作によるサージ発生の詳細解析はまだ十分といえず、IGBT素子の逆バイアス安全動作領域に強く関係するため、今後の課題として検討していくことが重要である。

最後に、本論文をまとめるにあたり種々の御指導を賜った、九州工業大学マイクロ化総合技術センター浅野種正助教授に深く感謝申し上げます。

(平成5年12月24日受付、同6年8月11日再受付)

文献

- [1] G.Majumdar, et al. : "Control & Protection Of MOS-gated Power Modules In Inverter Circuits", PCI'89 233-246 (June 1988)
- [2] S.Yoshida, et al. : "3rd Generation High Performance Intelligent Power Module Series", PCIM'93 247-256 (June 1993)
- [3] G.Fay : "Current-mirror FETs cut cost and sensing losses", EDN 193-198,200 (September 1986)
- [4] S.Clemente, et al. : "An Introduction to HEX Sense Current Sensing Device", IR Application, Note 959, I-151 (1987)
- [5] W.Schultz : "SMART power Spinoff Enhances Discrete Power MOSFET Design", Motorola Application Note ARJ004/D (March 1987)
- [6] K.Mayaram, et al. : "Coupling Algorithms for Mixed-Level Circuit and Device simulation", IEEE Trans.CAD, Vol.11, No8 1003-1012 (August 1992)
- [7] N.Iwamuro, et al. : "Application of an Integral Calculation Method to External Circuit Equation in Two-Dimensional Device Simulator", Proc. EPE-MADEP 306 (1991)
- [8] I.Omura, et al. : "A Rapid Convergence Device-Circuit Complete Coupled Simulation", Proc.VPAD 126 (1991)
- [9] Gough, et al. : "Two Dimensional Simulation of Power Device with Circuit Boundary Conditions", Proc .NASECODEV , 213 (1987)
- [10] S.R.Korn : "PARALLEL OPERATION OF THE INSULATED GATE TRANSISTOR IN SWITCHING OPERATIONS", PCI'86 218-234 (June 1986)

萩野 浩靖

(正員) 昭和21年7月20日生まれ。昭和47年3月早稲田大学大学院修士課程応用物理専攻修了。同年三菱電機(株)入社。北伊丹製作所にて、パワーデバイスの開発に従事。現在、福岡製作所パワーデバイス第一部開発課課長。

山田 富久

(正員) 昭和22年6月3日生まれ。昭和46年3月京都大学理学部物理学科卒業。同年三菱電機(株)入社。北伊丹製作所にて、電力半導体の設計開発に従事。現在、福岡製作所パワーデバイス第一部部長。

上西 明夫

(正員) 昭和29年8月23日生まれ。昭和50年3月神戸市立工業高等専門学校卒業。同年三菱電機(株)入社。北伊丹製作所にて、パワーデバイスの応用技術サポートおよび開発に従事。現在、福岡製作所パワーデバイス第一部開発課主幹。

友松 佳史

(正員) 昭和42年1月8日生まれ。平成元年3月福岡大学理学部応用物理学科卒業。同年三菱電機(株)福岡製作所にて、パワーデバイスの開発に従事。