CMOS論理ICの出力抵抗のばらつきと プリント回路基板からの放射電磁雑音

非会員 和田 修 己 (岡山大) 非会員 宮 下 卓 也 (岡山大)
非会員 古 賀 隆 治 (岡山大) 正 員 佐 野 博 也 (福山大)

Electromagnetic Noise Emission from a Digital Printed Circuit Board as in Relation to Dispersion of Output Resistance of CMOS Logic IC

Osami Wada, Non-member, Takuya Miyashita, Non-member, Ryuji Koga, Non-member (Okayama University),
Hiroya Sano, Member (Fukuyama University)

Electromagnetic (EM) noise emission from a printed trace on a digital circuit board is evaluated for about forty samples of high-speed CMOS logic devices that have the same device number and the same package; 74HC00 SOP. The dependence of EM noise spectra on dispersion of switching speed and output resistances of logic gates were investigated. Products of 11 lots from four manufacturers were tested. The EM noise spectra were picked up by a small loop antenna located 20 mm distant from the board surface. At frequency higher than 200 MHz intensities of the spectra diverge beyond 10 dB. The maximum difference of peak values on the spectra was 0.7 dB within each lot, and 5.6 dB for all the samples. Rise and fall time as well as output resistance of CMOS gates were also measured. As a result, the peak value on the noise spectra was found to be strongly dependent on the fall time and also the on-resistance R_{on} of a CMOS gate. Deviation of the measured peak values of the noise spectra is less than 1 dB from estimated values based on the on-resistance. This result suggests that the intensity of EM noise spectra can be predicted if the output resistances of CMOS gates are known.

キーワード：ディジタル回路，プリント回路基板，放射電磁雑音，CMOS論理IC，出力抵抗，ばらつき

1. まえがき

汎用ディジタル回路の高速化に伴い，ディジタル回路の動作時に放射される電磁雑音による電磁波妨害（EMI）が問題になっている。これは，よく言われているように，ディジタルICのスイッチング時の急激な電圧の変化（ dV/dt ）とそのとき回路中の容量を充放電するインパルスの電流が原因である。しかしこれを，現実のディジタルICの電気的特性と結び付けて議論することは，これまであまりなされていなかった。

最近，ディジタル回路設計におけるCADの普及により，回路設計の段階で上記のEMI問題を考慮し，機器の電磁環境適合性（EMC）に配慮した設計，いわゆるEMC設計の実現に向けての動きが見られる^{(1) (2)}。これは，従来のように回路の試作後にEMI特性を実測評価するのではなく，設計段階でのシミュレーションにより回路動作の確認に加えてEMC特性も予測して設計にフィードバックする試みであり，高速ディジタル回路の設計には今後欠かせないものになると考えられる。

このEMC設計の実現のためには，ディジタルIC及びこれを含む回路基板や回路素子類の電気的特性と電磁雑音放射の関係を十分に把握する必要がある。

筆者らは，汎用ディジタルICを用いたプリント回路基板からの放射電磁雑音について実験的検討と計算機によるシミュレーションを行ってきた^{(3) - (7)}。その過程で，ディジタルICのアナログ的な特性の違いと電磁波強度やスペクトルについて，特に高速CMOSシリーズ（74HCおよび74ACシリーズ）についてICパッケージの影響や⁽⁶⁾回路の共振と放射電磁雑音スペクトルとの関係などに関して^{(6) (7)}，いくつかの特徴的な結論を得た。

ところで，ディジタル回路の電磁特性のシミュレーションを行うためには，ICや回路基板の電気的特性を詳細に知る必要がある。特にディジタルICについては，そのスイッチング特性が重要である。ところがこれらのディジタルICの高周波特性については，現在のところ詳細なデータは公開されていない。

汎用論理ICの場合，同一型番同一パッケージのICであれば，電気的特性は規定されているから互いに置き換え

図1 デジタルプリント回路基板上の回路のモデル
Fig.1. Model of a digital circuit on a printed circuit board (PCB).

が可能なはずである。ところが現実には特性のばらつきがかなり大きく、ICのメーカーを変えると装置のEMI特性が変わるということも聞く。

本論文では、同一型番同一パッケージの汎用論理IC（高速CMOS, NAND: 74HC00）に関して、4社の製品について各々ロットの異なるものも含めて何種かのICのスイッチング特性とEMI特性の評価を行なう。特に論理ゲートの出力オン抵抗と電磁雑音スペクトルとの間の関係を明らかにすることを目的として、プリント回路基板（printed circuit board: PCB）近傍の電磁放射について述べる。

2. 電磁雑音の評価対象および測定法

最も単純なデジタルプリント回路基板（PCB）上の回路は図1のようにモデル化できる。ここで、回路基板としては多層基板ないし片面が全面グランドの両面基板を想定しており、少なくとも信号配線パターンは高周波の伝送線路と見なすことができるものと仮定している。また、各々の論理ICには適切なバイパスコンデンサが近接して配

置されているものとする。

駆動側ICのゲートが信号線を駆動すると、電磁波はIC自身からもPCB上の信号配線からも放射される。このうちで本論文で対象とするのは、信号配線からの放射である。ここで用いたPCBは4層配線板（厚み1.6mm）であり、信号線は長さ100mmのマイクロストリップ線路（幅0.14mm, グランド面までの絶縁体厚さ0.25mm, $Z_0=86\Omega$ ）を使用した。駆動ICおよび負荷ICは、すべて表面実装のSOP（Small Outline Package）の74HC00（2入力NAND×4）を用いた。

まずはじめに、PCB近傍の電磁雑音スペクトルの測定法と、あわせて行なったゲート出力電圧波形および立上り時間の測定法について説明する。

図2に近傍電磁雑音スペクトルの測定系を示す。使用したPCBの寸法は100mm×230mmであり、これをアルミニウム製の筒状筐体に固定し、筐体は接地している。基板の信号線上の真上20mmの位置に直径19.4mmのシールドド・ループアンテナの中央が来るように固定し、磁界により誘起される雑音電圧のスペクトルを測定する。使用したループアンテナの周波数特性を図3に示す。なお本報告で評価し

図2 PCB近傍電磁雑音測定系
Fig.2. Measurement system of near-field electromagnetic (EM) noise from a PCB.

図3 シールドド・ループ・アンテナの周波数特性
Fig.3. Frequency characteristics of a shielded loop antenna.

図4 同一型番同一パッケージのICによる
電磁雑音スペクトル

Fig.4. EM noise spectra of ICs of the same device number and the same package.

ている量は、磁界ではなくループアンテナ出力誘起電圧のスペクトルである⁽⁴⁾⁽⁵⁾。

また、NANDゲートの駆動信号は周波数5MHz、電圧0~5Vの方形波としている。観測されるスペクトルは駆動信号の高調波の集合のラインスペクトルであるが、比較を容易にするために、スペクトルの包絡線を用いている。

また、CMOSゲート出力の電圧波形およびその立上り/立下り時間は、デジタルオシロスコープ（横河電機(株)、DL-2130、帯域200MHz、200MS/s、等価サンプリング2GS/s）を用いて測定した。駆動ICの出力ピン（信号線送端）と負荷ICの入力ピン（信号線受端）の2か所にプローブ（内部容量12pF、実測）を接続した。なお、測定された立上り/立下り時間は、オシロスコープの帯域を考慮して補正をしている。

3. 電磁雑音スペクトルの比較

同一型番（74HC00）同一パッケージ（SOP）のICを、4メーカー製1ロット用意し、各1個ずつの電磁雑音スペクトルのデータを重ねて図4に示す。このとき、駆動IC以外の条件を全くそろえるために、信号線負荷のICはA社製のもの（ロット番号09FNB）を使用した。このICの入力容量は、データブックによれば3pFである。

同図より、全てのデータについて、ピーク周波数以下のスペクトルは、ほぼ20dB/dec.の傾きでほとんど差はないが、ピークより高域では大きく異なることがわかる。最も特性の異なるものを見ると、メーカーが異なると200MHz以上で10dB以上の差がある。

同一規格であるはずのICによる放射電磁雑音に10dB以上の差があることは、EMCを考慮した回路設計の立場から見ると大きな問題である。電磁雑音レベルの予測を試みる際にこの大きなばらつきを扱うことは困難であるし、また設計時にもこんなに大きなマージンを見込んで設計する

図5 同一メーカーICのロットによる比較

Fig.5. Comparison of EM noise spectra of different lots for each manufacturer.

ことはできない。従って、同一規格ICについて、メーカー間、ロット間の特性のばらつきを明らかにし、またこれが何によるものであるかを解明する必要がある。

そこで、図4に示した4メーカーのICのうち、A社、B社およびC社製の74HC00（SOP）の複数のロットのICについて、信号線から放射される電磁雑音スペクトルを評

価した。ループアンテナに誘起された雑音電圧のスペクトルを図5(a), (b), (c)にそれぞれ示す。

図5(a)は、A社製の4種のロットのICをそれぞれ5個ずつ測定した結果である。ロット09FNBを除き、ばらつきは概ね5dB以下、ピークレベル差は1.5dB以下である。09FNBを含めたピークレベルの最大差は4.5dBであった。

図5(b)は、B社製IC3種についてそれぞれを5個、2個および1個測定した結果、また図5(c)は、C社製3種を各4個ずつ測定した結果である。ピークレベルのばらつきはそれぞれ、(b)が1.8dB以下、(c)が2.6dB以下である。

これらのそれぞれについて同一ロット内でのスペクトルのピークレベルのばらつきは、1種(1.4dB)を除き0.2~0.7dBであった。

これらのばらつきの原因の1つとして、信号の立上り/立下り部のスイッチング速度の差が考えられる。測定を行なったICのうちで電磁雑音レベルが最も低かったロット09FNBは特にスイッチング速度が遅く、そのため放射雑音も小さい。次節ではこのスイッチング特性のばらつきについて検討する。

4. オン抵抗・スイッチング特性と電磁雑音レベル

CMOS論理ゲートは最も単純には図6のようなインバータで表現される。ゲートの立上り時には電源(V_{cc})からp-ch FETを通して負荷を充電する電流 i_{LH} が流れ、立下り時にはn-ch FETを通して放電電流 i_{HL} が信号線を通れる。この電流を決定づけるものとして、本論文では、FETの導通(オン)抵抗 R_p , R_n と、出力電圧 $V(t)$ の立上り/立下り時間に着目する。オン抵抗の測定は、付録に述べた方法で行なった。

ただし、本論文で使用しているオン抵抗の値はゲート出力が静止時の抵抗値である。厳密にはオン抵抗 R_p , R_n は入力電圧に依存して動的に変化するので、ここで測定したオン抵抗はスイッチング時のオン抵抗そのものではない。電磁雑音の大きさはスイッチング時のオン抵抗に関係するが、ここではモデルを単純化するために静止時の抵抗値を用いて議論する。

まず、ゲートのオン抵抗とスイッチング時間との関係について、実測結果に基づき議論する。

前に図6に示したように、出力の立上り時の電流はp-ch MOSFETから負荷容量に流れ込む。したがって、ICパッケージのリードインダクタンス等を見捨て近似的に考えれば、立上り時間 t_r は R_p に比例することになる。一方、立下り時には負荷容量からの放電電流がn-ch MOSFETに流れ込むため、 t_f は R_n に比例するはずである。

そこで、それぞれのオン抵抗 R_p , R_n と立上り、立下り時間の関係を図7、図8に示す。図8より t_f は R_n にほぼ比例し、その傾きは約0.2ns/ Ω である。一方図7においては、メーカーごとにその傾向は重ならない。

これは、CMOS論理ゲートの構造上の問題であると考えられる。CMOSの場合、等価回路の上ではp-chとn-

図6 CMOSインバータのオン抵抗と電流
Fig.6. On-resistances and currents.

図7 p-ch FETのオン抵抗と立上り時間
Fig.7. Rise time vs. on-resistance of p-ch FET.

図8 n-ch FETのオン抵抗と立下り時間
Fig.8. Fall time vs. on-resistance of n-ch FET.

chのFETは対称であるが、ICチップの場合はn型ないしp型の基板上に回路が形成されているので、全く対称にはならない。また、出力の立下り時にはn-ch FETが導通するので出力はほぼ R_n で接地される形となるが、出力の立

図9 p-ch FETのオン抵抗と電磁雑音スペクトルのピークレベル
Fig.9. Spectral peak intensity vs. on-resistance of p-ch FET.

図10 n-ch FETのオン抵抗と電磁雑音スペクトルのピークレベル
Fig.10. Spectral peak intensity vs. on-resistance of n-ch FET.

図11 立上り時間と立下り時間の比較
Fig.11. Fall time vs. rise time.

上り時にはp-ch FETが導通し、ゲートの内部回路や電源系のインピーダンスの影響を受ける。そのために、メーカー間で違いが生じたと考えられる。

次に、スイッチング特性と電磁雑音レベルの関係を明らかにするために、図5(a)~(c)に示した各スペクトルのピークレベルとその各々に対応するゲートのオン抵抗の実測値との関係を図9、図10に示す。図9より、p-ch FETオン抵抗 R_p とピークレベルの関係はメーカーごとに異なる。

一方、図10よりn-ch FETオン抵抗 R_n とピークレベルの相関は強く、メーカーによらない。 R_n に対するピークレベルのばらつきは $\pm 1\text{dB}$ 程度である。

この理由の1つとして、今回の評価したCMOS論理ICでは図11に示すように、ほぼ $t_f \leq t_r$ が成り立つことが挙げられる。立上り/立下り時間のうちでスイッチングの高速な方が放射雑音のピークを決定すると考えれば、立下り時間と比例関係にある R_n がピークレベルを決定することは理解できる。また、電磁雑音スペクトルのピーク周波数は回路の共振周波数にほぼ一致するが⁽⁶⁾⁽⁷⁾、そのときの放射の大きさは共振時の電流に比例し、共振電流は抵抗値のみで決まることから、回路のオン抵抗が電磁雑音スペクトルのピークレベルを決定するという結果は妥当である。

さらに、ピーク周波数以上の領域に関して、例えば周波数200MHzにおける電磁雑音レベルとn-chオン抵抗 R_n の関係は、図12に示すように、メーカーによらず良い対応を示す。

以上の結果は、電磁雑音スペクトルのピーク強度をオン抵抗を用いて予測することの可能性を示唆している。

5. むすび

同一型番・同一パッケージの高速CMOS NANDゲートICを用いて、スイッチング速度及びゲート出力のオン抵抗と電磁雑音スペクトルの関係について調べた。また、異

図12 周波数200MHzにおける電磁雑音レベル
Fig.12. EM noise intensity at 200 MHz.

なるメーカーのIC間の特性のばらつき、同一メーカーでロットが異なるICの特性のばらつきについて評価し、雑音放射特性との関連を調べた。

4社11ロットのICについて、プリント回路基板近傍の電磁雑音スペクトルを微小ループアンテナを用いて測定した結果、同一規格のICからの放射であるにもかかわらず、200MHz以上の高周波においては10dB以上のレベル差が観測された。これは、電磁特性を考慮したデジタル回路の設計を考えると大きな障害となる。従って、汎用デジタルゲートICの特性については、特に高周波特性に関して、なんらかの規定が必要である。

この電磁雑音レベルのばらつきは、同一メーカー同一ロットICの場合、概ね0.7dB以下と小さく、同一メーカー内では1.8~4.5dB、全体では5.6dBの差がみられた。これは、製造上の問題に起因する電気的特性の違いが電磁雑音レベルを決定していることを示唆している。

そこで、上記のばらつきの原因を、特にゲートのスイッチング速度とゲート出力のオン抵抗に着目して検討した。その結果、ゲート出力の立ち上がり/立ち下り時間のうち、スイッチング時間の短い立ち下りが電磁雑音レベルを決定していることが示された。

またこの立ち下り時間とゲート出力のn-ch FETのオン抵抗 R_{on} がほぼ比例し、オン抵抗 R_{on} と電磁雑音スペクトルのピークは強い相関を示し、オン抵抗 R_{on} に対するピークレベルのばらつきはメーカー・ロットに関わらず ± 1 dB程度におさまる結果を得た。

筆者らは、デジタル回路の構成とデバイスの特性などから設計段階で電磁雑音の大きさを予測するための研究を行っている。その予測法を実用的なものとする為には、むしろ回路の詳細なパラメータを含んだ等価回路をシミュレータにより解析するよりも、なるべく簡単なモデルで電磁雑音スペクトルのピーク周波数と強度を予測することが望ましい。ピーク周波数の予測は、簡単な等価回路を用いた計算について検討し、回路の共振により説明できることを示している⁽⁶⁾⁽⁷⁾。

本論文で得られた結果は、電磁雑音スペクトルの強度をゲート出力のオン抵抗を用いて予測することの可能性を示

した。今後これを他の型番や品種あるいは異なった動作条件に対しても適用し検討を続けることで、簡単な予測法の開発につながるものと期待している。さらに、今回はゲート出力のオン抵抗をスイッチング動作時のものではなく静止時の値で評価したが、論理ゲートの動特性を考慮する必要があるかどうかについても、今後検討したいと考えている。

最後に、本研究のために多くの測定を行ない、また有益な議論に参加してくれた、筆者らの所属する研究室の学生諸君の協力を深く感謝する。

(平成6年8月29日受付、同6年12月26日再受付)

文 献

- (1) M.J.Coenen: "CAD EMC-design in microelectronics", Int. Zurich Symp. on EMC, 6B1, 25-28 (1993).
- (2) J.Catrysse: "PCB-design and EMC-constraints", Int. Zurich Symp. on EMC, 34G1, 171-184 (1993).
- (3) R.Koga, O.Wada, T.Hiraoka, M.Kosaka and H.Sano: "Estimation of electromagnetic impulse noise radiated from a digital-circuit board", Int.Symp. on EMC, Nagoya, 1, 389-393 (1989)
- (4) O.Wada, M.Kosaka, H.Oka, R.Koga and H.Sano: "Power-Sum Estimation of Electromagnetic Noise Radiated from High-Speed CMOS Printed Circuit Board", IEICE Trans. Commun., E75-B, 3, 165-173 (1992)
- (5) 和田修己・古賀隆治・小坂 恵・佐野博也・村田敏一・森本浩彰:「デジタルICのパッケージ種類と放射電磁雑音」, プリント回路学会誌「サーキットテクノロジー」, 9, 3, 175~182 (1994)
- (6) T.Miyashita, O.Wada, R.Koga and H.Sano: "Simulation of Spectral Profile of Electromagnetic Emission from a Signal Line on a Printed Circuit Board", Int.Symp. on EMC, Sendai, 300-303 (1994)
- (7) O.Wada, T.Miyashita, R.Koga and H.Sano: "Prediction of Near-Field Electromagnetic Emission from

付図(a) p-ch FETのオン抵抗の測定
Fig.(a). Measurement of on-resistance of p-ch FET.

付図(b) n-ch FETのオン抵抗の測定
Fig.(b). Measurement of on-resistance of n-ch FET.

a Digital Circuit Board Based on Resonance Characteristics", Int. Symp. on EMC, Sendai, 304-307 (1994)

付録 CMOSゲート出力のオン抵抗の測定法

付図(a)の出力論理がH ($V_o = V_H$) のときと、同(b)のL ($V_o = V_L$) のときについてそれぞれ、図に示したように負荷抵抗 $R = 1\text{ k}\Omega$ を接続し、電圧 V_R を測定して $(5 - V_R)/I$ により R_p , R_n を求めた。

和田 修己 (非会員) 1957年7月生。81年京都大学工学部電子工学科卒業。83年及び87年同修士及び博士課程修了。88年1月岡山大学工学部電気電子工学科助手。同講師を経て、92年10月より助教授。デジタル回路の放射電磁雑音の評価とシミュレーションの研究、光集積回路、大気ガスのレーザ吸収分光分析システムの研究などに従事。電子情報通信学会、応用物理学会、日本光学会、回路実装(プリント回路)学会会員、工博。

宮下 卓也 (非会員) 1968年生。92年岡山大学工学部電気電子工学科卒業。94年同修士課程修了。同年同博士課程進学、現在に至る。デジタル回路の放射電磁雑音の評価とシミュレーションの研究に従事。電子情報通信学会会員。

古賀 隆治 (非会員) 1945年1月生。67年京都大学工学部電気工学第二学科卒業。69年同修士72年博士課程修了。同年京都大学原子エネルギー研究所助手。動力用原子炉の制御の研究に従事。76年岡山大学工学部講師。助教授を経て86年教授、現在に至る。レーザを用いた大気ガス測定の研究、光集積回路の開発、そして電磁環境工学、特にCADに関連したモデル開発に従事。電子情報通信学会、回路実装(プリント回路)学会、IEEE、その他9学会会員。工博。

佐野 博也 (正員) 1918年生。43年京都大学工学部電気工学科卒業。同年島津製作所入社。電子加速器の開発と計測および画像処理の研究に従事。69年岡山大学工学部教授。84年福山大学教授、現在に至る。電磁環境工学、レーザ応用計測システムの研究に従事。電子情報通信学会、計測自動制御学会、応用物理学会、IEEEなどの会員。工博。