アナログ／デジタル混載LSIに適したBiCMOS技術

正員 山内 経 則 (富士通株式会社)
非会員 土屋 主 税 (富士通株式会社)

BiCMOS Technology for Analogue/Digital Mixed LSI
Tsunenori Yamauchi, Member, Chikara Tsuchiya, Non-Member
(Fujitsu Limited)

This paper describes BiCMOS technology with high potential to get the useful devices for analogue/digital mixed LSI such as signal processor for magnetic storage and graphics uses. We have developed simplified self-aligned emitter technology which is processed by reflowed PSG, photoetching for emitters, and emitter diffusion through polysilicon. At the same time, more lightly doped drain technology for nMOS transistors were employed. As a result, bipolar transistors having over 20 V BV_{CE0} and 2.8 GHz f_T and CMOS having over 20 V BV_{SD} were obtained. The CMOS inverter delay time of 1.4 ns was also achieved. For flexible design for analogue/digital mixed LSI, the backgate of nMOS transistor is separated from the p type substrate which has most negative voltage. So we get high performance nMOS transistor not depending on any supply use, for examples, both positive and negative sources.

キーワード : BiCMOS, アナログ／デジタル, 自己整合エミッタ, LSI, コントローラ

1. まえがき

BiCMOS技術の用途には、大きく2つの分野がある。一つは、高速・低消費電力を目的とした高速ゲートアレイ⁽¹⁾やSRAMである。⁽²⁾ もう一つの大きな分野としては、CMOSとバイポーラの回路の特長を活かしLSIの機能を拡大しながら、最終的には、システムのワンチップ化を目指す方向である。^{(3) (4)}

本論文においては、機能の拡大を目的とした、ディスクコントローラや自動車用LSIなどに用いる、アナログ／デジタル混載LSIに適したBiCMOS技術について述べる。

機能の拡大を目的とするアナログ／デジタル混載LSIにおいては、従来のアナログLSI、およびデジタルLSI、それぞれで要求された電源電圧や素子特性を、維持することが重要である。

一般的に、アナログLSIは、正負の両方の電源を用いた差動増幅回路で構成されている。⁽⁵⁾ また、CMOSデジタルLSIでは、単一の5V電源が用いられる。このような電源構成のアナログ回路とデジタル回路を、混載したLSIに適したnMOSトランジスタの構造である、バックゲートと基板電位を分離した構造のnMOSトランジスタを加えたBiCMOSデバイス構造を開発した。

この構造にすることにより、特に、正負の両電源を使用

した場合に顕著となる、バックゲートの負バイアスで生じるnMOSトランジスタの g_m (伝達コンダクタンス)の低下を防ぐことができ、アナログ性能を上げることができた。

一方、従来の素子特性を維持するために、低濃度のnMOSソース／ドレイン層と、多結晶シリコンによる自己整合エミッタ構造からなるBiCMOS技術を開発した。

その結果、CMOS、バイポーラ双方の素子耐圧を20V以上に保ちつつ、CMOSリングオシレータのゲート遅延時間は、1.4 ns、バイポーラトランジスタの遮断周波数 f_T は、2.8 GHzと高性能が得られた。

これらの値は、従来バイポーラとCMOSを別々に作製した場合の最高レベルの性能である。

また、本BiCMOS技術により、高性能アナログとCMOS論理回路をワンチップに集積化した磁気装置用の信号処理アナログ／デジタル混載LSIを試作し、その有効性を確認した。

2. デバイス・プロセス技術

図1は、デバイスの断面構造である。

このデバイス構造での特徴は、バイポーラトランジスタのエミッタ部と、nMOSトランジスタ部のソース／ドレイン、およびp-well部にある。バイポーラトランジスタ

図1 BiCMOSデバイス構造
Fig.1. BiCMOS device structure

の微細化と高い遮断周波数を得るために、エミッタとエミッタコンタクト窓は、多結晶シリコンを用いた自己整合構造とした。

また、耐圧 20 V を得るために、nMOSトランジスタのソース/ドレイン層は、ドレイン付近の電界緩和のためにリンの低濃度拡散によるオフセット領域を設けた。この方法は、LDD (Lightly Doped Drain) 技術と類似している。相違点は、高濃度の不純物拡散領域をコンタクト窓の部分のみにエミッタと同じ拡散で設ける点である。

表1 プロセスパラメータ
Table 1. Process parameters

項 目	数 値
エピタキシャル層膜厚	4. 4 μm
ゲート酸化膜厚	7 0 n m
多結晶シリコン1 膜厚	4 0 0 n m
フィールド酸化膜厚	7 0 0 n m
PSG 膜厚	6 0 0 n m
多結晶シリコン2 膜厚	1 0 0 n m
最小エミッタ寸法	2 × 4 μm^2
ゲート長	3. 5 μm

図2 BiCMOSプロセスフロー
Fig.2 Process flow of BiCMOS device

コンタクト部分のみに高濃度不純物拡散するために、本 nMOS 構造のオフセット領域の長さは、ゲート電極とコンタクト窓間隔である $3\mu\text{m}$ となり、LDD の場合に比べ約 10 倍も長い値となる。オフセット領域長は、ソース/ドレイン領域で生じる寄生直列抵抗を大きくする要因である。今回は、オフセット領域の最大不純物濃度を $3 \times 10^{18} \text{ cm}^{-3}$ 、拡散深さを $1\mu\text{m}$ に設定することで影響を回避した。

図1で nMOS 2 と示したトランジスタ部は、正負の両方の電源を用いたときに顕著となる、バックゲートの負バイアスによる gm の低下を防ぐために、バックゲートと基板電位を分離した構造の nMOS トランジスタである。

基板の電位とバックゲートの電位を分離するために、p-well の直下に n^+ 埋込拡散層を設けた。製造工程の共有化は、素子分離用の p 型拡散と p-well 拡散、それに、

npnトランジスタのベース拡散とpMOSトランジスタのソース/ドレイン拡散でおこなっている。

プロセスパラメータを表1に、また、プロセスフローを図2に示す。

p型シリコン基板からゲート形成工程までは、一般的なバイポーラとCMOSのプロセス技術を用いる。n⁺埋込拡散層をアンチモンの拡散で形成し、続いて、p⁺埋込拡散層を、ボロンのイオン注入にて形成する。

n型エピタキヤル成長の後に、p-well拡散層とチャンネルストップの拡散層を形成し、その後にLOCOSを形成する。ゲート酸化膜、および多結晶シリコンのゲート電極形成の後にボロンのイオン注入により、pMOSトランジスタのためのソース/ドレイン拡散層と、npnトランジスタのベース拡散層を同時に形成する。

nMOSトランジスタのソース/ドレイン形成のためにリンのイオン注入をおこなう。低濃度のオフセット領域による、nMOSトランジスタのドレイン付近での電界緩和を図り、ソース/ドレイン間のブレイクダウン電圧BV_{SD}を20V以上とするために、ここでのイオン注入量は、通常のnMOSトランジスタの場合より約10分の1に減少させている。

PSG膜を成長した後に、熱処理によりPSG膜の平坦化のためのリフローと同時に、CMOSトランジスタのソース/ドレイン拡散層とnpnトランジスタのベース層を所定の深さに拡散させる。PSG膜のリフロー工程を終えた後に、npnトランジスタのエミッタ、コレクタ、それと、nMOSトランジスタのソース/ドレインの部分に、コンタクト窓を同時に形成する。続いて、2層目の多結晶シリコン膜を成長し、リンのイオン注入と熱処理にて、これらのコンタクト窓部分に、n⁺拡散層を形成する。

n⁺拡散層は、エミッタ拡散層と同時に、コレクタとnMOSのソース/ドレインのオーミックコンタクトのための拡散層となる。

図4 PSG中のリン濃度とエミッタアニール温度の最適領域
Fig.4. Optimum regions of PSG phosphorous concentration and emitter annealing temperature

次に、npnトランジスタのベースとpMOSトランジスタのソース/ドレインのコンタクト窓を形成し、通常のアルミ配線工程を経てデバイスは完成する。

フォトリソグラフィは、2.0 μ mルールのみラープロジェクションアライナーを用いた。

このBiCMOSプロセスにおいては、注意しなければならない大きな問題が二つ存在する。一つは、エミッタ拡散工程での熱処理において、PSG膜中のリンが、多結晶シリコンを通してエミッタ層などに拡散する問題である。

図3 PSG膜表面のしわ状変形
Fig.3. A SEM photograph of wrinkled PSG surface

図5 nMOSトランジスタ部の不純物濃度分布 (シミュレーションによる値)
Fig.5. Impurity profile for the nMOS transistor (Simulated values)

この場合、npnトランジスタの h_{FE} の異常や、コレクターエミッタ間ブレイクダウン電圧の異常低下となる。もう一つの問題は、2層目の多結晶シリコンとPSG膜の界面が、エミッタ拡散工程での熱処理を経ることにより、しわ状に変形することである。このしわ状の変形は、コンタクト窓部でのステップカバレッジ異常を引き起こす。しわ状変形の例を図3に示す。我々は、このPSG膜による二つの問題について、PSG膜のリソ濃度と、エミッタ工程での熱処理条件の組合せにより解決できることを、実験的に得た。

図4は、上記の二つの問題が生じないPSG膜のリソ濃度と、エミッタ熱処理条件の最適な組合せの範囲を示している。また、この最適な組合せの範囲は、PSG膜のリフロー時の熱処理条件と、エミッタ拡散用のリンのイオン注入条件にも依存する。

図5に示す最適条件の範囲は、PSG膜のリフロー条件 1050°C 30分、リンのイオン注入条件、 80keV $4.5 \times 10^{15}\text{cm}^{-2}$ の条件のもとで得たものである。

プロセスシミュレーションで得たnMOSトランジスタの不純物濃度分布を、図5に示す。コンタクト部の表面濃度は、 $1 \times 10^{20}\text{cm}^{-3}$ 、また、ドレイン部の最大不純物濃度は、 $3 \times 10^{18}\text{cm}^{-3}$ である。

3. デバイス特性

npnトランジスタの $I_c - V_{CE}$ 特性を図6に示す。

h_{FE} は100、そしてコレクターエミッタ間ブレイクダウン電圧は、30Vである。図7は、同じトランジスタのガンメルプロットである。ベース電流は、10 pA から $10\text{ }\mu\text{A}$ までの範囲で、また、コレクタ電流は、1 nA から 1 mA までの範囲でそれぞれ直線を示している。

これらの結果は、良好なトランジスタが形成されていることを裏付けている。これらの直流特性を求めたトランジスタのエミッタ寸法は、 $6\text{ }\mu\text{m} \times 10\text{ }\mu\text{m}$ である。

最大遮断周波数 f_T は図8に示すように、エミッタ幅 $6\text{ }\mu\text{m}$ のトランジスタで 1.8 GHz 、エミッタ幅 $2\text{ }\mu\text{m}$ のトランジスタで 2.8 GHz を得た。 $2\text{ }\mu\text{m}$ ルール加工技術においては、非自己整合エミッタの場合、最小幅の限界は、 $6\text{ }\mu\text{m}$ である。これに対し、自己整合エミッタでは、最小幅を $2\text{ }\mu\text{m}$ まで微細化できる。図8の遮断周波数のエミッタ幅依存性は暗に自己整合エミッタによる遮断周波数の向上を示している。遮断周波数 2.8 GHz の値は、増幅器に例えると、帯域 280 MHz で、一段当たり 20 dB の利得が得られることを示し、VHF帯までの高周波信号処理や磁気装置などの信号処理用アナログ/デジタルLSIへの応用には十分な値である。

nMOSとpMOSトランジスタの $I_D - V_{DS}$ 特性を、図9と図10に示す。いずれのトランジスタも、 BV_{SD} は 20 V 以上を得ている。リングオシレータによるCMOSインバータのゲート遅延時間の印加電圧依存性を図11に

図6 npn トランジスタの $I_c - V_{CE}$ 特性
($I_B = 2\text{ }\mu\text{A}, 4\text{ }\mu\text{A}, 6\text{ }\mu\text{A}, 8\text{ }\mu\text{A}, 10\text{ }\mu\text{A}$)
Fig.6. $I_c - V_{CE}$ characteristics of the npn transistor

図7 npn トランジスタのガンメルプロット
Fig.7. Gummel plot of the npn transistor

図8 遮断周波数のコレクタ電流密度依存性
Fig.8. The cutoff frequency as a function of collector current density

示す。印加電圧 5.5 Vでのゲート遅延時間 t_{pd} は、1.4 nsであり、同一ゲート長の通常の CMOS デバイスの特性と同等の値である。

図 1 2 と図 1 3 は、nMOS トランジスタのバックゲート依存性を示す。ソースに対し、バックゲート電位をマイ

図 9 nMOS トランジスタの $I_D - V_{DS}$ 特性 ($V_{GS} = 1V, 2V, 3V, 4V, 5V$)

Fig.9. $I_D - V_{DS}$ characteristics of the nMOS transistor

図 1 0 pMOS トランジスタの $I_D - V_{DS}$ 特性 ($V_{GS} = -1V, -2V, -3V, -4V, -5V$)

Fig.10. $I_D - V_{DS}$ characteristics of the pMOS transistor

図 1 1 CMOS ゲート遅延時間の電源電圧依存性
Fig.11. CMOS delay time as a function of supply voltage

図 1 2 nMOS トランジスタの $I_D - V_{DS}$ 特性 ($W/L = 20 \mu m / 3.5 \mu m$, バックゲート電圧 $V_{BG} = 0$)
Fig.12. $I_D - V_{DS}$ characteristics of the nMOS transistor ($V_{BG} = 0$)

図 1 3 nMOS トランジスタの $I_D - V_{DS}$ 特性 ($W/L = 20 \mu m / 3.5 \mu m$, バックゲート電圧 $V_{BG} = -5.0 V$)
Fig.13. $I_D - V_{DS}$ characteristics of the nMOS transistor ($V_{BG} = -5.0 V$)

ナス 5 V とした場合は、ソースと同電位の場合に比べ、オン抵抗が 30 % 増加する。さらに、スレッショルド電圧は 0.7 V から 2.2 V に上がっており、pMOS のスレッショルド電圧 -0.7 V とのバランスが悪化する。

図 1 の nMOS 2 に示すようなバックゲートを p 型基板より分離した構造にすることで、基板電位によらず、バックゲート電位を常にソース電位にすることが可能となり、アナログ機能の高性能化が図れた。

4. 回路特性

バイポーラトランジスタと MOS トランジスタの特徴を表 3 に示す。ペア性の優れたバイポーラトランジスタを使い、低オフセット電圧のオペアンプとバンドギャップ基準電圧回路を設計した。

図 1 4 は、バイポーラトランジスタを使ったオペアンプと入力オフセット電圧のバラツキ特性で、 σ で 0.21mV と

図 1 4 バイポーラ入力オペアンプの回路とオフセット電圧の分布

Fig.14. Bipolar transistor input operational amplifier's circuit and accuracy of offset-voltage

表 2 BiCMOS のデバイスパラメータ
Table 2. BiCMOS device parameters

	Parameter	Value	Unit
n	h_{FE}	100	
	BV_{CEO}	30	V
p	BV_{CBO}	52	V
n	BV_{EBO}	5.6	V
	f_T	2.8	GHz
n	W/L	10/3.5	$\mu m/\mu m$
M	V_{th}	0.7	V
O	BV_{SD}	20	V
S	β	90	$\mu S/V$
p	W/L	12/3.5	$\mu m/\mu m$
M	V_{th}	-0.7	V
O	BV_{SD}	-24	V
S	β	32	$\mu S/V$
CMOS tpd		1.4	ns

表 3 バイポーラ, CMOS, BiCMOS の特徴
Table 3. Characteristics of Bipolar, CMOS and BiCMOS

	CMOS	Bipolar	BiCMOS
①Low power gate	◎	△	◎
②Analog swith	◎	△	◎
③Pair characteristics	△	◎	◎
④Low noise	○	◎	◎

図 1 5 バンドギャップリファレンス回路の温度特性
Fig.15. Nomalized bandgap reference voltage as a function of ambient temperature

良好な特性を得ている。図15は、同様にバイポーラトランジスタを使った基準電圧の温度特性で、 $-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ の範囲で、1%の電圧変化率を達成しており、従来のバイポーラトランジスタと同等な特性を実現している。

一方、CMOSトランジスタは、オフセット電圧のないアナログスイッチ、高入力インピーダンスアンプや低消費電力の論理回路への応用がある。nMOSのバックゲート電圧を基板電位から分離することで、nMOSのオン抵抗を下げるとともに、正負2電源使用での正電源CMOS論理回路での負電源電圧依存性をなくすなど、アナログ／デジタル混載LSIの応用を広げた。

5. LSIの例

図16は、磁気装置の信号処理LSIのチップ写真を示す。 $+5\text{V}$ と -5V の両電源を用い、微小アナログ信号の増幅、各種波形フィルター、およびPLL回路による信号再生をおこなっており、表4に構成内容を示す。

ここに示すように、本BiCMOS技術により、正負両

図16 磁気装置用信号処理LSIチップ写真
Fig.16. Microphotograph of signal processor for magnetic stage use

表4 磁気装置用信号処理LSIの概要
Table 4. Feature of signal processor for magnetic strage use

Component	Numbers	Characteristics
Amplifier	9	Band Width > 50MHz
Comparater	4	Delay Time < 10ns
Reference	1	Band Gap Reference
D/A	1	3 bits
PLL	1	20MHz
Gate	500	$f_{CK} = 1\text{MHz}$

電源動作のアナログ回路と正電源動作のCMOS論理回路をワンチップに集積したLSIを試作して、その有効性を確認した。

6. まとめ

エミッタに多結晶シリコンを用いた、エミッタとコンタクト窓の自己整合構造のBiCMOSデバイスを、平坦化に用いるPSGのリン濃度と、エミッタアニール温度の最適化で実現できることを示した。

本BiCMOS構造では、すべての素子の耐圧を20V以上にするとともにnpnトランジスタの遮断周波数2.8GHzと、CMOSのゲート遅延時間1.4nsを同時に得ることができた。

また、バックゲート電位をシリコン基板電位と分離することで、nMOSのオン抵抗を下げるとともに、正負2電源使用での、正電源CMOS論理回路の負電源電圧依存性をなくするなど、アナログ／デジタル混載LSIへの応用に適していることを示した。

本BiCMOS技術を用いて、正負両電源動作のアナログ回路と正電源動作のCMOS論理回路を、ワンチップに集積した磁気装置の信号処理LSIを開発し、その有効性を確認した。

(平成7年7月26日受付、同8年1月5日再受付)

文献

(1) H. Nakashiba, et. al., Proc. of CICC, P. 63, (1986)
(2) K. Ogiue, et. al., ISSCC Dig. of Tech. Papers, p. 212 (1986)
(3) G. Troster, et. al., ISCAS, P. 113 (1986)
(4) T. Yamauchi, et. al., 171th ECS Spring Meeting Abstract, No. 286, p. 419 (1987)
(5) Alan B Grebene, Analog Integrated Circuit Design, Litton Educational Publishing Inc. (1972)

山内 経則 (正員) 昭和46年西日本工大・工・電気卒
昭和49年九州工大大学院修士課程修了。
同年富士通(株)入社、現在同社会津若松工場第一プロセス製造部プロセス技術担当部長、バイポーラ、BiCMOSデバイスプロセスの開発および製造に従事。
電子情報通信学会、IEEE各会員

土屋 主税 (非会員) 昭和49年東工大・工・電子卒
昭和51年同大学大学院修士課程修了。
同年富士通(株)入社、現在第一半導体事業本部第二システムLSI事業部第一設計部長アナログ、デジタル混載LSIの回路設計と開発に従事。