並列 LU 分解を用いる系統過渡安定度計算に適したマルチプロセッサアーキテクチャ

正員 山本 将人 (東京電力)

非会員 中田 登志之 (日本電気)

非会員 栗田 養逸 (日本電気)

A Multiprocessor System Architecture Suited for Power System Transient Calculation

Masato Yamamoto, Member (Tokyo Electric Power Co.), Toshiyuki Nakata, Non-member, Yoitsu Kurita, Non-member (NEC Corporation)

In the field of power system calculation, much study has been made in the area of applying parallel computers in order to increase computation speed. However, unlike examples in other application areas, such as circuit simulation or computational fluid dynamics, the performance gain is small. Also, the performance gain begins to saturate just after small number of processors are utilized. This is due to the essential feature of power system calculation: mainly (1) The size of the problem is usually much smaller than the other application fields. (2) The sparsity of the problem is high. These two features results in the fact that effect of interprocessor communication overhead is severely reflected.

In this study, the authors tried to determine the most suitable parallel architecture for Power System Calculation, restricting the number of processors to 16 or so. The architectural feature we wanted to determine are Memory architecture and Inter processor connection method. The candidates we chose were (a) Distributed memory architecture connected by an inter-processor communication network, (b) Distributed memory architecture connected by a bus, (c) Shared memory architecture connected by a bus, and (d) Composite distributed/shared memory architecture connected by a bus. We evaluated each architecture using the data for transient stability analysis from a single PE execution, and evaluating each memory operation, necessary interprocessor communication and computation. The results showed that while it was very hard to attain much speed up using a distributed shared memory architecture connected by an interconnection network, it was possible to attain a speedup of 6.5 using 16 PEs on a Composite distributed/shared memory architecture connected by a bus.

キーワード：並列計算機，アーキテクチャ，分散メモリー，共有メモリー，電力系統計算，過渡安定度計算

1. ま え が き

電子計算機を用いて電力系統解析計算を行うようになって以来、アルゴリズムの改善および計算機の性能向上により、計算時間短縮による業務効率向上という直接的な効果に加え、計算機未利用域への利用拡大が生じてきている。この結果、更なる高速計算の要求は強く、その実現によって系統実現象制御の高度化など新たに利用領域を開拓されるものと期待される。

並列計算機が開発されてから、系統計算においても、特に系統現象解析関係の利用のための高速計算を目的とした

研究が盛んである。それらの研究は、主として並列アルゴリズムの開発、改善に関するものが多い^{(1)~(10)}。

一般に、並列計算においてプロセッサ利用効率を良くするには、問題を解く並列アルゴリズムが並列計算に適していること、および並列計算機のアーキテクチャがそのアルゴリズムの実行に適していることが必要である。

系統計算には潮流計算や過渡安定度計算など各種解析があり、それらの計算に共通していることは、発電機や負荷の内部状態を計算する場合の並列性は十分に得られるものの、送電網計算では並列性が乏しいことである。従って系統解析における並列アルゴリズムの研究は、おもに送電網

計算部分での能率のよい並列アルゴリズムの開発に集中している。

送電網方程式計算アルゴリズムには、反復法と直接法がある。反復法には Jacobi 法、共役傾斜法および SOR 法などがあり、非線形方程式のままで、また Newton-Raphson 法を用いるときの線形方程式を解くときに用いられる。直接法は非線形方程式を Newton-Raphson 法を用いて線形化して解くときに使われ、LU 分解法が代表的である。反復法は並列計算部分が多く並列性に優れるが、収束性や反復回数が一定しない。一方、直接法である LU 分解法は、係数行列が疎であることを利用し、fill-in を抑制するオーダリングや index による非零要素のみの計算により少ない計算量で能率良く計算できる。本来、逐次アルゴリズムであるが零要素（データの非依存性）を利用した並列計算法も開発、利用されており⁽⁹⁾⁽¹¹⁾⁽¹⁹⁾、反復法に比べ総合計算時間で勝るのでよく利用される。本研究は送電網線形方程式に LU 分解法を用いることを前提に進める。

従来の実並列計算機を用いた並列系統計算の研究が示すところによれば、速度向上比は数倍程度がせいぜいであり、回路計算、流体計算のような大規模計算⁽¹²⁾と比較して、電力系統計算では高い並列効果を得ることが困難である。

この理由は、系統計算は問題の規模が小さく、特に送電網方程式求解部分での並列粒度が小さくなり、通信オーバーヘッドの影響を受けやすいことによる⁽¹⁹⁾。オーバーヘッドにはプロセッサ負荷のばらつきによる同期オーバーヘッドなど、アプリケーションプログラムやデータマッピングにより、ある程度抑制可能なものもあるが、データ通信に伴うデータの移動操作など計算機構造および OS 方式によるものがあり、アプリケーション側での改善には限界がある。従って後者について、計算対象に適したアーキテクチャにすることにより並列性の改善を図る必要がある。

本論文では、現在までになされた系統計算の多くの研究が示すように、並列効果がプロセッサ数個程度と少ない領域で飽和することを考慮して、プロセッサ十数個程度までの範囲の並列計算機について、系統計算を対象にした並列計算機基本構成の適化を検討したものである。

対象とする系統計算は過渡安定度計算である。この計算を選んだ理由は、実行頻度が多く、計算時間を要するので高速計算のニーズが大きいこと、また系統計算の並列計算上のネックとなる送電網方程式求解を含んでおり、他の種類の系統計算に対する適化が同時にできることによる。また、過渡安定度計算は、発電機内部計算部分が大きく、それぞれの発電機間が独立であるため、送電網計算と異なり粗粒度計算となるので、構成はこれらの部分の計算にも適する必要があることも考慮した。

検討した基本構成形式は、プロセッサ接続網を備えた汎用分散メモリー型ならびに通信手順が簡素にできる構成形式として分散メモリー/共有バス型、共有メモリー型およ

び分散メモリー+共有メモリー/共有バス型である。それぞれの形式の構成特有の処理方式に基づいて、対象計算実施ベースの演算数、データ通信およびデータアクセス数とそれぞれの処理時間とから計算時間を推計し、どの構成形式が過渡安定度計算に適しているかを評価している。

また、本研究で検討したアーキテクチャと既存アーキテクチャである Hypercube 型並列計算機および OSCAR⁽¹⁰⁾との比較についても触れている。

2. 過渡安定度計算の基本算式

〈2・1〉 計算基本式 電力系統の過渡安定度計算は短絡事故などの外乱が加わったとき、系統状態急変による発電機など系統機器の応答と系統各箇所の状態量の変化を時間軸に沿って解くものであり、その基本式を次に示す。

$$\left. \begin{aligned} f_x(\dot{x}, x, y, z) &= 0 \\ f_y(x, y, z) &= 0 \\ f_z(y, z) &= 0 \end{aligned} \right\} \dots\dots\dots (1)$$

ここに、 x, y, z はそれぞれ発電機および負荷の微分方程式で記述される変数、発電機および負荷とそれぞれの母線変数相互の関係を代数方程式で記述される変数ならびに送電網母線の変数を表す。 f_x, f_y, f_z はそれぞれの発電機および負荷の状態を微分方程式で記述するときの関数、発電機および負荷とそれぞれの母線変数相互の関係を記述する関数および送電網変数の関係を表す関数である。

発電機の動的記述は Park の詳細モデルで示される。その詳述は省略し文献⁽¹³⁾に譲る。また負荷の動的記述は文献⁽¹⁴⁾に述べたものである。各関数による変数グループの関係構造は、 f_x および f_y は発電機および負荷母線ごとに独立である。また f_z は送電網母線相互の関係でネットワーク構造であり、次式の形式によって表すことができる。

$$[Y + Y_i + Y_o]V - Y_o E_o = 0 \dots\dots\dots (2)$$

ここに、 Y, Y_i, Y_o はそれぞれ送電網アドミタンス行列、動的負荷アドミタンスおよび発電機初期過渡リアクタンス背後と発電機母線間のアドミタンスであり、 V, E_o はそれぞれ母線電圧および発電機内部誘起電圧である。 Y 行列は極めて疎の構造であり、 Y_i, Y_o は Y 行列の対角要素に加わるだけであるので $(Y + Y_i + Y_o)$ 行列の構造は Y 行列のそれと同じである。

〈2・2〉 数値解法および並列アルゴリズム 数値解法は発電機および負荷に関する微分方程式の解法に Trapezoid 法を用い、(1)式のすべての方程式を、Newton-Raphson 法により、全状態を一括し反復修正して求める。

このときのヤコビ行列の構造を図1に示す。

この修正方程式は LU 分解によって求め、LU 分解および前進消去演算の並列処理は2段階に分ける。

第一段階は図1に示すヤコビ行列のブロック対角部分の発電機および負荷母線内変数要素の消去であり、母線ごとに独立であるため並列処理は効率よくできる。発電機の変

- (注) 1. 黒塗りブロックは1個以上の非零要素がある。白ブロックは非零要素がない。
2. Mg: 発電機母線数, MI: 負荷母線数

図 1 Trapezoid 法における Jacobi 行列の構造
Fig. 1. Structure of Jacobian matrix in trapezoidal method.

図 2 Trapezoid 法による過渡安定度並列計算
フロー図

Fig. 2. Flow chart of transient stability analysis by trapezoidal method.

数の数が多いのでブロックの大きさは負荷のそれに比べ大きい。

第二段階は母線内変数消去の終了に続いて行う送電網行列の消去である。この消去には送電網の疎行列性を活用した並列消去 LU 分解法⁽⁹⁾を用いる。なお、すべての演算処理は fill-in を含む非零要素のみとし、計算効率を上げる。

また、後退代入は送電網部分を並列法⁽⁹⁾で行い、その後発電機および負荷母線内変数部分の代入を並列に行い、全変数の解を求める。

以上の計算のフローを示せば図 2 のようになる。

3. 系統計算の並列計算特性

前章に述べた計算を母線数 167 (うち発電機母線数 40, 負荷母線数 127) のモデル系統 (図 3 に本モデル系統送電網の構造的特徴を表す諸元を示す) について、汎用並列計算機 Cenju⁽¹⁵⁾ および Cenju2⁽¹⁶⁾ を用いて並列計算を行い、プロセッサ個数と速度向上比を求めた。その結果を図 4 に示す。

ここで、モデル系統の規模について述べる。電力系統計算では一般には最大母線数 1,000 程度までの系統が対象となることを考えると、本研究に供するモデル系統の母線数は中規模系統に位置する。しかし、縮小的または系統主要部分を選択して母線数を減らした解析によっても、系統全体としての現象は把握出来ることから実行頻度の多い規模である。また、並列計算において計算規模が小さいほど、速度向上比が厳しく、この規模の系統で並列性能を評価しておけば、それより大きい規模の系統では速度向上比はより高くなるが、最大母線数 1,000 程度までは計算規模の数倍以下の規模変化であり、この程度の規模の違いでは、計算機構成比較評価は入れ替わることはないと考えて本モデル系統を採用した。(ただし、回路計算などのように計算規模が数千から数万以上になれば、並列計算アルゴリズムもそれに適した形に変えること、粒度が大きいことによる通信オーバーヘッドの速度向上比に与える影響度が低減することにより、計算機構成評価も入れ替わることが考えられる)。

図 4 が示すように、プロセッサ 16 個で Cenju (CPU に

母線数	167
線プランチ数	210
ノード・アドミタンス行列	
(母線数と実部、虚部成分数との積)	
次数	167×2
非零要素数	527×4
非零占有率	0.019
行平均非零要素数	3.16×2
行最大非零要素数	7×2
並列 LU 分解時並列消去母線数(処理順)	
[5] [35] [26] [17] [11] [8]	
[5] [4] [3] [2] (5)	
ただし、[] 内: 並列処理母線数	
() 内: 逐次処理母線数	

図 3 モデル系統送電網の構造的特徴

Fig. 3. Structural profile of the model power system network.

図 4 汎用並列計算機による過渡安定度の計算速度向上比

Fig. 4. Speedup of transient stability analysis by wide use parallel computer.

MC 68020 使用) の場合 5.5 倍の速度向上が得られているが, Cenju2 (CPU に VR 3000 使用) の場合 1.5 倍と低い。系統計算を並列計算機を用いて実行する研究の大部分が, 回路計算や流体計算など, 他の大規模計算が数十倍の速度向上比が得られるのに比較すると数倍程度の低い値しか得られていない。

この理由は, 系統計算の規模, 構造によって並列粒度が他の大規模計算のそれに比べ小さいため, 通信 (通信に伴うデータ処理を含む) オーバヘッドの影響を強く受けることによる。この影響を受ける程度は並列分割された計算体の計算時間に対する通信時間の比による⁽¹⁹⁾。

また, 他の傾向として世代の古い Cenju に対して, 世代の新しい Cenju2 の速度向上比が小さくなることである。この傾向は文献 (11) の疎行列方程式の並列計算による速度向上比評価結果にも示されているように, Intel 社の Hypercube 型第一世代並列計算機 iPSC/1 では速度は向上しているが, 最新バージョンの iPSC/860 では速度向上が得られていない。この傾向を著者らは次のように分析した。すなわち, プロセッサの性能が向上し, 並列分割計算体の計算時間が小さくなるのに対し, 通信時間がそれに比べて短縮されないことが上げられる。

現在, プロセッサの性能は急速に向上しており, 並列計算機に用いれば全体の速度向上を図ることができるが, 並列粒度の小さい系統計算においてはプロセッサ個数の効果を得られなくなることが考えられる。従って, 性能の良い最新のプロセッサを用いて系統計算を並列計算して高い並列性能を実現するためには, それに適したアーキテクチャの検討が必要である。

4. 基本構成の案

〈4・1〉 基本構成を検討する際に前提となる考え方 前章に述べた系統計算の並列速度向上特性とその分析結果より, 系統計算に適した並列計算機の基本構成 (アーキテク

チャ) を検討する前提として, 次のように認識する。

(1) 系統解析の並列計算はプロセッサ個数が少ないところで飽和するので, プロセッサを増して有効であるのは 10 個程度までである。

(2) 並列効果は, 送電網計算部分で必要となる通信およびそれに必要となるデータ制御時間の短縮による改善効果が大きい⁽¹⁹⁾。

(3) プロセッサ性能は今後も継続的に向上することが期待できる。この性能が有効に活用される構成とする必要がある。

上記の認識に基づいて, 図 2 に示す計算を効率良く行う並列計算機の基本構成を考える。ここで基本としたのは, メモリー方式およびプロセッサ結合方式についての最適化であり, それ以上の細部構成については, 本研究では関係する事項しか扱わない。

図 2 の計算構造は大きく 2 種類の演算に分けることができる。すなわち, ①発電機および負荷母線内計算, および ②送電網計算, である。

①の計算量は発電機母線内ではかなり大きい, 負荷母線内は小さい。両者ともに扱うデータは自母線内のもので外部に対して独立である。②は疎行列を係数とする連立方程式を解く問題で, 並列効果が出にくく, 系統計算の隘路 (あいろ) となる部分である。プロセッサ間通信を伴うので通信オーバヘッドの影響を受けやすい。

この計算構造はアーキテクチャ最適化を考えるうえで重要なファクタである。

〈4・2〉 検討するアーキテクチャ 前節の考え方に基づいて検討するアーキテクチャおよび要素の性能を以下のように仮定した。この性能値は, 現在の技術レベルで実現可能な実勢値より, 妥当な値を採用している

- ・プロセッサ個数を 16 個までとする
- ・CPU としては VR 4,400 相当のもの [内部周波数 150 MHz 一次キャッシュ 16 KB (命令) + 16 KB (データ), 外づけ二次キャッシュ (1 MB)] を採用したものと
- ・プロセッサ間接続に関しては以下の 4 種類のものを検討する

(i) タイプ A

プロセッサ間接続網で結合された分散メモリーマシン [図 5 (a) 参照]。PE 間接続に関しては, スループットは 40 MB/sec, レイテンシは 50 μ sec とする。

(ii) タイプ B

分散メモリーマシンがバスで結合されたシステム [図 5 (b) 参照]。バス性能としては 400 MB/sec, アービトレーション時間は 200 nsec (バス) + 100 nsec (CPU 対バス), アドレスアクセス時間は 200 nsec とし, 1 W または 2 W ごとのアクセスを行う。これに要する時間は 20 nsec, バス衝突に関しては, アービトレーションを除いた時間分だけバスアクセスすると仮定し, まんべんなくバスアクセスが存在すると仮定した。

図 5 検討対象並列計算機の基本構成
Fig. 5. Studied basic architectures of multiprocessor system.

(iii) タイプ C

バスで接続された共有メモリーマシン〔図 5 (c) 参照〕。バス性能としては 400 MB/sec, アービトレーション時間は 200 nsec, アドレスアクセス時間は 200 nsec, バースト的に 16 W をフェッチするものとし、これに要する時間は 160 nsec とする。バス衝突に関してはアービトレーションを除いた時間分だけバスアクセスすると仮定し、まんべんなくバスアクセスが存在すると仮定した (この仮定は理想的である)。

(iv) タイプ D

バス上に、分散メモリー並びに共有メモリーが存在するマシン〔図 5 (d) 参照〕。タイプ B とタイプ C を組み合わせたタイプ。分散メモリー上に、その PE で局所的に用いるデータ並びにプログラムを配置し、共有メモリー上に全 PE 間で頻繁に参照するデータを配置することにより、タイプ B のアーキテクチャの利点と、タイプ C のアーキテクチャの利点を有する。なお、パラメータに関しては、タイプ B およびタイプ C に準ずる。

5. 評価

〈5・1〉 評価方法 前章のタイプ A, B, C および D の構成について並列計算時間の評価を行う。評価法は実行ベースのプログラムおよび入力データを用い、実行処理プログラムごとに時間を詳細に推計、集計する実数積算法を用いた。

計算対象および手法は以下の通りである。

- (1) 計算プログラム：第 2 章に述べたアルゴリズムによる過渡安定度解析プログラム。

- (2) 供試入力データ：第 3 章に述べた 167 母線系統 (うち発電機母線数 40, 負荷母線数 127)。
- (3) 計算に用いる実数データは倍精度とする。
- (4) キャッシュメモリーのヒット率：命令キャッシュはすべてヒット、データキャッシュのミスヒット率は発電機母線内部計算時 2.7%。送電網計算時は PE 外部からのデータ更新のとき、キャッシュミスが発生。
- (5) 演算時間の推計：実行レベルプログラムから演算数およびプロセッサ間データ転送、バス外アクセス数を計量し、供試入力データによる計算実行時の反復数も含めた演算回数を乗じて演算時間を推計する。

各対応に於けるプロセッサ間通信/バス外アクセスに関しては以下の仮定を置いた

- ・タイプ A に関してはバッファ詰め込み後送信する
- ・タイプ B に関しては書き込み時にバス外アクセスが発生する (この場合、バーストアクセスではなく、1 語ごとのアクセスとする)
- ・タイプ C, D に関しては、書き込み並びに読出し時にもバーストアクセスでバス外アクセスを行うものとする (書き込みは一度だけ、読出しは影響を受ける分だけ)

実際のプロセッサ間通信/バス外アクセスに関しては、アルゴリズムの各フェーズにおいて、パターンが異なるので、第 2 章に示した各フェーズを次のように、①発電機および負荷母線内計算と、②送電網計算の 2 グループに分類し、グループごとに以下に述べるような仮定をおいた

(図2 参照)。

- ①発電機および負荷母線内計算フェーズグループ
 - (1・a) 発電機，負荷の状態方程式に関する残差計算
 - (2・a) 発電機，負荷に関する Jacobi 行列計算
 - (3・a) Jacobi 行列の発電機，負荷に関する状態変数部分の LU 分解および前進消去計算
 - (3・d) 発電機，負荷に関する状態変数部分の後退代入計算
- (4) 全状態変数の修正
- ②送電網計算フェーズグループ
 - (1・b) 送電網の方程式に関する残差計算
 - (2・b) 送電網に関する Jacobi 行列計算
 - (3・b) Jacobi 行列の送電網に関する状態変数部分の LU 分解および前進消去計算
 - (3・c) 送電網に関する状態変数部分の後退代入計算
- ①発電機および負荷母線内計算フェーズグループの計算

に関しては，

- ・タイプ A, B および D では，各プロセッサの局所メモリにデータを配置して演算を行う。このグループ

図 6 各種基本構成の計算速度向上比評価結果
Fig.6. Speedup evaluation results of various multiprocessor system architectures.

表 1 各種基本構成の並列計算時間評価結果
Table 1. Speedup evaluation results of various multiprocessor system architectures.

過渡安定度計算全体の計算時間および計算速度向上比														単位 msec および (倍)		
P E 個数	タイプA				タイプB				タイプC				タイプD			
	演算 時間	転送 時間	合計 時間	速度 向上比	演算 時間	転送 時間	合計 時間	速度 向上比	演算 時間	期待メモリ アクセス 時間	合計 時間	速度 向上比	演算 時間	期待メモリ アクセス 時間	合計 時間	速度 向上比
1	16,820	3,903	20,722	1.00	16,820	0	16,819	1.00	16,226	2,235	18,460	1.00	16,820	897	17,717	1.00
2	8,451	20,992	29,444	0.70	8,451	1,805	10,256	1.64	8,154	2,558	10,712	1.72	8,451	1,220	9,671	1.83
4	4,247	21,351	25,597	0.81	4,247	2,421	6,667	2.52	4,098	2,720	6,817	2.71	4,247	1,382	5,628	3.15
8	2,154	23,783	25,938	0.80	2,154	2,648	4,802	3.50	2,080	2,800	4,880	3.78	2,154	1,462	3,617	4.90
16	1,243	23,820	25,064	0.83	1,243	2,768	4,011	4.19	1,198	2,841	4,040	4.57	1,243	1,503	2,747	6.45

[計算ブロック別内訳時間]

(a)発電機母線内LU分解計算 (Jacobi係数計算を含む) ブロック

P E 個数	タイプA				タイプB				タイプC				タイプD			
	演算 時間	転送 時間	合計 時間	速度 向上比	演算 時間	転送 時間	合計 時間	速度 向上比	演算 時間	期待メモリ アクセス 時間	合計 時間	速度 向上比	演算 時間	期待メモリ アクセス 時間	合計 時間	速度 向上比
1	8,980	0	8,980	1.00	8,980	0	8,980	1.00	8,386	1,338	9,723	1.00	8,980	0	8,980	1.00
2	4,490	0	4,490	2.00	4,490	0	4,490	2.00	4,193	1,338	5,530	1.76	4,490	0	4,490	2.00
4	2,245	0	2,245	4.00	2,245	0	2,245	4.00	2,096	1,338	3,434	2.83	2,245	0	2,245	4.00
8	1,122	0	1,122	8.00	1,122	0	1,122	8.00	1,048	1,338	2,386	4.08	1,122	0	1,122	8.00
16	674	0	674	13.32	674	0	674	13.32	629	1,338	1,967	4.94	674	0	674	13.32

注) タイプA, B, D (局所メモリ使用) とタイプC (共有メモリ使用) の演算時間に差があるのは, タイプA, B, DではPEの
自局所メモリへのデータアクセス (キャッシュミスヒット分) 時間を含むことによる。

(b)送電網部分行列LU分解・前進消去計算ブロック

P E 個数	タイプA				タイプB				タイプC				タイプD			
	演算 時間	転送 時間	合計 時間	速度 向上比	演算 時間	転送 時間	合計 時間	速度 向上比	演算 時間	期待メモリ アクセス 時間	合計 時間	速度 向上比	演算 時間	期待メモリ アクセス 時間	合計 時間	速度 向上比
1	4,702	3,903	8,604	1.00	4,702	0	4,702	1.00	4,702	564	5,265	1.00	4,702	564	5,265	1.00
2	2,381	11,585	13,967	0.62	2,381	1,453	3,834	1.23	2,381	679	3,061	1.72	2,381	679	3,061	1.72
4	1,206	11,209	12,414	0.69	1,206	1,947	3,153	1.49	1,206	737	1,943	2.71	1,206	737	1,943	2.71
8	622	11,503	12,126	0.71	622	2,127	2,750	1.71	622	766	1,389	3.79	622	766	1,389	3.79
16	346	10,434	10,780	0.80	346	2,221	2,568	1.83	346	781	1,127	4.67	346	781	1,127	4.67

注) タイプAで PE 1 台のとき, 転送時間が0にならないのは, バッファリング処理がプログラミングされているためである。

(c)送電網部分行列後退代入計算ブロック

P E 個数	タイプA				タイプB				タイプC				タイプD			
	演算 時間	転送 時間	合計 時間	速度 向上比	演算 時間	転送 時間	合計 時間	速度 向上比	演算 時間	期待メモリ アクセス 時間	合計 時間	速度 向上比	演算 時間	期待メモリ アクセス 時間	合計 時間	速度 向上比
1	3,138	0	3,138	1.00	3,138	0	3,138	1.00	3,138	333	3,472	1.00	3,138	333	3,472	1.00
2	1,580	9,407	10,987	0.29	1,580	352	1,932	1.62	1,580	541	2,120	1.64	1,580	541	2,120	1.64
4	796	10,142	10,938	0.29	796	474	1,270	2.47	796	645	1,440	2.41	796	645	1,440	2.41
8	410	12,280	12,690	0.25	410	521	930	3.37	410	696	1,106	3.14	410	696	1,106	3.14
16	223	13,386	13,610	0.23	223	547	770	4.08	223	722	946	3.67	223	722	946	3.67

の計算はデータ独立であるので PE 間通信/バスアクセスはない

- ・タイプ C では共有メモリーにデータを配置し、キャッシュミスヒット時にバス外アクセスが存在する
- ②送電網計算フェーズグループの計算に関しては、
- ・タイプ A および B では行ごとにプロセッサにプロセッサを割り当て、データを配置した (1 母線分の行数は、実際の行列では実部と虚部の 2 成分の行があるのが、行列計算のときは常に 2 行 1 組で、あたかも 1 行として演算する⁽⁹⁾ ので、ここでの行は 1 母線分の 2 行をまとめたものをいう。以下同じ)

タイプ A に関しては、更新時に送信する。タイプ B に関しては、書き込み時にバス外アクセスが発生する。(いずれも必要な箇所のみ行う)

- ・タイプ C および D では共有メモリーにデータを配置するものとした

タイプ D において、上述のように①グループの計算データを局所メモリーへ配置したのは、このグループはデータ独立計算であり、その局所性を最大限に利用してデータアクセスを他プロセッサとの競合しないで並列に行うためであり、②グループの計算データを共有メモリーに配置した理由は、1 データを複数プロセッサの計算と共有するものが多く、1 プロセッサがデータを更新したとき、それを共有メモリーに格納するだけで、他のプロセッサへの転送が不要となることによる高能率を実現するためである。

〈5・2〉 評価結果 評価結果を図 6 および表 1 に示す。同表には過渡安定度計算全体ならびにそれを構成する主要な計算ブロックごとの演算時間の推計値を示した。

発電機母線内計算では、データがプロセッサ間で独立であり、分散メモリー型のタイプ A、B および D が理想的にプロセッサ個数に比例する速度向上比を示している。プロセッサが 16 個のとき、速度向上比が 13.33 と 16 に比べて小さいのは発電機母線数が 40 でプロセッサの発電機分担数に差が生じたためである。共有メモリー型のタイプ C では速度向上比が 4 倍程度で飽和している。

共有メモリー型のタイプ C での演算時間が他のアーキテクチャより長いのは以下の理由による。

実際のプログラムから集計したところ図 2 の 1 回のループにおいて、1 個の発電機に関する Jacobian 計算ならびに発電機母線内 LU 分解に要するメモリー読出し回数は 3,252 回である。先述したように本システムではデータのキャッシュミスヒット率を 2.7% と仮定している。従っ

て、 $3,252 \times 0.027 = 87$ 回のメモリーアクセスが必要となる。1 台のプロセッサのみが共有メモリーにアクセスする場合は、共有メモリーバスへのアービトレーションのオーバヘッド (200 nsec/アクセス $\times 4 \times 2$ 節参照) がかかる。また複数の PE がアクセスしているときはアービトレーションがオーバラップするためより複雑な計算になるが、基本的にはバス上のデータ転送とアドレスアクセス時間 (合計: $3,252 \times 0.027 \times 360$ nsec) は PE 台数が何台であろうと必ず演算に必要な時間となる。表 1 内訳 (a) ブロックにタイプ C の共有メモリーアクセス以外の演算時間と、共有メモリーへのアクセス時間ならびに全体の演算時間を示す。

送電網計算 (LU 分解・前進消去・後退代入) では、タイプ A はプロセッサ間通信に伴うバッファリングなどによるレイテンシのため並列計算により逆に速度が低下している。分解・前進消去計算は分散メモリー型のタイプ B の速度向上比が 2 倍以下で、共有メモリー型のタイプ C では最高 4 倍以上となり、タイプ B と C とでは、送電網計算全体でタイプ C が優れている。

送電網計算の LU 分解、前進消去および後退代入は、並列消去 LU 分解法⁽⁹⁾ に基づいている。この部分のモデリングに関して LU 分解ならびに前進消去について簡単に述べる。並列消去 LU 分解法では同時に消去可能な行をグループとしてまとめて消去する。図 3 に示すように、今回評価したデータでは 10 個のグループにまとめて、演算を並行して行う。また、演算回数などは各行の非零要素率に比例する。本行列は非零要素率が非常に低く、かつ fill-in 数が少ないのでこれは大半の行でほぼ一定であるとモデルできる。また、密行列ではピボット行はその行以下のすべての行の値に影響を与えるが、当該行列は非零要素率が非常に低いため、各ピボット行が演算結果に影響を与える行数 (これを、影響行数と呼ぶ) も少ない。表 2 に、各同時消去行グループの行数、LU 分解時行当たり平均非零要素数 (対角およびその右側)、ならびに平均影響行数を示す。

当該 LU 分解では行ごとにプロセッサを割り当てる。従って並列度は各グループに存在する行数分だけ存在する。例えば 51 行のグループを 8 台の PE で演算を行ったときは 7 行担当するプロセッサと 6 行担当するプロセッサが存在し、負荷の不均衡により、7 行担当するプロセッサが律速 PE となる。また、逐次処理の部分は 1 PE で実行させる。本評価では、各グループごとに演算量を求め、各台数での律速 PE の演算時間を加算して演算時間を求めた。ま

表 2 モデル系統送電網行列 LU 分解時の同時消去グループの性質
Table 2. Characteristic of the parallel elimination groups in the model network matrix.

グループ番号 (消去順)	1	2	3	4	5	6	7	8	9	10	11 (総)	総平均
行 数	51	35	26	17	11	8	5	4	3	2	5	167
各行の平均非零要素個数 (対角要素を含む右側、fill-inを含む)	2.00	2.17	2.35	2.41	2.36	2.38	3.00	3.00	2.33	3.00	2.60	2.26
各行の平均影響行数 (fill-inを含む)	1.00	1.17	1.35	1.41	1.36	1.38	2.00	2.00	1.33	2.00	1.60	1.26

た本ルーチン群では、扱うデータ量が少ないためキャッシュミスヒット率は0.1%以下と非常に小さいと考えられる(ただし、キャッシュミスはこの数値のほかに、後述のようにPE外部からのデータ更新があるとき発生する)。

PE間通信オーバーヘッドはアーキテクチャによって、以下のような考え方になる。

タイプAの場合 ピボット行を自PEに存在しない影響行数分だけ転送する必要がある。その量は例えば8PEで実行しているときは[担当ピボット行数 $\times$ (7/8) $\times$ 影響行数]分となる。タイプAではレイテンシが問題になるので、転送バイト数よりは転送回数が問題になる。そこで各行ごとに非零要素をまとめて転送することにし、より転送回数を減らす。ただし、バッファにためるためのオーバーヘッドが生じる[表1内訳(b), (c)ブロック, タイプA欄参照]。

タイプBの場合 タイプA同様ピボット行を自PEに存在しない影響行数分だけ転送する必要がある。その量は例えば8PEで実行しているときは[担当ピボット行数 $\times$ (7/8) $\times$ 影響行数]分となる。ただし、タイプAと異なり、バッファリングは行わない[表1内訳(b), (c)ブロック, タイプB欄参照]。

タイプC, Dの場合 ピボット行の値が更新されると、そのピボット行をアクセスするPEはアクセスする時点でキャッシュミスが発生する。このため、共有メモリーへのアクセスが発生する[表1内訳(b), (c)ブロック, タイプC, D欄参照]。

過渡安定度計算全体では、タイプAは並列計算により計算速度が約80%に低下する。タイプBおよびタイプCはほぼ同程度であり、プロセッサ8個で3.5倍程度、16個で4倍強の速度向上比である。

タイプDは発電機母線内および負荷母線内計算を分散メモリー、送電網計算を共有メモリーからアクセスして演算を行い、両タイプのメモリー形式の長所を活かしているため、タイプB, Cに比べ高い速度向上比が得られ、プロセッサ8個で約5倍、16個で約6.5倍の速度向上が得られた。

〈5・3〉既存の並列計算機アーキテクチャとの比較

電力系統の並列計算によく用いられるものにHypercube型並列計算機がある⁽¹¹⁾⁽¹⁷⁾⁽¹⁸⁾。また、電力潮流計算において、直接解法を用いて良好な成果が得られているものにMultiprocessor計算機OSCARがある⁽¹⁰⁾。

これらの計算機アーキテクチャについて、本研究と比較して述べる。

文献(17)の研究ではHypercube型計算機を用い、反復法であるGauss-Sidel法による電力潮流計算を行い、最高約10倍の高い速度向上比を得ている。反復法の中でもGauss-Sidel法は一般に計算の能率は良いが、速度向上後の計算時間について、直接法との比較が必要である。

文献(11), (18)では、ともにHypercube型計算機を用い、アルゴリズムに本研究と同様に、スパースを利用して

並列計算要素を見だし、直接法であるLU分解法による送電網行列計算を行っている。これらの速度向上比は小さいか、全く速度が向上せず、文献(11)のようにプロセッサ性能が良い計算機では、逆に並列による速度低下となり(第3章参照)、本研究に於けるタイプAと同様の結果となっている。

OSCAR上ではLU分解(直接法)を用いて電力潮流計算を行い良好な結果を示している。OSCARのアーキテクチャは、共有メモリーおよび分散メモリーを有することは本研究のタイプDの構成との共通点である。一方、タイプDとの相違点の一つはプロセッサの結合に3本のバスを用いている点である。通信を分散できるのは利点であるが、1本の共有バスで結合するタイプDに比べ、1バス当たりの通信容量にハードウェアの面で制約を受けやすい。他の相違点として並列LU分解計算法がある。OSCARのLU分解の並列計算は、近細粒度タスク単位に分解したものを計算時間最適にスケジューリングし、プロセッサに割り当てて行うことが特長であり、タイプDでの並列LU分解計算は、入力データ(系統母線単位)をオーダリング処理するとともに母線間データ非依存性をあらかじめ見だし、アプリケーションプログラムレベルで並列処理を行う中粒度での計算するものである。一般に、粒度が小さいほうがプロセッサの負荷を均一にしやすいが、反面通信量が増えるなど得失もあるので、両者間の比較はより詳細な検討が必要である。

6. ま と め

系統計算に適した並列計算機の基本構成について、本研究によって得られた結果の要点を次に記す。

(1) 電力系統解析計算の並列計算による速度向上比は数倍程度で他の大規模計算に比べ低い。この理由は粒度が小さく、送電網計算でデータ通信に伴うオーバーヘッドの影響を受けやすいことによる。また、プロセッサ個数が数個程度の少ないところで飽和する傾向がある。

(2) 並列計算機を10個程度のプロセッサで構成する場合は、それらの結合を複雑なデータ制御を伴う結合網を用いるより、簡素かつ性能の高いバス結合を用いることにより、通信オーバーヘッドの影響を低減することができる。

(3) 発電機など母線内計算には分散メモリー方式が適し、送電網計算には共有メモリー方式が適する。過渡安定度計算全体では両方式ともに同程度で、プロセッサ8個で3.5、16個で4倍強程度の速度向上である。

(4) 過渡安定度計算全体のなかで、それぞれの計算ブロックに適するように分散メモリーおよび共有メモリーの両方式を装備し、計算ブロックの種類に応じて適した方式のメモリーを使い分けることにより、計算をより高速にすることができる。分散および共有両方式のメモリーを装備した構成ではプロセッサ8個で約5倍、16個で約6.5倍の速度向上となり、最も高いspeedupが得られた。

7. おわりに

電力系統計算を並列計算機を用いて高速に行うことの期待は大きく、この研究により、系統計算の構造的特徴をよく把握し最も適したものとして、分散および共有メモリの両方を有し、バスでプロセッサを結合したアーキテクチャを見いだすことができた。

今回は、系統過渡安定度計算で評価したが、両方式のメモリの特長を活かして他の種類の計算にも適したアーキテクチャとして広い範囲で利用できるものと思う。

また、今後もプロセッサの性能は引き続き向上すると思われるが、同時に通信性能もバランスを保ちつつ高性能化してこのアーキテクチャの並列性能を維持できれば、プロセッサの性能向上に応じた計算高速も可能となり、並列計算の速度はかなり高いところまで到達するものと考えられる。

(平成8年5月15日受付, 同9年2月4日再受付)

文 献

- (1) 佐々木博司:「電力系統の静的状態推定における並列計算アルゴリズムについての研究」, 電学論 B, **102**, 825 (昭57-12)
- (2) 横山明彦・関根泰次:「感度行列を用いた電力潮流分割並列計算手法の開発およびダイアコプティクス手法との比較」, 同上 B **104**, 757 (昭59-11)
- (3) 佐々木博司:「電力系統の静的状態推定における並列計算アルゴリズムについての一研究——逆行列補助定理の適用」, 同上 B, **106**, 1029 (昭61-12)
- (4) 塩沢孝則・横山明彦・関根泰次:「需給バランスを考慮した並列処理のための電力系統の自動不平等分割」, 同上 B, **108**, 483 (昭63-10)
- (5) 北原竜哉・大山 力・芹澤康夫:「帯行列形連立方程式の並列処理による電力系統解析の高速化」, 同上 B, **109**, 205 (平元-5)
- (6) 稲吉宏明・大澤靖治・本間琢也:「電力潮流計算における連立一次方程式の直接写像形並列処理による高速化可能性について」, 同上 B, **111**, 869 (平3-8)
- (7) 大山 力・苅部孝史:「疎行列処理の並列化による電力系統解析の高速化」, 同上 B, **112**, 609 (平4-7)
- (8) A. Molerato・天野雅彦・小海 裕:「スパースベクトル法と逆行行列法の組み合わせによる電力系統過渡安定度の並列計算法」, 同上 B, **113**, 1120 (平5-10)
- (9) 山本将人:「LU分解における並列消去法」, 同上 B, **114**, 873 (平6-9)
- (10) 中野恵一・笠原博徳:「マルチプロセッサシステム上での非線形方程式求解の並列処理」, 電学論 C, **113**, 947 (平5-11)
- (11) S. L. Lin & J. E. Van Ness: "Parallel Solution of sparse Algebraic Equations". *IEEE Trans. Power Syst.* **9**, No. 2, 743~749, May (1994)
- (12) 中田登志之:「並列処理の応用—回路シミュレーションを中心

として—」, 電学論 C, **113**, 928 (平5-11)

- (13) 関根泰次:電力系統過渡解析, (昭59) オーム社
- (14) 山本将人:「系統電圧安定性解析のための動的負荷モデル」, 電学論 B, **114**, 1273 (平6-12)
- (15) 中田登志之・田辺記生・梶原信樹・松下 智・小野塚裕美・浅野由裕・小池誠彦:「並列回路シミュレーションマシン Cenju」, 情報処理, **31**, 593, May (平2)
- (16) 松下 智・山内 宗・中田登志之・小池誠彦:「並列マシン Cenju2 のアーキテクチャ」, 情処研報, 計算機アーキテクチャ研資 95-3, 17~23 (平4)
- (17) 堀川和雄・森眞一郎・富田眞治:「電力潮流計算の並列処理における負荷の最適化」, 情処研報, 数値解析研資, 42-4, 25~32 (平4)
- (18) 藤本 康・堀池 聡:「系統解析のための並列 LU 分解処理の高速化手法」, 電気学会電技研資, PE-93-128 (平5)
- (19) 山本将人:「系統解析計算における粒度と並列計算の効率およびアプリケーションの形式」, 電学論 B, **116**, 1331 (平8-11)

山 本 将 人 (正員) 1940年3月29日生。63年3月東京大学電気工学科卒業。同年4月東京電力(株)入社。以来、電力系統の計画、設計、建設、運用および研究開発ならびにエネルギーに関する研究業務を経て、88年10月より、システム研究所制御研究室主席研究員として、主に基幹電力系統の安定性解析および運用制御システム技術に関する研究に従事。情報処理学会、IEEE 会員。

中 田 登 志 之 (非会員) 1980年京都大学工学部情報工学科卒業。85年同大学院工学研究科情報工学専攻博士後期課程満期退学。同年日本電気(株)入社、C&C研究所勤務。現在、C&Cメディア研究所研究部長。入社以来、並列計算機のアーキテクチャ/応用の研究に従事。工学博士。情報処理学会会員。

栗 田 養 逸 (非会員) 1949年4月6日生。70年松江工業高等専門学校電気工学科卒業。同年4月日本電気(株)入社。以来、産業応用システムの開発・設計・電力総合情報伝送網の開発・設計に従事し、現在に至る。