同時多点帯電電圧測定システムの一構成

正 員 室 田 修 男 (愛知県工業技術センター)

A Composition of Simultaneous Multiple Points Measurement System for Electrostatic Voltage

Nobuo MUROTA, Member (Industrial Research Institute, Aichi Prefectural Government)

This study describes a simultaneous multiple points measurement system for the electrostatic voltage. The induced voltage caused by the electric charge is measured by the high impedance single MOSFET amplifiers. The 12×8 sensing arrays are adopted to measure the 2-dimensional voltage distribution.

Moreover, a capacitive model around the gate of FET is proposed to design the probe figure for the detectors of the charge voltage. The induced voltage and the capacitance are numerically analyzed by the surface charge method. The capacitive model that mainly consists of gate capacitance is verified by this analysis. The dependence of the induced voltage on the length of the probe with an electrostatic shielding is also confirmed.

キーワード：静電気，帯電電圧，多点計測，表面電荷法，MOSFET，電位分布，静電容量

1. はじめに

静電気の帯電状況の評価としては，同種の電荷の反発力を利用した金属箔検電器や帯電体からの電気力線で電荷量を測定するファラデーケージ法など電気の黎明期から種々の方式が考案されてきた。測定電極を電荷に接触させる方式では，電荷が移動し帯電状況が変動するため正確な測定は期待できない。このため，静電荷により生じる静電界を測定し，帯電電圧を推定する非接触の静電電位計 (Electrostatic Voltmeter) を用いることが多い。⁽¹⁾

この静電電位計には，電位検出部にモータ駆動の回転式静電遮蔽板を設け電位検出部における電気力線の変動から帯電体面の静電電位を推定する回転セクター型静電電位計や，機械駆動部に代えて圧電振動素子で電位検出部を前後に駆動しわずかな電気力線の変動から帯電体面の静電電位を推定する振動容量型静電電位計が多く使われている。^{(2) (3) (4)}

これらは，既知の電位を印加した十分大きな金属板を測定器で定めた一定の距離だけ離れた点で測定し，その検出電圧と既知の印加電圧から読取り値を校正した結果を用いて未知の帯電電圧を推定するものである。このため，広範囲にわたり様に帯電している金属体場合には正確な帯電電圧を推定できるが，局部的に帯電していたり，正負の電荷が近接して帯電している場合には，市販の測定器で帯電電荷の分布状況を瞬時に測定するのは困難である。

そこで，本論文では帯電電位の面分布を実時間で表示するため，低価格で保守性に優れた多素子型帯電電圧測定システムの実現法について考える。つまり，1個の検出器を

空間的に移動するのではなく，また，機械的な駆動部を使用せず，汎用的な電子部品の組合わせで帯電面の電位分布推定を可能とする測定器を試作し構成の妥当性を提案する。

2. XY スキャナ型帯電電圧測定システム

比較的安定した帯電状況を把握するため，高精度で空間分解能の高い帯電検出器をXYテーブルで駆動し，平面上の電荷分布の表示装置を試作した。帯電検出器は，電位検出部の開口部の直径が0.8mm，測定距離が5 mm以内のもので，数%の誤差で局部帯電電位の計測が可能な直流電圧フィードバック方式振動容量型である。この検出器専用の測定表示装置からの電圧出力をデジタルボルトメータでデジタル信号に変換し，GP-IBによる転送機構でコンピュータに取り込む。同時に，XYテーブルへGP-IBによりコンピュータから位置決め情報を送信し，順次，測定位置を移動させる。図1は，この測定システムの構成図である。図2は，この測定システムによりエポキシ樹脂板上をフッ素樹脂で局部的に摩擦帯電させた試料を測定した例である。十分な空間分解能が得られることがわかる。図の左側から右側にかけて電圧が減少しているのは，電荷が放電により減少するためである。このように，XYスキャナを使用して帯電面の電位分布推定を行うと，スキャニングに必要な時間内での帯電電位の低下が課題となる。

3. FETによる多素子型帯電電圧測定システム

〈3・1〉電圧検出素子の選択 回転セクター型や振動容量型の静電電位計は，測定値の変動がほとんどなく取扱も容易であり，構造を工夫すれば多素子型も実現できる。⁽⁵⁾

図1 XYスキャナ型帯電電圧測定システム
Fig. 1. XYscanning system for electrostatic voltage

図2 局部帯電の測定例
Fig. 2. Example of a partially charged PCB

しかし、電位検出に振動機構を使用するなど構造が複雑で低コスト化に制約がある。これらの方式に対して、誘導増幅形電位計は電荷により金属体に誘起する誘導電圧を測定するもので、電位検出部の金属体は電気的に浮いていることが要求される。これは、電位検出部で電荷が漏れると金属体の誘導電圧が減少し最終的にはゼロ電位になるためである。そこで、誘導増幅形電位計は初段に高入力抵抗型の増幅器を使用してほぼ絶縁状態で電位を測定しているが、構造は比較的単純である。

誘導増幅形電位計の高入力抵抗型増幅回路にはFET(電界効果トランジスタ)が主に使用される。特に、MOS(金属酸化化物半導体)型FETはシリコン酸化膜による絶縁ゲートを持ち、ゲート漏れ電流が小さいのが特長である。MOSFETはゲート電圧、すなわちゲート部の形成する静電容量に充電された電荷による電界効果で動作するが、外部から電荷が補給されないと漏れ電流によりゲート電荷が減少しゲート電圧が変化する。誘導増幅形電位計においては外部から電荷が供給される構造ではないため、MOSFETを電位検出に利用する場合、静電誘導による誘起電荷の減少を引き起こすゲート漏れ電流が十分に小さい必要がある。図3は簡略化したゲート部分である。C1はゲート容量、R1はゲー

図3 簡略化したゲートモデル
Fig. 3. Simplified Gate Model

図4 回路解析結果
Fig. 4. Result of Analysis

トの漏れ抵抗、C2は帯電体とゲート間の容量である。この回路を回路解析シミュレータとして定評のあるSPICEにより数値解析した。⁽⁶⁾ 初期値として、C2の両端に1Vの電圧を与えた時のR1の端子間電圧の時間変化を解析した結果が図4である。入力抵抗が $10^{13}\Omega$ であっても20secでゲート電圧が半減することがわかる。

今回採用したFETの入力抵抗値は $10^{13}\Omega$ 程度であるので、この測定システムの計測性能としては、電圧検出部で計測を開始してから10秒程度の帯電状況やその変動測定に有効であるといえる。

小信号用MOSFETで安価に入手可能なものは主に高周波回路用であるため、この利用を検討する。このタイプは、ゲート酸化膜を静電気放電から保護するため、ゲートに保護ダイオードが形成され入力抵抗が若干低下する。実測値では入力抵抗は $10^{13}\Omega$ 以上確保されている。また、静電気による誘導電位は正負の両極性があるため、ゲート電圧として正負両用で使用できなければならない。エンハンスメント・デプリション型MOSFETはゲート電圧がゼロであってもある程度のドレイン電流を流れるため、ゲートにバイアス回路を付加する必要がなく、入力抵抗の低下を招かない点で有利である。

〈3・2〉電圧検出素子の実装 図5にMOSFETの基本特性測定回路を示す。MOSFET 1個と抵抗1本及び電源部

図5 MOSFETの基本特性測定回路
Fig. 5. Test Circuit for MOSFET Characteristics

図6 MOSFETの負荷時Vd-Vg特性
Fig. 6. Vd-Vg Characteristics of the MOSFET

だけで構成している。点Dにおける電圧Vdとゲート電圧Vgとの関係を図6に示す。抵抗R1を変えるとVdの特性が変化し、R1が小さいほど特性はなだらかであるが変動幅が狭く、R1が大きくなるに従い変動幅は広がるが直線性が失われる。図6の関係から、Vdを測定することによりゲート電圧Vgを求めることができる。電源電圧はデジタル回路との整合性から5Vとしている。なお、MOSFETの増幅特性は同一ロットの製品でもかなり変動することが知られており、多素子で測定するには各素子毎の校正データが必要である。

図7に帯電電圧測定システムの単位基本回路構成と帯電電圧測定のための評価回路を示す。点Pはゲート電極の先端で、±50Vを印加した直径20mmの円形電極の上方Lの空間中にある。表1は、この評価測定回路によるドレイン電圧Vdの変化を示す。間隙Lにより検出電圧が低下することがわかる。このことは、間隙Lを大きくすれば高電圧の測定が可能になることを示している。

本システムでは、ゲート電圧Vgは静電気によりゲートに誘起する静電電位である。正確に静電電位を計測するためには、ゲートの導線は(3・1)で述べたように電氣的に浮い

図7 基本単位回路構成
Fig. 7. Basic Unit Circuit

表1 帯電電圧測定時のドレイン電圧Vd
Table 1. Drain Voltage at Measuring Induced Voltage

被測定電圧 50V 時			
間隙L	印加前	印加後	差
5mm	3.18	2.41	-0.77
10mm	2.97	2.54	-0.43
20mm	3.00	2.86	-0.14
40mm	3.00	2.97	-0.03
被測定電圧 -50V 時			
間隙L	印加前	印加後	差
5mm	3.18	4.00	0.82
10mm	2.98	3.46	0.48
20mm	3.00	3.14	0.14
40mm	3.01	3.03	0.02

印加前とは、円盤状電極を接地した時のドレイン電圧 (V)
印加後とは、円盤状電極に被測定電圧を印加した時のドレイン電圧 (V)

ている必要がある。FETをプリント基板に実装する場合、ゲート、ドレイン、ソースの3本の導線はハンダ付けされ、ゲートには迷走電流が流れ込まないようにガード電極が形成される。この場合、ガード電極は接地されるため、ガード電極の外側からゲートへの電荷の流入がなく動作が安定することが知られているが、本システムの利用法では、ガード電極からゲートへの電荷の流入が問題となる。プリント基板の表面はイオンなどを吸着するためわずかに導電性があり、表面抵抗を $10^{13}\Omega$ 以上に維持することは難しい。そこで、FETはドレイン、ソースの2本の導線をハンダ付けすることでプリント基板に固定し、ゲートはプリント基板に開けた直径3mmの接地されたスルーホールに接触しないように裏側に貫通させている。これにより、ゲートの導線は探針電極として機能し、FET単体の入力抵抗よりも劣化する要因を排除している。また、プリント基板の両面に可能な限り接地面を設けることにより、プリント基板自身の帯電を避ける構造となっている。

〈3・3〉 電圧測定部の構成 電圧測定部としては12ビット精度8入力A/DコンバータLSIを使用した。LSIとコンピュータとの間はシリアル転送とし、12個のLSIの出力線を16ビット幅のデジタル入力力でコンピュータ側で取り込む。LSI用のクロックや制御信号は8ビット幅のデジタル出力で

図8 多素子型帯電電圧測定システムの概要
Fig.8. Multiple Probe Electrostatic Voltmeter System

図9 本帯電電圧測定システムによる測定例
Fig.9. An Example measured by Multiple Probe System

コンピュータから素子に供給している。LSIはクロックを含めアセンブラ言語で記述したソフトウェアで制御し、波形整形用のバッファ回路以外のハードウェアは使用していない。12個のLSIを並列動作させているため、転送時間を含め8チャンネル×12列で全96点の電圧を1mSでコンピュータで取り込める。なお、各探針電極間の間隔は10mmである。コンピュータ用のデジタル入出力ボードを除く本システムの部品代は2万円弱である。図8に本システムの概略図を示す。また、図9に本システムによる測定例を示す。局所的な帯電を検出できることがわかる。

4. 探針形状による誘導電圧の変化

〈4・1〉 電荷分布シミュレータの構築と解析 帯電電圧の検出にあたり、探針電極の形状による誘起電圧の変化を数値解析により検討する。静電気の帯電は、局所的な電荷の蓄積とみなせ、電荷が不均一に存在している。金属体では同電位となるため、この境界条件を満たすように電荷が分布する。電荷分布を数値解析する方法としては、有限

図10 解析領域
Fig.10. Domain of Analysis

要素法や境界要素法による汎用解析法が開発されているが、筆者らは境界要素法の一つである表面電荷法による電荷分布の解析を行っている。⁽⁷⁾ 表面電荷法は電荷密度を変数とする数値解析法であり、解析に当たり電磁気学の視点が維持されることに特長がある。この方法で、探針電極への誘起電圧と静電容量を数値解析できる。⁽⁸⁾

表面電荷法の基本方程式は、電荷により空間に誘起する電位 ϕ の式で、

$$\phi(\alpha, \beta, \gamma) = \frac{q}{4\pi\epsilon_0 r} \dots\dots\dots (1)$$

である。ここで、 r は点電荷から空間中の任意の点までの距離、 q は電荷量である。位置を表す座標系としてはデカルト座標が便利であるが、回転対称体の記述には円筒座標系が便利である。本解析システムでは、この両座標系を使用して計算効率と精度維持を図っている。図10に示すように、領域 $S(r, \theta, z)$ による空間中の点 $i(\alpha, \beta, \gamma)$ に生起する電位 $\phi(\alpha, \beta, \gamma)$ は、領域内で面電荷密度 σ が一定とみなせれば、(1)は円筒座標系において、

$$\phi(\alpha, \beta, \gamma) = \frac{\sigma}{4\pi\epsilon_0} \iint \frac{1}{l} r dS \dots\dots\dots (2)$$

ここで、 $l = \sqrt{r^2 + \alpha^2 - 2r\alpha \cos(\theta - \beta) + (z - \gamma)^2}$ である。(2)から σ を分離すると残りは電位係数となる。電位係数 U_{ij} は大地面を定義するため鏡像電荷を考慮して、

$$U_{ij} = \frac{1}{4\pi\epsilon_0} \left(\iint \frac{r dS}{\sqrt{r^2 + \alpha^2 - 2r\alpha \cos(\theta - \beta) + (z - \gamma)^2}} + \iint \frac{-r dS}{\sqrt{r^2 + \alpha^2 - 2r\alpha \cos(\theta - \beta) + (-z - \gamma)^2}} \right) \dots\dots\dots (3)$$

で表される。ここで i は点 $i(\alpha, \beta, \gamma)$ であり、 j は S 上の点 $j(r, \theta, z)$ である。解析に当たり、領域 S は面電荷密度 σ が一定とみなせる程度のセルに細分割する。

大地面を基準電位としセルの総数を n とすると、点 i での電圧 V_i は

$$V_i = \sum_{j=1}^n \sigma_j U_{ij} \dots\dots\dots (4)$$

となる。一定の電圧を印加した金属体のセルでは印加電圧を、浮いた金属体では隣接したセル間の電位差が0であること及び金属体の電荷の総和が0であることを境界条件とする。

これらの関係を行列式で表すと、電位係数行列 $\mathbf{A}$ は、

$$\mathbf{A} = \begin{bmatrix} u_{11} & u_{12} & \dots & u_{1n} \\ u_{21} & \dots & \dots & u_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ u_{m1} & \dots & \dots & u_{m,n} \\ 0 & S_{m+1} & \dots & S_n \\ u_{m+1,1} & \dots & \dots & u_{m+1,n} \\ -u_{m+2,1} & \dots & \dots & -u_{m+2,n} \\ \vdots & \vdots & \ddots & \vdots \\ u_{n-1,1} & \dots & \dots & u_{n-1,n} \\ -u_{n,1} & \dots & \dots & -u_{n,n} \end{bmatrix} \dots\dots\dots (5)$$

ここで、 S_i はセルの面積であり、セルの面積と電荷密度との積がセルの電荷量となる。境界条件行列 $\mathbf{Y}$ と電荷密度行列 $\mathbf{X}$ は

$$\mathbf{X} = \begin{bmatrix} \sigma_1 \\ \vdots \\ \sigma_m \\ \sigma_{m+1} \\ \vdots \\ \sigma_n \end{bmatrix}, \quad \mathbf{Y} = \begin{bmatrix} V_1 \\ \vdots \\ V_m \\ 0 \\ \vdots \\ 0 \end{bmatrix} \dots\dots\dots (6)$$

ここで、 $V_1 \dots V_m$ は既知の電極の印加電圧で、接地された電極の場合は0Vである。

(5) と (6) により行列式 (7) ができる。

$$\mathbf{A} \cdot \mathbf{X} = \mathbf{Y} \dots\dots\dots (7)$$

この行列式を解くと、

$$\mathbf{A}^{-1} \cdot \mathbf{Y} = \mathbf{X} \dots\dots\dots (8)$$

つまり、行列 $\mathbf{A}$ の逆行列 $\mathbf{A}^{-1}$ と境界条件である電位行列 $\mathbf{Y}$ との積が求める電荷密度行列 $\mathbf{X}$ となる。行列 $\mathbf{X}$ は、電荷密度の分布を与える。この電荷密度 σ 及び電位係数 U_{ij} から (4) により任意の空間の電位が求まる。

〈4・2〉 ゲート電圧の推定 図11は、解析モデルの概要である。図11aはグラウンド面から10mmだけ浮いた円筒状金属体でFETのゲートリード線を模擬している。図11bは図11aに直径30mmの円盤状静電シールドを付加したもの

図11 誘起電圧解析モデル I
Fig. 11. Analysis model for induced voltage I

図12 誘起電圧解析結果 I
Fig. 12. Result of Analysis for induced voltage I

で、電圧検出部のプリント基板のグラウンド面に相当する。 h は電圧検出部のプリント基板のグラウンド面からのFETゲートリード線の突出長である。FETゲートリード線の直径は0.5mm、全長は17- h mmである。プリント基板のグラウンド面からFET本体までのリード線長は7mm、初期突出長 h は10mmで、このときのリード線全長は17mmである。

解析では、グラウンド面上1mmにある直径20mmの円盤電極に50V印加し、円柱状金属体の先端を円盤電極の中心上10mmに位置したときの金属体に誘起する電圧を求めた。図12の上側は金属体単体での誘起電圧で、図の下側は金属体に円盤状の静電シールドを組合わせたときの誘起電圧である。図から静電誘導が距離に反比例して減衰するため金属体が長くなるほど帯電体から離れた部分での誘起電圧低下の影響を受け金属体全体での誘起電圧が減少すること、さらに、静電シールドにより誘起電圧が低下することがわかる。しかし、この計算結果は図6及び表1に示した測定結果に比べて誘起電圧が大幅に高い。

そこで、FET内部のゲート電極と接地されたバルク部との間の静電容量の影響を検討する。図13はゲート容量 C_g を付加したゲート導体の容量モデルである。高周波用FETは電流容量を確保するためチャネル幅が広く、また、ドレイン-ゲート間の帰還容量を低減するためデュアルゲー

図13 誘起電圧解析モデル II

Fig. 13. Analysis model for induced voltage II

図14 誘起電圧解析結果 II

Fig. 14. Result of Analysis for induced voltage II

トをカスコード接続しているため、ゲート容量は3pF程となっている。一方、電位係数行列の逆行列が容量係数行列になることから(5)の要素に全セルの電位係数 U_{ij} を代入し、その逆行列から各電極間の静電容量を計算すると、ゲートと静電シールド間の静電容量 C_s は0.3pF程度、ゲートと円盤電極間の静電容量 C_t は0.02pF程度であるため、ゲート容量の考慮が不可欠である。

図14はゲート容量 C_g を付加したゲート導体モデルによりゲートの誘起電圧を計算した結果である。この結果は、図6及び表1に示した測定結果と一致し、帯電体に対するゲート導体の容量モデルの妥当性が検証できた。これにより、帯電体からの静電誘導による種々の探針電極の形状でのFETの応答解析が本容量モデルにより可能になった。

なお、校正電源に接続された金属体の電位を測定する場合には電荷が金属体に供給されるため問題は顕在化しないが、本システムの課題として、絶縁物表面の帯電電荷の電位を測定する場合には、大地と帯電電荷との静電容量 C_o に加えて、大地と同電位である静電シールドの静電容量 C_o' が並列に寄生するため、見掛け上の対地容量が増加し帯電電圧が減少する。このため、静電シールドの接近により静電荷の電位測定値は低下し、実際よりも低い電位分布が測定されることになる。この改善策として、2で使用した直流

電圧フィードバック方式振動容量型で電位測定を行うことが挙げられるが、システムが複雑で高価となる。測定電位が低下する欠点を認識の上で本方式を使用すれば、安価で高速に帯電状況の推定が可能である。

5. む す び

MOSFETによる静電電位検出部をアレイ状に配置した誘導増幅型帯電電圧測定システムを提案し、その基本特性及び装置化について試作により検討し、時間依存性があるものの安価に製作でき、帯電状況の測定も可能なことを示した。

さらに、静電誘導を検出する探針形状の設計指針を与えるため、MOSFETのゲート部分の静電容量モデルを提案し、新規に製作した表面電荷法による数値解析システムによりその妥当性を示した。

本測定システムは、FET 1個と抵抗1本で帯電電圧を検出でき、コンピュータ上でリニアライズなどのデータ処理が可能な構造となっている。この方式によれば、精度には難点があるが、1測定点あたりの部品単価を抑えることができるので、静電気帯電電圧の面分布測定を主目的とする多素子を配列した多点同時帯電電圧測定器を製作しても安価に構成できる利点がある。また、ゲート酸化膜保護素子を内蔵した汎用FETを使用しているため、探針であるゲートに被測定帯電電荷が放電しても素子が破壊しない利点もある。しかし、単純な回路構成で温度補償回路などを実装していないため温度変化による測定値の変動が見られるなど測定精度の向上が今後の課題である。

(平成9年4月25日受付、同9年9月22日再受付)

文 献

- (1) 静電気学会：「静電気ハンドブック」(1981) オーム社
- (2) D.E.Sartin, C.A.Yeager: "Electrostatic Probe Using Vibrating Diaphragm" IBM Tech Disclosure Bull Vol.27 No.1B 889-890 (1984)
- (3) 上田實, 浅野和俊, 大橋朝夫, 川崎正士, 村田雄司: 「静電気の事典」283 (1988) 朝倉書店
- (4) O.J.McAteer: "Electrostatic Discharge Control" (1992) マグロウヒル
- (5) 藤原修, 近藤丈詞, 加藤一夫, 阿座上孝: 「静電気分布の可視化測定の方法」 信学論 Vol.J72-C-II No.2 166-173
- (6) A.Vladimirescu: The Spice Book (1994) Wiley
- (7) 室田修男: 「片面プリント配線における静電容量の対地依存性」 信学技報 EMCJ85-94 1985
- (8) 河野照哉, 宅間董: 「数値電界計算法」(1980) コロナ社

室田修男 (正員) 昭55名大・工・電気卒。同年愛知県工業技術センター技師。現在、主任研究員。サージノイズなど電磁環境分野の研究に従事。電子情報通信学会会員