列型 FPGA の低消費電力指向配置・概略配線手法

学生員 秋 葉 剛 史 (千葉大)

正 員 小 坏 成 一 (千葉大)

正 員 平 田 廣 則 (千葉大)

A Placement and Global Routing Method for Row-Based FPGAs with Power Optimization

Takashi Akiba, Student Member, Seiichi Koakutsu, Member, Hironori Hirata, Member (Chiba University)

FPGA is now being watched with interest as VLSI which user can realize for a short term. Besides, by reason of popularization of portable application with a battery, power optimization is rapidly becoming very important for the design of VLSI. We propose a simultaneous placement and global routing algorithm for row-based FPGAs with critical path delay and power optimization. In the proposed method, the critical path delay is estimated based on Elmore delay model, and the power consumption is evaluated based on the switching activity of nets. The experimental results demonstrate the efficiency and effectiveness of the proposed method.

キーワード：列型 FPGA, レイアウト設計, 配置・配線, 遅延, 消費電力

1. まえがき

FPGA⁽¹⁾は、ユーザ自らが短期間でデジタル回路を実現できる VLSI として注目されている。また、近年の電池駆動の携帯機器の市場の拡大、VLSI の電力消費による温度上昇、処理量の増大に伴う消費電力の増加等により、VLSI の低消費電力化が必要となってきた⁽²⁾。特に FPGA は、他の ASIC と比べて消費電力が高く、実用チップでの利用は困難となる。今後、FPGA の低消費電力化が必要となる。

FPGA のレイアウト設計に関する従来の研究として、クリティカルパス遅延が制限を満たすように配置配線同時処理を行う手法⁽¹⁾が提案されている。しかし、消費電力については考慮されていない。また島型 FPGA (Island-Style FPGA) を対象として配置概略配線同時処理を行い、消費電力の削減をはかる手法⁽²⁾も提案されている。しかし、この方法では遅延については考慮されていない。

本論文では列型 FPGA を対象とし、SA (Simulated Annealing)⁽³⁾を用いてクリティカルパス遅延最小化と低消費電力化を行う、配置概略配線同時処理手法を提案する。提案手法は既存の配置配線同時処理手法⁽¹⁾を拡張したもので、配線部の容量を削減することで低消費電力化をはかる。

提案手法の有効性を検証するために、回路が配置・概略配線された際に消費電力が削減されるか検証を試みる。

また消費電力を考慮しない場合の配線混雑度と遅延を、提案手法の結果と比較する。

2. 列型 FPGA

列型 FPGA は図 1 のように多数の論理ブロックと配線領域からなる半完成品の ASIC である。これら列型 FPGA の構成要素はすでにチップ上に配置されている。論理ブロックには図 2 のようなマルチプレクサが入っており、アンチヒューズをプログラムすることで任意の論理回路を実現する。垂直配線はチャネルを渡るフィードスルーとして実現され、隣接するフィードスルーはフィードスルーアンチヒューズをプログラムして接続される。水平配線はチャネル内を横に走る配線要素で実現され、隣接する要素は水平アンチヒューズをプログラムして接続される。論理ブロックのポートは、クロスアンチヒューズをプログラムして、隣接するチャネル内の水平配線要素に接続される。

実際の配線は図 1 の実線のように実現される。図 1 で、ポート A とポート B を配線するためには、1 個のフィードスルーアンチヒューズと 2 個の水平アンチヒューズと 2 個のクロスアンチヒューズのプログラムが必要である。

3. 列型 FPGA のレイアウト

本論文で用いる FPGA のレイアウト法は、図 3 のように最適化プロセスの間、セルとネットの処理を同時に

図 1 列型 FPGA
Fig. 1. Row-based FPGA

図 2 列型 FPGA の論理ブロック
Fig. 2. Logic block of row-based FPGA

うものである。この同時処理法が逐次処理法よりも有効であることは、文献⁽⁴⁾で確かめられている。

配置されたセルに対してネットを概略配線する方法として、本論文では高速で単純な概略配線法を用いる。その方法は、ネットの制限ボックス (同じネットのピンのうち、もっとも外側にあるピンで囲んだ長方形の箱) の中心に近くかつ利用可能なフィードスルーを割り当てるものである。配線する順番は、単純にネット番号順とする。

最適化プロセスにおける解の更新は 2 個のブロックの位置交換により行う。ブロックを移動する際、論理ブロックに接続していた配線は取り除かれ、配置後に再配線される。

図 3(a) では、ネット 6 がフィードスルーがないために概略配線できない状態にある。解の更新のためブロック A とブロック B の位置を交換する場合、ブロック B が空なのでブロック A だけの移動となり図 3(b) になる。移動の際、ネット 1, 2, 3 の配線が取り除かれ、図 3(c) より配置後にすべてのネットが配線されたことがわかる。

遅延については Elmore 遅延モデル⁽⁴⁾を用いてクリティカルパス遅延を求め、評価する。また、消費電力についてはネットにスイッチング回数による重みを付加し、配線部での消費電力⁽⁵⁾を求め、評価する。

図 3 FPGA のレイアウトプロセス
Fig. 3. Layout process of FPGA

〈3・1〉 クリティカルパス遅延の計算 クリティカルパスは主要入力と出力 (primary input, primary output) の間、およびフリップフロップを境界として、その間で定義される最大遅延パスのことである。クリティカルパス遅延を算出するために、Elmore 遅延モデルを用いる。Elmore 遅延モデルは配線遅延を配線抵抗と配線容量の積により計算でき、概略配線において広く遅延モデルとして用いられている方法である。配線部での遅延については、図 4 の RC 木モデルを用いる。図 4 で、 S_0 はソース、 S_1, S_2, S_3 はシンク、 r は配線の単位長あたりの抵抗、 r_f はアンチヒューズ 1 個の抵抗、 c_a, c_b はアンチヒューズより前と後の配線の単位長あたりの静電容量、 c_f はアンチヒューズ 1 個の静電容量、 C_{in} はシンクでの負荷容量、 R_0 はソースでの等価出力抵抗である。

Elmore 遅延モデルは式 (1) で定義される⁽⁴⁾。

$$T_d = (c_1 \cdot w + c_2 \cdot h + c_f \cdot a_n + \sum_{sink} C_{in}) \cdot (R_0 + r_1 \cdot l_w + r_2 \cdot l_h + r_f \cdot a_p) \quad (1)$$

ここで、 c_1, r_1 は水平配線の単位長あたりの静電容量と抵抗、 c_2, r_2 は垂直配線の単位長あたりの静電容量と抵抗、 c_f, r_f はアンチヒューズ 1 個の静電容量と抵抗、 $\sum_{sink} C_{in}$ はシンクでの負荷容量の合計、 R_0 はソースでの等価出力抵抗、 w, h は水平成分、垂直成分のネット長、 a_n はネット上のアンチヒューズ数、 l_w, l_h は水平成分、垂直成分の

図4 RC木とElmore遅延
Fig. 4. RC-tree and Elmore delay

ソースからシンクへのパス長、 a_p はソースからシンクへのパス上のアンチヒューズ数である。

〈3・2〉消費電力の計算 レイアウト設計で削減可能な消費電力は、スイッチングの際の充放電による消費電力である。充放電による電力は電源電圧、負荷容量、ゲートがスイッチする回数等により決定される。ゲートの出力部の配線長が長くなると静電容量が増え、電力の消費が増えることになる。またゲートがスイッチする回数が増えたと消費電力も増える。よって、レイアウト設計の段階では、スイッチング回数の多いゲートの配線部の静電容量を削減する必要がある。

本論文では配線部だけの消費電力を考え、式 (2) のように見積る⁽⁵⁾。

$$P = \frac{1}{2} \sum_{n \in N} f V_{dd}^2 C_n p_n \dots\dots\dots (2)$$

ここで、 f は動作周波数、 V_{dd} は電源電圧、 N はネットリスト、 C_n はネット n の配線部の静電容量、 p_n はネット n のスイッチング確率を表す。

〈3・3〉シミュレーテッドアニーリング SAは逐次改善法に確率的要素を導入し、温度と呼ばれるパラメータを適切に制御することにより、局所最適解に捕らわれることなく大局的最適解の探索を試みる手法である。SAではランダムに生成された初期解を状態遷移させ、改善された場合はその状態を受け入れ、改悪の場合も $\exp(-\Delta F/T)$ の確率で状態を受け入れるという処理を繰り返し行う。SAは、組合せ最適化問題において、近似的最適解を得る手法としてよく知られており、各方面で研究されその有効性が確認されている⁽³⁾。

SAのアルゴリズムを以下に示す。

- (1) まず、初期解 $x = x_0$ と初期温度 $T = T_0$ を与える。
- (2) 現在の解 x から生成関数により新しい解 x' を作る。

(3) 評価関数 $F(x)$ により新しい解 x' を受け入れるかどうか決める。改善となる解はすべて受け入れ、改悪となる解でも $\exp(-\Delta F/T)$ の確率で受け入れる。ここで、 $\Delta F = F(x') - F(x)$ は状態遷移前後の評価関数の変化量である。

- (4) 解が平衡状態に達するまで (2) ~ (3) を繰り返す。
- (5) 解が未収束であれば、温度を下げて (2) にもどる。
- (6) 最終解を報告して終了する。

本論文では、状態遷移は1回の反復過程で2個のセルを交換する。片方が空スロットなら1個のセルの移動になる。本論文のSAの評価関数は、配線可能性と配線混雑度(チャンネル内のネット数の最大値)、クリティカルパス遅延、および消費電力に焦点を当てる。評価関数を式 (3) に示す。

$$F = W_u \cdot U + W_c \cdot C + W_t \cdot T_d + W_p \cdot P \dots\dots (3)$$

ここで、 U は未概略配線ネット数、 C は配線混雑度、 T_d はクリティカルパス遅延、 P は消費電力、 W_u 、 W_c 、 W_t 、 W_p は重み係数を表す。

4. 計算機実験

〈4・1〉実験モデル 提案手法をC言語で実装し、SUN ultra 10 相当のワークステーション (ultra SPARC 360MHz) 上で計算機実験を行い評価する。データとしてMCNCベンチマーク回路を、SIS⁽⁷⁾と呼ばれる論理合成ツールにより論理ブロックにマッピングすることで得た回路を用いる。回路データの詳細を表1, 2に示す。

表1 回路データ

Table 1. Circuit data

データ名	セル数	ネット数	ロー数	コラム数
b9	80	66	9	10
9sym	150	149	8	20
C880	225	204	9	26
x4	260	200	10	27

表2 物理定数

Table 2. Physical constants

垂直配線の単位長抵抗 [$\Omega/\mu\text{m}$]	3.0×10^{-2}
水平配線の単位長抵抗 [$\Omega/\mu\text{m}$]	3.0×10^{-2}
垂直アンチヒューズの抵抗 [Ω]	100
垂直配線の単位長容量 [$\text{pF}/\mu\text{m}$]	2.0×10^{-4}
水平配線の単位長容量 [$\text{pF}/\mu\text{m}$]	2.0×10^{-4}
垂直アンチヒューズの容量 [pF]	70.0×10^{-4}

それぞれの回路に対しランダムに発生させた10,000個のテストパターンを流し、“0”と“1”の間の遷移を算出してスイッチング確率を見積もる。

計算機実験を行う際に設定するSAのパラメータを表3, 4に示す。

表 3 SA のパラメータ

Table 3. Parameter of SA

パラメータ名	パラメータ値
開始温度	100
終了温度 (b9,9sym,C880)	0.001
終了温度 (x4)	0.0001
内部ループ回数	2,000
温度減少率	0.9

表 4 提案手法の重み定数

Table 4. Weight constants of proposed method

データ名	W_u	W_c	W_d	W_p
b9	1	1	2	40
9sym	1	1	2	30
C880	2	4	3	60
x4	1	1	2	20

〈4・2〉実験結果 計算機実験結果を表 5～8 に示す。SA の評価関数に消費電力の項を含めない場合 ($W_p = 0$) と、含める場合 (提案手法) を考え、両者の結果を比較する。表 5～8 にそれぞれ 100 パターンの初期配置について実験を行った結果の平均を示す。

C880 の、SA 中の受理率を図 5 に、それぞれの評価値が最良の場合の各温度における未配線ネット数を図 6 に、配線混雑度を図 7 に、クリティカルパス遅延を図 8 に、消費電力を図 9 にそれぞれ示す。ここで with は消費電力の項がある場合 (提案手法) で、w/o は消費電力の項がない場合である。なお計算時間については、b9 は約 320[s]、9sym は約 670[s]、C880 は約 1330[s]、x4 は約 1360[s] かかる。

また消費電力の項がある場合 (提案手法) の配置・配線結果例を図 10, 11 にそれぞれ示す。ただし、フィードスルーに割り当てたネットの配線だけ描いてある。

表 5 実験結果 (b9)

Table 5. Results of experiments(b9)

	配線混雑度	パス遅延 (ns)	消費電力 (mW)
消費電力の項なし	10.44	4.42	1.12
消費電力の項あり	10.37	4.38	0.85
比較 (%)	-0.67	-0.87	-24.11

表 6 実験結果 (9sym)

Table 6. Results of experiments(9sym)

	配線混雑度	パス遅延 (ns)	消費電力 (mW)
消費電力の項なし	37.10	12.12	3.73
消費電力の項あり	37.56	12.25	2.98
比較 (%)	+1.24	+1.07	-20.11

〈4・3〉考察 表 5～8、図 9 の結果から提案手法により配線混雑度とクリティカルパス遅延への影響を小さくおさえ、消費電力を大幅に削減できることがわかる。

また、図 8 からクリティカルパス遅延にそれほどの違

表 7 実験結果 (C880)

Table 7. Results of experiments(C880)

	配線混雑度	パス遅延 (ns)	消費電力 (mW)
消費電力の項なし	34.60	27.20	5.76
消費電力の項あり	33.12	28.63	3.23
比較 (%)	-4.28	+5.26	-43.92

表 8 実験結果 (x4)

Table 8. Results of experiments(x4)

	配線混雑度	パス遅延 (ns)	消費電力 (mW)
消費電力の項なし	34.87	15.95	6.31
消費電力の項あり	32.20	16.52	3.64
比較 (%)	-7.66	+3.57	-42.31

いは見られない。これは、消費電力を削減するために配線長を短くするので、それが遅延の削減にも寄与しているためと考えられる。さらに図 7 では配線混雑度は悪影響を受けずに、むしろ削減されている。

5. むすび

本論文では、列型 FPGA の配線混雑度、クリティカルパス遅延、消費電力を同時に削減するために、SA を用いて配置と概略配線を同時に処理する手法を提案し、計算機実験によりその有効性を検証した。

提案手法では、消費電力を考慮しない場合と比較して平均 32.61%消費電力を削減することができ、配線混雑度は平均 2.84%の削減、クリティカルパス遅延は平均 2.26%の増加となった。よって、低消費電力化を考慮することにより消費電力が十分削減され、配線混雑度と遅延への影響は小さいことがわかり、提案手法の有効性が示された。

今後の課題として、詳細配線後の遅延と消費電力の削減、SA 以外のアルゴリズムの応用、島型 FPGA への提案手法の応用などがあげられる。

(平成 12 年 5 月 2 日受付)

図 5 受理率

Fig. 5. Acceptance ratio

図 6 未配線ネット数
Fig. 6. Number of unrouted nets

図 7 配線混雑度
Fig. 7. Channel density

図 8 クリティカルパス遅延
Fig. 8. Critical path delay

図 9 消費電力
Fig. 9. Power consumption

図 10 提案手法の配置・配線例 (9sym)
Fig. 10. An Example of layout(9sym)

図 11 提案手法の配置・配線結果例 (C880)
Fig. 11. An Example of layout(C880)

文 献

- (1) S. K. Nag and R. A. Rutenbar : "Performance-Driven Simultaneous Placement and Routing for FPGA's," IEEE Trans. Computer Aided Design of Integrated Circuits and Systems, Vol.17, No.6, pp.499-518(1998).
- (2) 鶴飼重, 戸川望, 佐藤政生, 大附辰夫 : "FPGA を対象とした低消費電力指向配置・概略配線同時処理手法", 電子情報通信学会設計自動化研究会技術報告, VLD97-42, pp.191-198(1997).
- (3) S. Kirkpatrick, C. Gelatt, and M. Vecchi : "Optimization by Simulated Annealing," Science Vol.220(4598), pp.671-690 (1983).
- (4) T. Koide, S. Wakabayashi, M. Ono, Y. Nishimaru, and N. Yoshida : "A Timing-Driven Placement Algorithm with the Elmore Delay Model for Row-based VLSIs," INTEGRATION, the VLSI journal, Vol.24, No.1, pp.53-77 (1997).
- (5) D. Marculescu, R. Marculescu, and M. Pedram : "Information Theoretic Measures for Power Analysis," IEEE Trans. Computer Aided Design of Integrated Circuits and Systems, Vol.15, No.6, pp.599-610(1996).
- (6) 秋葉剛史, 小坪成一, 平田廣則 : "列型 FPGA の低消費電力指向配置配線手法", 電気学会 電子・情報・システム部門大会, pp.815-818(1999).
- (7) Ellen M. Sentovich : "SIS: A System for Sequential Circuit Synthesis," Memorandum No. UCB/ERL M92/41, University of California (1992).

秋 葉 剛 史（学生員） 1977 年 2 月 9 日生。99 年，千葉大学工学部電気電子工学科卒業。同年，同大学院自然科学研究科電子機械科学専攻博士前期課程入学，在学中。確率的最適化手法，VLSI レイアウト設計の研究に従事。

小 坏 成 一（正員） 1964 年 7 月 7 日生。92 年，千葉大学大学院自然科学研究科生産科学専攻博士課程修了。同年，千葉大学工学部助手，97 年同助教授，同年同大学院自然科学研究科助教授となり現在に至る。94～95 年，カリフォルニア大学サンタクルズ校客員研究員。VLSI レイアウト設計，確率的最適化手法，ニューラルネットワークの研究に従事。博士（工学）。IEEE，INNS，電子情報通信学会，計測自動制御学会会員。

平 田 廣 則（正員） 1948 年 6 月 2 日生。76 年，東京工業大学大学院電気工学専攻博士課程修了。同年，千葉大学工学部助手，81 年同助教授，94 年同教授，97 年同大学院自然科学研究科教授となり現在に至る。大規模システムのモデリング，解析と設計，特に生態システム，VLSI レイアウト，並びに分散型コンピュータの基礎的理論に興味を持つ。工学博士。IEEE，ISEM，INNS，電子情報通信学会，情報処理学会，計測自動制御学会，システム制御情報学会，人工知能学会会員。