FPGA に適したニューラルネットワークと組合せ最適化

非会員 太田正哉 (大阪電気通信大学)

A Neural Network Suitable for FPGA Implementation and Combinatorial Optimization

Masaya Ohta, Non-member (Osaka Electro-Communication University)

The chaotic neural network is one of the most effective neural models as a solver of combinatorial optimization problems. Hardware implementation of the model contributes to a fast solver of the problems. Although FPGA (Field Programmable Gate Array) hardware implementations of the model are really attractive because they can be easily designed and modified by using a hardware description language, it is difficult to implement the chaotic neural network because output of the neuron is real value. Implementation of real value on digital circuits needs huge area on the chip and few neuron can be contained in a chip. In this paper, output of the neuron in the chaotic neural network is binarized for FPGA hardware implementation. It is applied to N -Queen problem, and from numerical experiments it is confirmed that the neural network with binary output is more effective than the original chaotic neural network. A prototype of the proposed model is designed by VHDL and implemented on the FPGA Xilinx XC4028XL.

キーワード：ニューラルネットワーク，組合せ最適化，FPGA， N -Queen 問題

1. ま え が き

Hopfield⁽¹⁾ が相互結合型ニューラルネットワークを用いて巡回セールスマン問題 (TSP) を解いて以来，組合せ最適化問題の解法ためにさまざまなタイプのニューラルネットワークが研究されてきた。その中で近年もっとも成功したモデルの一つにカオスニューラルネットワーク (カオス NN) がある。カオス NN は Aihara⁽²⁾ によって提案されたモデルで，非周期的な振舞いを示すカオスニューロンを結合してできる相互結合型ニューラルネットワークモデルの一つである。カオス NN ははじめ連想記憶に応用されたが，Nozawa⁽³⁾ によって組合せ最適化問題への応用が提案された。Nozawa⁽³⁾ はカオス NN を巡回セールスマン問題 (TSP) の解法に応用し，その有効性を実験的に確認した。その後，Chen *et.al.*⁽⁴⁾ はカオス NN のパラメータをアニーリングするアルゴリズム (CSA) を提案し，その性能を改善した。また，Hasegawa *et.al.*⁽⁵⁾ はヒューリスティック探索法と組み合わせることで大規模な TSP の解法を提案し，その性能を飛躍的に向上させた。

相互結合型ニューラルネットワークを組合せ最適化に応用する場合，Hopfield の提案にもあるようにそのハードウェア化が重要な課題の 1 つである。ハードウェア化にはアナログ回路による実現方法とデジタル回路による実現方法がある^{(6)~(10)}。アナログ回路によって相互結合型ニューラルネットワークを実現する場合は，Hopfield の回路のように全てのニューロンを回路化し，全てのニューロンを相互に

接続して同時に動作させるのが一般的である。一方，デジタル回路によって実現する場合，特に，ニューロンの出力信号が 0-1 のバイナリ信号ではなく多 bit の信号で表現される連続値型のニューラルネットワークを実現する場合，ニューロン同士をその bit 数のバスで接続する必要があり，すべてのニューロンを回路化し相互に結線することは難しい。また，このような場合，入力信号とシナプス結合との積和演算にその bit 数の積和演算回路が必要なことから，1つのニューロンの回路規模が増大し，この点からすべてのニューロンを回路化して，同時に全てのニューロンを動作させることは難しい。しかし，デジタル回路はアナログ回路と比較して，ノイズに対して耐性があり，また FPGA や CPLD などのプログラマブル素子を利用することで容易に構成できる等の利点があり，より現実的なシステムの構築に向いている。

汎用的な組合せ最適化問題に応用可能な相互結合型ニューラルネットワークを FPGA により構成することは困難であるが，安定結婚問題，グラフ分割問題，多層チャネル配線問題，マルチキャストパケット交換方式のワンショットスケジューリング問題等，いくつかの実践的な組合せ最適化問題では，シナプス結合がバイナリであるので，ニューロンの出力信号さえバイナリであれば回路規模を十分小さくすることが可能であり，同時にすべてのニューロンを動作させることが可能となる。

そこで本論文では，シナプス結合がバイナリとなるような組合せ最適化問題に限定し，カオス NN の出力信号をバ

イナリ化したモデルを提案し、このモデルの FPGA による実現を試みる。本論文では組合せ最適化問題として N -Queen 問題を取り上げる。この問題はシナプス結合荷重がバイナリであり、また、カオス NN によりその問題が高速に解けることが野沢により明らかにされている。本論文ではカオス NN の出力信号をバイナリ化したモデルを提案し、数値実験によりカオス NN と同程度以上の性能を有することを示す。次に、FPGA を用いて提案モデルの回路化を試みる。回路は VHDL により記述し Xilinx 社製の FPGA XC4028XL に 36 ニューロンを収容可能であることを示す。

2 章では従来までのカオス NN とその N -Queen 問題への応用法について説明する。3 章では出力信号をバイナリ化したカオス NN を提案し、数値実験によりその性能を検証する。4 章では 3 章のモデルの FPGA への実装法について説明する。

2. カオス NN による組合せ最適化問題の解法

本論文で提案するモデルは、Nozawa によって提案されたカオス NN を基礎とする。そこで本章では Nozawa のカオス NN を簡単に説明し、これによる N -Queen 問題の解法を説明する。

〈2・1〉カオス NN Nozawa は連続時間 連続値型 Hopfield ニューラルネットワークを離散時間の力学系へ書き換え、明示的に負の自己結合を導入することによってカオス NN を定義した⁽³⁾。Nozawa のカオス NN を次式に示す

$$p_i(n+1) = rp_i(n) + (1-r)v_i(n) \quad \dots\dots\dots (1)$$

$$v_i(n) = f\{q_i(n) - p_i(n)\} \quad \dots\dots\dots (2)$$

$$q_i(n) = -\frac{1}{T_{ii}} \left\{ \sum_{j \neq i}^M T_{ij} p_j(n) + I_i \right\} \quad \dots\dots (3)$$

$$f(u) = \frac{1}{2} \{1 + \tanh(u/2\beta)\}$$

ここで M はニューロン数、 $p_i(n)$ ($i = 1, \dots, M$) はニューロン i の離散時間 n の内部保持値、 $q_i(n)$ はニューロン i への刺激、 $v_i(n)$ はニューロン i の出力、 T_{ij} はニューロン j からニューロン i へのシナプス結合 ($T_{ii} < 0$)、 I_i はニューロン i のしきい値、 $f(\cdot)$ はシグモイド関数、 r ($0 < r < 1$)、 β (> 0) はそれぞれ定数である。

内部保持値 p_i は Nozawa によって導入された状態更新のための中間変数である。(3) 式よりこのモデルにおけるニューロンは、 p_i を互いに交換してシナプス結合 T_{ij} との積和を計算することで状態更新を行っている。このことから、実質的に p_i はニューロンの出力とみなすことができる。そこで以降では p_i をニューロンの出力と呼ぶことにする。

r は離散時間系への書き換えの際に導入されるパラメータで、 $r \rightarrow 1$ で元の Hopfield モデルと等価となる。しかし $r = 0.7$ 付近に設定するとニューロンの出力は元モデルにはない非周期的な振動状態となることが知られている。

カオス NN が Hopfield モデルより高性能である理由についてはさまざまな研究が行われている⁽¹¹⁾⁽¹²⁾が、筆者は

文献⁽¹³⁾で、(1) 負の自己結合による極小点の不安定化と、(2) カオスダイナミクスによる非周期的な振動の 2 つを挙げている。(1) の性質はカオス NN に限らず他の相互結合型ニューラルネットワークでも一般的に見られる性質で、適当な強さの負の自己結合を各ニューロンに挿入すると多数の極小点が不安定化し、これによって極小点への収束を回避できる⁽¹⁴⁾。この性質は一見極小点の削減のように見えるが、実際には極小点が不安定化するだけで、状態更新を行うと状態が極小点付近で周期的な振動を起こし、最小点に到達できないことがしばしば起こる。すなわち、単純な負の自己結合の挿入だけではその効用は大きくない⁽¹⁵⁾。しかしカオス NN の場合、(2) の性質のために状態遷移は非周期的となり、極小点付近での周期的な振動が発生しない。そのため、新しい解への遷移が可能となり最小点を発見する割合が向上する。

〈2・2〉カオス NN による N -Queen 問題の解法 文献⁽¹⁶⁾にカオス NN を用いた N -Queen 問題の解法が提案されている。本節ではこの提案法の簡易法を説明する。

N -Queen 問題とは、 $N \times N$ のチェスボード上に N 個の Queen を互いに取られない位置に配置する問題である。目的関数は次のように定義される。

$$\begin{aligned} F = & \frac{1}{2} \sum_{X=1}^N \left(\sum_{i=1}^N V_{Xi} - 1 \right)^2 \\ & + \frac{1}{2} \sum_{i=1}^N \left(\sum_{X=1}^N V_{Xi} - 1 \right)^2 \\ & + \frac{1}{2} \sum_{t=2}^{2N} \sum_{X+i=t} \sum_{\substack{Y+j=t \\ Y \neq X}} V_{Xi} V_{Yj} \\ & + \frac{1}{2} \sum_{t=-N+1}^{N-1} \sum_{X-i=t} \sum_{\substack{Y-j=t \\ Y \neq X}} V_{Xi} V_{Yj} \end{aligned}$$

ここで、 V_{Xi} はチェスボード上の X 行 i 列のマス目に Queen をおくととき 1、そうでないとき 0 となる 0-1 変数である。

第 1 項、第 2 項は各行各列に Queen が唯一つであるための制約、第 3 項、第 4 項は斜め方向に Queen が一つ以下であるための制約に対応している。

この目的関数からカオス NN のシナプス結合としきい値は次のように設定される。

$$T_{XiYj} = \begin{cases} -2\omega & (X=Y, i=j) \\ -1 & (X=Y, i \neq j \text{ or } X \neq Y, i=j \text{ or } \\ & X+i=Y+j, X \neq Y \text{ or } \\ & X-i=Y-j, X \neq Y) \\ 0 & (\text{otherwise}) \end{cases}$$

$$I_{Xi} = 2\gamma$$

$\omega(> 0)$ と γ は負の自己結合としきい値を調整するために導入されたパラメータである⁽¹⁶⁾。このシナプス結合およびしきい値によってカオス NN の動作方程式は次式のように書ける。

$$p_{X_i}(n+1) = rp_{X_i}(n) + (1-r)v_{X_i}(n) \dots\dots (4)$$

$$v_{X_i}(n) = f\{q_{X_i}(n) - p_{X_i}(n)\} \dots\dots (5)$$

$$q_{X_i}(n) = \frac{1}{2\omega} \{-Q_{X_i}(n) + 2\gamma\} \dots\dots (6)$$

$$Q_{X_i}(n) = \sum_{j \neq i}^N p_{X_j}(n) + \sum_{Y \neq X}^N p_{Y_i}(n) \\ + \sum_{\substack{Y+j=X+i \\ Y \neq X}} p_{Y_j}(n) + \sum_{\substack{Y-j=X-i \\ Y \neq X}} p_{Y_j}(n) \dots\dots (7)$$

ここで Q_{X_i} は、 X 行 i 列のマス目を通る行、列および対角方向のマス目に対応するニューロンからの出力の総和となっている。

カオス NN の出力は非周期的な振動が継続し収束しないため、実際にどのマス目に Queen を配置するか（発火パターン）をその出力から単純に決定することはできない。そこで各ニューロンにおける短時間の平均興奮率 ρ を次式のように定義し、これにより発火パターンを決定する。

$$\rho_{X_i}(n) = \frac{1}{\tau} \sum_{k=0}^{\tau-1} v_{X_i}(n-k) \dots\dots (8)$$

各列について次式を計算することで発火パターンを決定する。

$$V_{X_i}(n) = \begin{cases} 1 & \rho_{X_i}(n) = \max_j \{\rho_{X_j}(n)\} \\ 0 & \text{otherwise} \end{cases} \dots\dots (9)$$

この解の決定作業はカオス NN の状態更新毎に行い、得られる発火パターンが解となるまで（すべての制約を満足するまで）更新を繰り返す

文献⁽¹⁶⁾では全てのニューロンの平均興奮率を降順に整列し、その順にしたがって発火パターンを決定している。この決定法では N^2 個の平均興奮率を整列する必要があるため計算時間が増大する。

上述の方法では各列の平均興奮率最大のニューロンを選択するだけの作業となるため整列が不要となり、計算時間を短縮できる。また、本手法の性能は文献⁽¹⁶⁾の手法とは同等であることを予備実験によって確認している。

3. バイナリ出力を持つ NN

〈3・1〉 バイナリ出力を持つ NN による N -Queen 問題の解法 本節ではカオス NN の出力をバイナリ化したニューラルネットワーク (NN) を提案し、これを用いた N -Queen 問題の解法を示す

本論に入る前に N -Queen 問題の目的関数を変更する。前章で説明したようにカオス NN において発火パターンの決定は各行毎に行う。このため、行の制約は必ずしも必要ない。そこで以降では次の目的関数を用いる。

$$F = \frac{1}{2} \sum_{i=1}^N \left(\sum_{X=1}^N V_{X_i} - 1 \right)^2 \\ + \frac{1}{2} \sum_{t=2}^{2N} \sum_{X+i=t} \sum_{\substack{Y+j=t \\ Y \neq X}} V_{X_i} V_{Y_j}$$

図 1 制約違反量 Q_{X_i}
Fig. 1. Violation of constraints Q_{X_i} .

$$+ \frac{1}{2} \sum_{t=-N+1}^{N-1} \sum_{X-i=t} \sum_{\substack{Y-j=t \\ Y \neq X}} V_{X_i} V_{Y_j}$$

従来までのカオス NN の出力は前章でも述べた通り、実質的には p_{X_i} である。本章では、これをバイナリ変数である V_{X_i} （発火パターン）に変更したモデルを考える。これを提案モデル 1 とする。

$$p_{X_i}(n+1) = rp_{X_i}(n) + (1-r)v_{X_i}(n)$$

$$v_{X_i}(n) = f\{q_{X_i}(n) - p_{X_i}(n)\}$$

$$q_{X_i}(n) = \frac{1}{\omega} \{-Q_{X_i}(n) + \gamma\}$$

$$Q_{X_i}(n) = \sum_{Y \neq X}^N V_{Y_i}(n) + \sum_{\substack{Y+j=X+i \\ Y \neq X}} V_{Y_j}(n) \\ + \sum_{\substack{Y-j=X-i \\ Y \neq X}} V_{Y_j}(n)$$

上式の Q_{X_i} は X 行 i 列のマス目と同列、同対角線上のすべてのマス目上の Queen の総数となっており、 X 行 i 列のマス目に Queen を置く場合の制約違反量と考えることができる。すなわち $Q_{X_i} = 0$ のときのみ X 行 i 列のマス目に Queen を置くことが許される（図 1 参照）。

次に Q_{X_i} の計算中の加算を論理和に置き換えたモデルを考える。これを提案モデル 2 とする。

$$p_{X_i}(n+1) = rp_{X_i}(n) + (1-r)v_{X_i}(n)$$

$$v_{X_i}(n) = f\{q_{X_i}(n) - p_{X_i}(n)\}$$

$$q_{X_i}(n) = \frac{1}{\omega} \{-Q_{X_i}(n) + \gamma\}$$

$$Q_{X_i}(n) = \bigcup_{Y \neq X}^N V_{Y_i}(n) \cup \bigcup_{\substack{Y+j=X+i \\ Y \neq X}} V_{Y_j}(n) \\ \cup \bigcup_{\substack{Y-j=X-i \\ Y \neq X}} V_{Y_j}(n)$$

ニューロン間の結合が論理和素子で実現されることから、これをハードウェア化するとその回路規模は大幅に縮小される。

これらのモデルによる N -Queen 問題の解法のアゴリズムを以下に示す.

- step 1: $n := 0$ とし, $p_{X_i}(n)$ を区間 $(0, 1)$ の一様乱数によって初期化する. また, $V_{X_i}(n)$ をすべて 0 に初期化する.
- step 2: すべての X_i に対して $Q_{X_i}(n)$ を求め, $q_{X_i}(n)$, $v_{X_i}(n)$, $p_{X_i}(n)$ を更新する.
- step 3: 平均興奮率 $\rho_{X_i}(n)$ を (8) 式より求め, 発火パターン $V_{X_i}(n)$ を (9) 式により更新する.
- step 4: $n := n + 1$ とし, 発火パターン $V(n)$ が問題の制約を満たしているか. または n が反復回数の上限となったときアルゴリズムを終了する. その他の場合は step 2 に戻る.

〈3・2〉 数値実験 ここでは前節の 2 つのモデルの性能を数値実験によって検証する. $N = 50, 100, 200, \dots, 1000$ について前章で説明した従来のカオス NN による手法と, 提案法の比較を行った. 実験のパラメータは, 従来のカオス NN については $2\omega = 1.4$, $2\gamma = 0.5$ とし, 提案法については $\omega = 0.8$, $\gamma = 0.5$ とした. これらのパラメータは, ネットワークの状態が局所最適解に収束しないための条件⁽²²⁾を満たすパラメータ群の中から, 経験的に良好なものを選んで決めた. その他のパラメータは両手法とも反復打ち切り時間を 500, $\tau = 20$, $r = 0.82$, $\beta = 0.006$ とした. 初期値を変えて 100 回の実験を行い解が得られる回数 (Frequency) と, 得られるまでの反復回数の平均 (Iteration steps) を求めた. 実験結果を図 2 に示す. 図中 “Proposal 1” は提案モデル 1, “Proposal 2” は提案モデル 2 の性能をそれぞれ表す

実験結果から, 問題サイズに対する成功回数は従来法, 提案法ともに上昇している. また, 問題サイズに対する反復回数は, 従来法では $N = 400$ から上昇しているが, 提案法では減少し続けてある一定の値に収束しているように見える. このように問題サイズが大きくなるにつれて探索性能が向上するという傾向は非常に興味深い. これはアナログ回路で実現されたヒステリシスニューラルネットワークでも見られる傾向であり⁽¹⁷⁾. この実験結果は, デジタル回路化に適した本提案のニューラルネットワークでもそのような性質を再現できることを示している. さらにこの実験結果から, 提案モデル 1 と提案モデル 2 はほぼ等しい性能であることがわかる. したがって本問題に対しては, 加算を論理和に置き換えても提案モデルの性能は変わらないことがわかる.

カオス NN の性能はパラメータ依存性が強いいため, 本実験の結果のみでモデルの性能を正確に評価することは困難であるが, 提案法は規模の大きな問題に対して従来法以上の性能を示しており, 従来法と同等かそれ以上の能力を備えていると考えられる.

本実験では N -Queen 問題を取り上げているが, すでにいくつかの問題に対して出力信号のバイナリ化の有効性が数値実験により確認されている. 安定結婚問題に対して本手法を適用した場合, 従来のモデルより解を得る割合が向上することが確認されている⁽¹⁸⁾. グラフ分割問題に対して

図 2 問題サイズに対する成功回数と反復回数
Fig. 2. Frequency and Iteration steps.

本手法を適用した場合, タブーサーチの 1/4 から 1/5 の計算時間で解を得ることに成功している⁽¹⁹⁾. 多層チャネル配線問題に対しては, 従来法の探索成功率が 38%, 探索時間が 141 step であったのに対して, 提案法では成功率は 100 %, 探索時間は 53 step に改善された⁽²⁰⁾. マルチキャストバケット交換方式のワンショット スケジューリング問題に対しては, 従来法に対して探索時間が 40 % に減少した. 以上のように本モデルはさまざまな組合せ最適化問題への応用が可能であり, したがって, 本モデルのハードウェア化はこれらの問題の高速解法器の実現にとって重要である.

4. FPGA による提案モデルの実現

提案モデルを FPGA によって実現する. 回路は全て VHDL によって記述する. 図 3 に全体のアーキテクチャを示す. 前章でも示したように, シナプス結合部分は多入力論理和素子によって実現し, これによって制約違反量 Q_{X_i} を計算する. 次に, ニューロン回路 SN により中間出力 ρ_{X_i} を計算し, 最終段でそれぞれのニューロン出力 V_{X_i} を計算する. ニューロン回路 SN を図 4 に示す. 今回は試作回路の簡単化のためにシグモイド関数をステップ関数に置き換えている. ニューロン回路内の内部変数 p_{X_i} の bit 数は, 従来法と同等の性能とするため予備実験により 5 bit と決めた⁽²³⁾. この変数は従来のカオス NN においてニューロン間で交換される状態変数に対応しており, その bit 数はニューロン間をつなぐ結線数と等しい. 提案法ではニューロン間は 1 本の結線のみでよいので, 結線数は 1/5 になることになる. また, 従来法ではこの変数の総和

図3 全体のアーキテクチャ (9 ニューロン)

Fig. 3. Architecture.

表1 試作回路の仕様

Table 1. Properties of the prototype.

デバイス	XC4028XL (FPGA)
ニューロン数	36 (6 × 6)
CLB	895 / 1024 (87%)
最大遅延時間	32.1ns (30.6MHz)

を計算するために加算回路 (5bit) が必要であるが, 提案法では論理和素子 (1bit) に置き換わるため, 利用する論理合成ツールによる差異を考慮しても回路規模は十分小さくなると考えられる.

回路の動作シミュレーションの結果を図5に示す. これは6×6のN-Queen問題に対するシミュレーション結果である. 初期状態ですべてのニューロンの出力を1として動作させると, 1クロック毎に各ニューロンの状態は更新され, 16クロック目ですべての制約を満たして回路は停止した. 図中先頭の6行6列の0, 1の並びはチェスボードのマス目に対応しておりニューロンの最終出力を表す. この結果から, 縦, 横, 斜め方向にQueenが1つ以上存在しておらず解を得ることに成功したことがわかる.

表1にシミュレーションによって得られた回路仕様を示す. Xilinx社製XC4028XLを使用した場合, 最大遅延時間は32.1[ns]で, 1クロックで全てのニューロンの状態を更新できるので, 最大30[MHz]で動作させた場合, 1秒間で3千万回の更新が可能となることがわかる.

図6に実際に作成したプロトタイプを示す. FPGAはXilinx社製XC4028XLを使用した. この1チップ内に6×6の36ニューロン全てと終了判定回路を収納することができた. CLB (Configurable Logic Block) の利用率がニューロン数に比例すること, またQueen数が6(ニューロン数36)のとき利用率が87%であることを考え合わせると, 6-Queen問題がこのデバイスに収納できる上限であることがわかる. しかし, さらに大規模なFPGAを用いることで, より大きな問題に対する回路を構成することが可能であると考えられる.

図4 ニューロン回路SN

Fig. 4. Neuron circuit SN.

図5 シミュレーション結果

Fig. 5. Simulation results.

図6 Xilinx社製FPGA XC4028XLによる試作回路

Fig. 6. Prototype.

5. むすび

本論文では, カオスNNの出力信号をバイナリ化したモ

デルを提案し、このモデルの FPGA による実現を試みた。組合せ最適化問題として N -Queen 問題を取り上げ、提案モデルに対して数値実験を行い、カオス NN と同程度以上の性能を有することを確認した。次に、VHDL により回路を記述し、Xilinx 社製の FPGA XC4028XL を用いてプロトタイプを試作した。動作シミュレーションから、最大遅延時間は $32.1[\text{ns}]$ で、最大 $30[\text{MHz}]$ で動作させた場合、1 秒間で 3 千万回の更新が可能となることがわかった。また、この 1 チップ内に 6×6 の 36 ニューロン全てと終了判定回路を収納することができた。

今後の課題として、本手法を他の組合せ最適化問題へ応用することが挙げられる。安定結婚問題⁽¹⁸⁾、グラフ分割問題⁽¹⁹⁾、多層チャネル配線問題⁽²⁰⁾、マルチキャストパケット交換方式のワンショット スケジューリング問題⁽²¹⁾等について FPGA への実装を試み、その性能を明らかにする必要がある。

(平成 13 年 2 月 26 日受付, 同年 6 月 18 日再受付)

文 献

- (1) J.J.Hopfield and D.W.Tank: "Neural" Computation of Decisions in Optimization Problems, Biol. Cybern. vol.52, pp.141-152, 1985.
- (2) K.Aihara, T.Takabe and M.Toyoda: "Chaotic Neural Networks," Physics Letters A, vol.144, no.6, pp.333-340, 1990.
- (3) H.Nozaawa: "A neural network model as a globally coupled map and applications based on chaos," Chaos, vol.2, no.3, pp.377-386, 1992.
- (4) L.Chen and K.Aihara: "Chaotic Simulated Annealing by a Neural Network Model with Transient Chaos," Neural Networks, vol.8, no.6, pp.915-930, 1995.
- (5) M.Hasegawa, T.Ikeguchi and K.Aihara: "Combination of Chaotic Neurodynamics with the 2-opt Algorithm to Solve Traveling Salesman Problems," Physical Review Letters, vol.79, no.12, pp.2344-2347, 1997.
- (6) 阿江 忠: "VLSI ニューロコンピュータ," 共立出版, 1991.
- (7) 松葉 育雄: "ニューラルシステムによる情報処理," 第 9 章, 昭晃堂, 1993.
- (8) 堀雄 善彦: "カオスニューロコンピュータ," Computer Today, no.81, pp.14-21, 1997.
- (9) 関根 好文: "バリス形ハードウェアニューロンモデル," Computer Today, no.90, pp.27-33, 1999.
- (10) 黒川 恭一, 古市 洋希, 柴田 慎一: "CPLD を用いたニューラルネットワークの開発," 電子情報通信学会論文誌 D-II, vol.J83-D-II, no.3, pp.1054-1059, 2000.
- (11) L.Chen and K.Aihara: "Chaos and asymptotical stability in discrete-time neural networks," Physica D, vol.104, no.3, pp.286-325, 1997.
- (12) I.Tokuda, T.Nagashima and K.Aihara: "Global Bifurcation Structure of Chaotic Neural Networks and its Application to Traveling Salesman Problems," Neural Networks, vol.10, no.9, pp.1673-1690, 1997.
- (13) M.Ohta, K.Matsumiya, A.Ogihara, S.Takamatsu and K.Fukunaga: "An Analysis on Minimum Searching Principle of Chaotic Neural Network," IEICE Trans., vol.E79-A, no.3, pp.363-369, 1996.
- (14) M.Ohta, Y.Anzai, S.Yoneda and A.Ogihara: "A Theoretical Analysis of Neural Networks with Nonzero Diagonal Elements," IEICE Trans. Fundamentals, vol.E76-A, no.3, pp.284-291, 1993.
- (15) M.Ohta, A.Ogihara and K.Fukunaga: "Binary Neural Network with Negative Self-Feedback and Its Application to N-Queens Problem," IEICE Trans. Info. and Syst. vol.E77-D, no.4, pp.459-465, 1994.
- (16) 野沢 浩: "カオスセミナー," 第 11 章, 海文堂出版, 1994.
- (17) T.Nakaguchi, K.Jin'no and M.Tanaka: "Hysteresis Neural

Networks for N-Queen Problems," IEICE Trans. Fundamentals, vol.E82-A, no.9, pp.1851-1859, 1999.

- (18) 太田 正哉, 梅田 充彦: "論理和によるシナプス結合を持つカオスニューラルネットワークとその組合せ最適化問題への応用," 平 11 年電気関係学会関西支部連合大会講演論文集, p.G274 (G12-14), Nov., 1999.
- (19) 太田 正哉, 橋本 和明: "不応期を持つバイナリニューラルネットワークとそのグラフ分割問題への応用," 平成 11 年電気関係学会関西支部連合大会講演論文集 p.G275 (G12-15), Nov., 1999.
- (20) M.Ohta: "An Algorithm for Multi-Layer Channel Routing Problem Using Chaotic Neural Networks," Proc. of Int. Symp. on Circ. and Syst., CD-ROM, May, 2000.
- (21) 小谷 共矢, 太田 正哉: "FPGA に適した CSP のための Neural Network," 平 13 年電子情報通信学会関西支部学生会研究発表講演会講演論文集, p.91 (D-25), 2001.
- (22) 太田 正哉: "負の自己結合を有する PLA ニューラルネットワークと組合せ最適化," 信学技報, NLP99-102, pp.111-117, 1999.
- (23) Y.Yamamoto and M.Ohta: "A Fully Interconnected Neural Network Suitable for VLSI Implementation," Proc. of World Multiconf. on Syst., Cybern. and Inf., vol.3, pp.575-578, July, 2000.

太田 正 哉 (非会員) 1965 年生, 1991 大阪府立大学工学部電気工学科卒業, 1996 同大学院工学研究科博士後期課程了。工博。1996 より大阪電気通信大学工学部通信工学科講師。主としてニューラルネットワークの研究に従事。