ホットホール注入によるトンネルゲート酸化膜の絶縁性劣化

非会員 鎌倉良成 (大阪大学大学院)

非会員 出口和亮 (大阪大学大学院)

非会員 石田明寛 (大阪大学大学院)

非会員 宇野重康 (大阪大学大学院)

正員 谷口研二 (大阪大学大学院)

Degradation of direct-tunneling gate oxide under hot hole injection

Kamakura Yoshinari, Non-member, Deguchi Kazuaki, Non-member, Ishida Akihiro, Non-member, Uno Shigeyasu, Non-member, Taniguchi Kenji, Member (Osaka University)

The degradation of ultra-thin SiO₂ films accompanied by the hole direct tunneling is investigated using a substrate hot hole (SHH) injection technique. Hot holes from the substrate as well as cold holes in the inversion layer are injected into the gate oxides in *p*-channel MOSFETs with *p*⁺ poly-Si gates, while the gate bias is kept low enough to avoid the simultaneous electron injection from the gate. During the SHH stress, in contrast to the case of thicker oxide films, a strong correlation is observed between the oxide film degradation and the injected hole energy, whereas no degradation occurs due to the hole direct tunneling from the inversion layer. These experimental findings indicate the existence of threshold energy for trap creation process, which has been predicted by the theoretical study of hole-injection-induced structural transformation of oxygen vacancy in SiO₂.

キーワード：ゲート酸化膜，経時劣化，ホットホール，MOSFET

1. はじめに

Si-MOSFET のゲート酸化膜厚は、回路の高集積化・高速化を目指し、ますます薄くなる傾向にある⁽¹⁾。このような極薄酸化膜 (≤ 3nm) は絶縁性が不十分であり、現実の素子動作条件においてもトンネル効果による大量のリーク電流が流れる⁽²⁾。これが酸化膜絶縁性の経時劣化を促進することが予想され、積極的な素子微細化を目指す上での大きな懸念材料となっている⁽³⁾。以上の背景から、酸化膜信頼性の正しい評価技術の確立や、劣化機構の理解に対する要請は今後ますます強くなるものと考えられる。

図 1 は、厚さ 2.5 nm のトンネルゲート酸化膜を有する *p* チャネル MOSFET のゲートリーク電流をゲート電圧に対してプロットしたものである。ゲート電流を担うキャリアの種類は、キャリアセパレーション測定により判別できる⁽⁴⁾。すなわち、図 2 のエネルギーバンド図からも理解できるように、ソース/ドレイン電流 I_{sd} はゲート酸化膜を通過するホール電流を、また基板電流 I_{sub} は電子電流を表す。実際に LSI 中で印加される 1.5 V 以下の低 V_g 領域では、反転層に存在するホールの直接トンネリングがゲートリーク

の支配的要因であることが図 1 から分かる。

ところで、直接トンネリングを伴わない厚いゲート酸化膜についてのこれまでの報告では、酸化膜劣化とホール注入との間の強い相関関係がたびたび指摘されてきた⁽⁵⁾⁽⁶⁾。ここで、一つの疑問が生じる。酸化膜信頼性にとって良くないとされる正孔が、チャネルから直接トンネリングにより大量に供給されるトンネル酸化膜 *p*MOSFET は、果たして十分な寿命を保証されるのだろうか。このような背景から本研究では、*p*MOSFET に基板側から様々なエネルギーの正孔を注入する基板ホットホール (Substrate Hot Hole: SHH) 注入法を用いたストレス実験を行い、ホール注入と極薄酸化膜の劣化との関係を調べた⁽⁷⁾。

本論文ではまず 2. で SHH 法の原理を説明する。続いて 3. で SHH ストレスによるゲート酸化膜の絶縁性劣化実験の結果を示す。この結果に基に、4. でホットホール注入に起因する薄い酸化膜の劣化機構について考察した後、最後に 5. でまとめとする。

2. 基板ホットホール注入法

実験サンプルには *n* 型基板上に作成した *p* チャネル MOS-

図1 p^+ ポリシリコンゲート、膜厚 2.5 nm のゲート酸化膜を有する p チャネル MOSFET の各端子電流をゲート電圧 V_g に対してプロットしたもの。基板電流 I_{sub} 、ソース/ドレイン電流 I_g はそれぞれゲート電流 I_g の電子 (e^-) およびホール (h^+) による成分を表している。

Fig. 1. The gate current for the p^+ -poly Si gated p -MOSFET under negative gate bias. The current components carried by electrons and holes are measured by the carrier separation technique.

図2 n 型シリコン基板、トンネル酸化膜、 p^+ ポリシリコンゲートにより成る MOS 構造のエネルギーバンド図。ゲートに負バイアスを印加しシリコン表面を反転させた状況下で流れるトンネル電流を説明している。

Fig. 2. Schematic energy band diagram for the MOS structure.

FET を用いた。MOSFET のゲート電極は p 型にドーブしたポリシリコン、またゲート酸化膜厚は 2.5 nm である。電気測定には、半導体パラメータアナライザ hp-4156A を使用した。

図3 SHH 注入方法の概念図。(a) 実験方法。ゲートに負バイアス V_g を印加し表面を反転させるとともに、基板には正バイアス V_{sub} を印加して表面空乏層を伸ばす。MOSFET 周囲に配置した p 型拡散層 (インジェクタ) には基板より高い電位 V_{inj} を加え、基板との pn 接合に順方向電流を流す。(b) エネルギーバンド図。インジェクタから基板に注入されたホールは基板内を拡散する。MOSFET の基板空乏層に到達した一部のホールは、電界による加速を受け高エネルギーを得て Si/SiO_2 界面に衝突する。こうして、反転層ホールの直接トンネリングに加え、基板から供給されたホットホールもゲートリーク電流に寄与する。

Fig. 3. Schematic representation of SHH injection. (a) Measurement setup and (b) energy band diagram.

本研究では SHH 法を用いてホールを酸化膜に注入しその際の膜の経時劣化を調べた。SHH 法の原理を図 3 に示す。ゲートに負バイアス V_g を印加し表面を反転させるとともに、基板には正バイアス V_{sub} を印加して表面空乏層を伸ばす。MOSFET 周囲に配置した p 型拡散層 (インジェクタ) には基板より高い電位 V_{inj} を加え、基板との pn 接合に順方向電流を流す。このとき、基板に供給されたホールの流れは、図 3 (b) のエネルギーバンド図より理解できる。インジェクタから基板に注入されたホールは基板内を拡散するが、MOSFET の基板空乏層に到達した一部が、電界による加速を受け高エネルギーを獲得し、 Si/SiO_2 界面に衝突する。こうして、反転層に存在するホールの直接トンネリングに加え、基板から供給されたホットホールもゲートリーク電流に寄与する。

今回のストレス実験では、問題を単純化させるためゲ

図4 基板電圧に正の電位 ($V_{sub} = 2V$) を印加した時の基板電流 I_{sub} とソース/ドレイン電流 I_{sd} のゲート電圧依存性。

Fig. 4. The effect of the substrate voltage on the characteristics of the substrate current and the source/drain current as a function of the gate voltage.

ト酸化膜にホールのみを注入させることを意図し、使用するゲート電圧 V_g をすべて $-1V$ に設定した。図2によると、ゲートの価電子は、この電圧では行き先のエネルギー準位がシリコン基板にないため、酸化膜をトンネルすることができない。確かにゲートリーク電流の大半がホールにより担われていることは、図1からも判定できる。ただ、この仮定は基板表面が反転していることが前提である。つまり、SHH 実験時には基板バイアス効果により閾値電圧が変化すること念頭に入れておかねばならないが、今回用いた基板電圧では $V_g = -1V$ で十分閾値を超えていることは確かめている。さらなる確認のため、基板電圧が $0V$ でない時のキャリアセパレーション測定を行った結果を図4に示す。 $V_{sub} = 0V$ の場合(図1)とは異なる特性が見られるが、これらのリーク電流の起源は、図5で説明できる。低 V_g 領域で約 $7pA$ の電流が見られるが、 V_g に依存しないこと、 I_{sd} と I_{sub} とでは大きさが同じで符号が逆であることから、この電流はソース/ドレインと基板間の接合リークであると考えられる。 $-1.5V > V_g > -2.5V$ では、図1と同様の特性、すなわち基板表面の反転層ホールの直接トンネリングに起因する I_{sd} 、ゲートポリシリコン電極の価電子の直接トンネリングによる I_{sub} が見られる。また、 $V_g \sim -2.9V$ 付近で I_{sd} の符号が再逆転するが、これは、ゲートから注入された電子がインパクトイオン化を起こして電子-正孔対を生成し、新たな電流が加わったためである。我々はこうにして、今回のストレス実験で使用したゲート電圧 ($V_g = -1V$) および基板電圧 ($2V < V_{sub} < 4V$) の下では、基板バイアスによる接合リークは見られるもののそれはゲート酸化膜を通過する電流には影響を与えず、したがって純粋にホールのみが酸化膜を通過していると判断した。

図5 図4に見られるリーク電流の起源を説明する図。(1) 基板表面の反転層ホールの直接トンネリング。(2) ゲートポリシリコン電極の価電子の直接トンネリング。(3) ソース/ドレインと基板間の空乏層で発生するバンド間トンネリングによる接合リーク。(4) ゲートから注入された電子がインパクトイオン化を起こして生成した電子正孔対による電流。

Fig. 5. Schematic representation for explaining the leakage currents observed in Fig. 4.

3. 基板ホット ホール注入による酸化膜の特性変化

図6は、電気的ストレスを加えた $pMOSFET$ のゲート電流の経時変化を調べた結果である。ゲートおよび基板にそれぞれ $-1V$ 、 $3V$ の一定電圧を加えた。SHH 注入の有無による劣化の違いを調べるため、インジェクタに $4.5V$ を加え SHH 注入を on にしたサンプルと、基板とインジェクタを同電位にして SHH 注入を off にしたサンプルとを比較した。ストレス印加実験初期には双方とも、約 $10^{-6} A/cm^2$ のゲート電流が流れているが、これは反転層のホールの直接トンネリングに起因する電流である。SHH 注入によるホットホール注入量は微小であり、反転層ホールのトンネル電流に隠れて見えてはいない。ところが、SHH: on のサンプルでは時間の経過とともにゲート電流が増加し、 $10^5 s$ 以上経過した後に絶縁破壊に至った。一方、SHH: off、すなわちホットホール注入を行わず、エネルギーの低い反転層のホールのみをゲート酸化膜に流し続けたサンプルでは、全く特性が劣化しなかった。

図4は、SHH 注入による劣化前後のキャリアセパレーションの結果である。絶縁破壊後は、 $I_{sd} - V_g$ 、および $I_{sub} - V_g$ 特性に大きな変化が見られ、酸化膜の伝導機構が著しく異なることを示唆している。一方、絶縁破壊を起こす以前の劣化状態では、 $I_{sd} - V_g$ 特性には変化が見られるが、 $I_{sub} - V_g$ 特性は、ほとんど変化していない。SHH 注入における絶縁破壊以前の劣化は、主に基板反転層に存在するホールの酸化膜への注入を促進させることが分かった。

この絶縁破壊前のリーク電流増加を劣化の指標とし、基板電圧を変えたサンプル間での劣化速度の違いを比較した結

図 6 ゲート電流密度の経時変化。ゲート、基板にそれぞれ -1 V、-3 V を印加した。さらにインジェクタ-基板間を同電位 (SHH: off)、あるいは順バイアス (SHH: on) とし、基板ホットホール注入の有無による劣化の違いを比較している。

Fig. 6. Time evolution of the gate current during the stress of 2.5 nm oxide at a gate voltage of -1 V and the substrate voltage of 3 V. SHH is turned on or off by applying the forward bias between the substrate and the injector or not.

果が図 8 である。基板電圧を振ることは、基板から供給するホールを加速する空乏層電界、つまり酸化膜へ衝突する際のホールのエネルギー分布を変化させることにつながる。今回我々は、ストレス実験中に、SHH 注入を一定時間毎に打ち切り、ストレス条件に依らない共通の端子電圧: $V_g = -1$ V、 $V_{sub} = V_{inj} = 0$ V でのゲート電流の増加を劣化指標量としてモニターした。図 8 では、規格化した劣化量 $\Delta J_g / J_{g, \text{fresh}}$ を縦軸にプロットしている。ここで、 $\Delta J_g = J_g - J_{g, \text{fresh}}$ 、ただし、 $J_{g, \text{fresh}}$ と J_g はそれぞれ劣化前後のゲート電流密度である。さらに、本実験ではストレス条件をそろえるため、すべてのサンプルにおいて、初期のホットホール注入電流密度、すなわち (SHH: on 時のゲート電流) - (SHH: off 時のゲート電流)、を $4.9 \mu\text{A}/\text{cm}^2$ にそろえるよう、各 V_{sub} に対する V_{inj} を決定した。初期にはすべて同量のホットホールを注入しているのにも関わらず、 V_{sub} すなわち注入ホールのエネルギーが高いほど、酸化膜の劣化が激しいという結果が得られた。

4. 酸化膜劣化機構の考察

最後に、前節に示した実験結果を説明し得るモデルについて議論する。最近 Yokozawa ら⁽⁸⁾は、密度汎関数法に基づく第一原理計算を行い、酸化膜中に存在する酸素欠損が酸化膜劣化の原因となる可能性を指摘した。彼女らは、酸素欠損にホールが捕獲されると構造変化を起こし、ストレス誘起リーク電流の原因となる新たな電子捕獲準位が膜中に発生することを示した。このときホールの捕獲にはある程度の閾値エネルギー E_{th} が必要である。たとえば、水素

図 7 酸化膜劣化前後のキャリアセパレーションの結果 (ただし、 $V_{sub} = 0$ V)。印は劣化前の特性。破線は 5,200 s の SHH ストレスを印加した後、一点鎖線は 100,000 s の SHH ストレスを印加し酸化膜が絶縁破壊を起こした後の特性である。SHH ストレスの条件は $V_{sub} = 3.5$ V、 $V_{inj} = 5.0$ V を用いた。(a) ソース/ドレイン電流対ゲート電圧。(b) 基板電流対ゲート電圧。

Fig. 7. The $I - V$ characteristics before and after the SHH stress. (a) I_{sd} vs. V_g and (b) I_{sub} vs. V_g characteristics.

原子によって終端された酸素欠損にホールがトラップされるためには SiO_2 の価電子帯からみて 1.8 eV のエネルギーが必要であると予想している⁽⁹⁾。

この理論予測は定性的に我々の実験結果を説明する。図 9 (a) に示すように、反転層のエネルギーの低いホールが直接トンネルしても E_{th} に及ばないと酸素欠損に捕獲されるのは不可能である。したがって、劣化には影響しない。しかし、基板でエネルギーの高いホールを発生させ、それを酸化膜へ注入させた場合、酸素欠損への捕獲が可能となり膜の劣化を誘発する。

また、今回得られた「酸化膜劣化は注入したホールのエネルギーに依存する」という実験結果は、以前報告された厚い酸化膜の SHH 実験⁽¹⁰⁾⁽¹¹⁾とは異なる性質であるが、これも上で述べたホールに起因する酸化膜劣化モデルの範疇で理解できる。すなわち、厚い膜の場合、ホール捕獲サイ

図8 酸化膜リーク電流のストレス時間依存性。SHH ストレスを一定時間毎に停止し、 $V_g = -1$ V、 $V_{sub} = V_{inj} = 0$ Vにおけるゲート電流の増加をモニターした。

Fig. 8. Increase in gate current as a function of stress time during SHH injection using various substrate voltages.

トに到達するには、トンネル効果を利用したのでは無理である。図9 (b)のように、障壁エネルギー (~ 4.7 eV⁽¹²⁾)を超えたホールのみが酸化膜内部に到達できる。酸化膜中のホールは格子と強く結合するため、ホールは酸化膜に注入されたとき激しくエネルギーを損失、基板中で受けた加速の履歴 (V_{sub} の違い) をすべて忘れてしまう⁽¹⁰⁾。その後ホールは低エネルギーの状態での酸化膜中を進行し、一部が酸素欠損に捕獲されて劣化を引き起こす。したがって厚い酸化膜の場合には、酸化膜劣化の効率は基板電圧には依らないのである⁽¹⁰⁾⁽¹¹⁾。

酸化膜中の欠陥生成の機構解明は、絶縁破壊現象の理解と予測にとっても重要な意味を持っている。ゲート酸化膜の絶縁破壊に関する描像として、現在広く支持されている仮説は、次の2つの物理過程から構成される⁽¹³⁾。

- (1) 電気的ストレスの影響で酸化膜中に欠陥 (= キャリアトラップ) が蓄積する。
- (2) 欠陥濃度が上昇すると確率的に上下電極を結ぶ「パーコレーションパス」が形成され、その箇所への電流集中が絶縁破壊を誘発する。

絶縁破壊の正確な予測のためには、むしろ両過程の正確なモデリングが必須だが、本報告は特に上記(1)に関連している。例えば、このパーコレーションモデルを提唱した Degraeve の論文⁽¹³⁾によれば、過程(1)における欠陥生成は単純にホールゲート電流の積分値のみの関数、つまりホールがどのエネルギーで酸化膜に注入されたかに関わらず通過した総量だけが問題、として取り扱われていた。今回の我々の実験結果は、トンネル酸化膜において、そのような単純なモデル化が通用しないことを主張する。

このような経緯からみても、酸化膜劣化とホールエネルギー

図9 ホットホール注入の (a) 薄い酸化膜、および (b) 厚い酸化膜の場合の比較。薄い酸化膜の場合トンネリングによりホールトラップサイト (白四角) に進入できる。一方、厚い酸化膜の場合には、酸化膜のバリアエネルギーを超えたホールのみが酸化膜中に進入できる。酸化膜に注入されると速やかにホールのエネルギーは消失する。

Fig. 9. Schematic illustration of hole injection. (a) the thin oxide case and (b) the thick oxide case.

ギーの関係をより定量的に理解することは極めて重要である。特に、酸素欠損へホールが捕獲されるのに必要な閾値エネルギーの同定は、デバイス寿命と回路電源電圧との関係を把握する上で、工学的にも有用な知見を提供するであろう。前にも触れたが、Yokozawa ら⁽⁸⁾の理論計算によれば、欠陥生成に必要なホールの閾値エネルギーは、 SiO_2 の価電子帯からみて 1.8 eV、すなわちシリコン基板中のホールエネルギーとして、 $4.7 - 1.8 = 2.9$ eV以上が必要、ということになる。ここで、Siと SiO_2 の価電子帯のずれを 4.7 eV⁽¹²⁾と仮定した。図3のエネルギーバンド図に基づけば、仮にシリコン基板内でホールが非弾性散乱を受けずに界面に到達した場合、ホールは電界から最大 $(V_{sub} + 1)$ eV程度のエネルギーを獲得するはずである。図8の実験において我々は、 $V_{sub} = 1$ Vの下でのストレス試験も行ったが、少なくとも数万秒までの実験では顕著な劣化を観測し得なかった。この場合、酸化膜注入直前に見込まれるホールエネルギーの最大値は約 2 eV程度であることを考えると、まずは妥当な結果と解釈することもできる。ただ、即断は禁物である。現実には、ホールはシリコン基板中でフォノン放出によるエネルギー損失を受けるし、インパクトイオン化フィードバック⁽¹⁴⁾、ホール-ホール散乱⁽¹⁵⁾といった多対

散乱の効果によってホールのエネルギー分布は激しく乱される。より信頼のおける議論を行うためには、(1) Si/SiO₂ 界面に衝突したホールのエネルギー分布、(2) ホールの酸化膜へのトンネル確率、をきちんと把握する必要があり、モンテカルロ法による高精度キャリア輸送シミュレーション⁽¹⁶⁾を利用した解析が必須であると我々は考えている。

ところで、酸化膜劣化には、電子注入⁽³⁾、あるいは電子とホール両方の注入⁽¹⁷⁾が必要とするモデルがこれまで提唱されてきている。2.において今回の実験では電子の酸化膜への注入の可能性は排除したことを述べたが、SHH 注入時に発生するホットホールがシリコン基板や陰極のポリシリコンで電子-正孔対を新たに励起し、うちホットエレクトロンが酸化膜へと注入される可能性は否定できない。そして、この電子注入が酸化膜劣化の原因となることも完全には否定できない。ただ、今回用いたバイアス条件で酸化膜中に欠陥を生成するほどの高エネルギー電子[†]が大量に発生するかどうかは疑問であると我々は考えている。いずれにせよ、この電子注入の有無を実験的に検証することは困難であり、この場合も、先ほど述べたようなモンテカルロシミュレーションなどの理論解析が強く求められる。

5. ま と め

SHH 注入法を利用してホールによる極薄酸化膜の劣化現象を調べた。反転層からのホールに加え、基板から高エネルギーのホールを酸化膜に注入させて酸化膜の絶縁性の経時劣化を調べたところ、(1) 低いゲート電圧の下で反転層のホールを直接トンネルさせても酸化膜信頼性には影響を与えないが、ホットホール注入時には激しく劣化が進行し最終的に絶縁破壊に至ること、(2) トンネル酸化膜の劣化速度は、注入するホールのエネルギーに強く依存すること、が分かった。キャリアの直接トンネリングを許容する極薄ゲート酸化膜 pMOSFET の信頼性は、基板でホットホールを発生させない限り保証されると考えられる。なお、今回の実験結果は、ホールが酸化膜中に存在する酸素欠損へ捕獲されることで酸化膜劣化が引き起こされ、また、その捕獲にはある閾値エネルギーが必要であるとするモデルで理解することができる。

謝 辞

酸化膜劣化に対するモデリングの過程で、一連の議論を通じて非常に有益な示唆を我々に与えた大阪大学の広瀬 哲也氏、岩田 亮氏、桜 俊幸氏 [現在、アジレント・テクノロジー (株)] に感謝いたします。なお、本研究は、半導体理工学センター (STARC) からの支援を受けて遂行された。

(平成 12 年 7 月 25 日受付, 同 12 年 12 月 21 日再受付)

[†]例えば文献 (3) では、SiO₂ 中の H 結合を電子が切断するのに必要なエネルギーは、SiO₂ の伝導帯を基準に取って 2.3 eV 程度であると報告されている。

文 献

- (1) International Technology Roadmap for Semiconductors, <http://www.itrs.net/ntsr/publntsr.nsf> (1999).
- (2) H.S. Momose, M. Ono, T. Yoshitomi, T. Ohguro, S. Nakamura, M. Saito, and H. Iwai: "1.5 nm direct-tunneling gate oxide Si MOSFET's", IEEE Trans. Electron. Devices, Vol. 43, No. 8, pp. 1233-1242 (1996).
- (3) J.H. Stathis, and D.J. DiMaria: "Reliability projection for ultra-thin oxides at low voltage", IEDM Tech. Dig., pp. 167-170 (1998).
- (4) W.-C. Lee, T.-J. King, and C. Hu: "Evidence of hole direct tunneling through ultrathin gate oxide using p⁺ poly-SiGe Gate", IEEE Electron. Device Lett., Vol. 20, No. 6, pp. 268-270 (1999).
- (5) I. C. Chen, S. Holland, K. K. Young, C. Chang, and C. Hu: "Substrate Hole Current and Oxide Breakdown", Appl. Phys. Lett., Vol. 49, No. 11, pp. 669-671 (1986).
- (6) J.D. Bude, B.E. Weir, P.J. Silverman: "Explanation of stress-induced damage in thin oxides", IEDM Tech. Dig. pp. 179-182 (1998).
- (7) K. Deguchi, A. Ishida, S. Uno, Y. Kamakura, and K. Taniguchi: "Degradation of direct-tunneling gate oxide under hot-hole injection", Appl. Phys. Lett., Vol. 77, No. 9, pp. 1384-1386 (2000).
- (8) A. Yokozawa, A. Oshiyama, Y. Miyamoto, and S. Kumashiro: "Oxygen vacancy with large lattice distortion as an origin of leakage currents in SiO₂", IEDM Tech. Dig. pp. 703-706 (1997).
- (9) A. Yokozawa, and Y. Miyamoto: "First-principles exploration of possible trap terminators in SiO₂", Appl. Phys. Lett., Vol. 73, No. 8, pp. 1122-1124 (1998).
- (10) A.V. Schwerin, M.M. Heyns, and W. Weber: "Investigation on the oxide field dependence of hole trapping and interface state generation in SiO₂ layers using homogeneous non-avalanche injection of holes", J. Appl. Phys., Vol. 67, No. 12, pp. 7595-7601 (1990).
- (11) Y. Kamakura, H. Utsunomiya, T. Tomita, K. Umeda, and K. Taniguchi: "Investigations of hot-carrier-induced breakdown of thin oxides", IEDM Tech. Dig., pp. 81-84 (1997).
- (12) S. M. Sze: Physics of Semiconductor Devices, 2nd ed. (Wiley, New York, 1981), p. 400.
- (13) R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel, and H. E. Maes: "New Insights in the Relation Between Electron Trap Generation and the Statistical Properties of Oxide Breakdown" IEEE Trans. Electron Devices, Vol. 45, No. 4, pp. 904-911 (1998).
- (14) J. D. Bude, A. Frommer, M. R. Pinto, and G. R. Weber: "EEPROM/flash sub 3.0V drain-source bias hot carrier writing", IEDM Tech. Dig. pp. 989-991 (1995).
- (15) M. V. Fischetti, S. E. Laux: "Monte Carlo study of sub-band-gap impact ionization in small silicon field-effect transistors", IEDM Tech. Dig. pp. 305-308 (1995).
- (16) Y. Kamakura, I. Kawashima, K. Deguchi, and K. Taniguchi: "Verification of hot hole scattering rates in silicon by quantum-yield experiment", J. Appl. Phys., Vol. 88, No. 10, pp. 5802-5809 (1997).
- (17) H. Satake, S. Takagi, and A. Toriumi: "Evidence of electron-hole cooperation in SiO₂ dielectric breakdown", Proc. of IEEE International Reliability Physics Symposium, pp. 156-163 (1997).

鎌倉 良成 (非会員) 1969 年生。92 年 3 月 大阪大学工学部電子工学科卒業。94 年 3 月 同大学大学院電子工学専攻修士課程修了。同年日本電気株式会社入社。97 年 2 月 大阪大学大学院工学研究科助手、現在に至る。主として MOSFET の素子信頼性、デバイスシミュレーション技術に関する研究に従事。IEEE、応用物理学会会員。

出口 和 亮 (非会員) 1978 年生。2000 年 3 月 大阪大学工学部電子工学科卒業。同年 4 月 同大学大学院工学研究科電子情報エネルギー工学専攻博士前期課程入学、現在に至る。MOSFET のゲート酸化膜の信頼性に関する研究に従事。

石 田 明 寛 (非会員) 1976 年生。99 年 3 月 大阪大学工学部電子工学科卒業。99 年 4 月 同大学大学院電子情報エネルギー工学専攻博士前期課程入学、現在に至る。MOSFET のゲート酸化膜の信頼性に関する研究に従事。

宇 野 重 康 (非会員) 1973 年生。96 年 3 月 関西学院大学理学部物理学科卒業。98 年 3 月 大阪大学大学院理学研究科物理学専攻修士課程修了。99 年 4 月 大阪大学大学院工学研究科電子情報エネルギー工学専攻博士後期課程入学、現在に至る。主として MOSFET の素子信頼性、デバイスシミュレーション技術に関する研究に従事。IEEE 会員。

谷 口 研 二 (正員) 1971 年 大阪大学工学部電子工学科卒業。73 年 同大学大学院修士課程修了。75 年 (株) 東芝入社。81 年～82 年 MIT 留学。MOS 素子の物理や半導体プロセス・デバイスシミュレーションの研究に従事。86 年大阪大学電子工学科助教授。96 年大阪大学大学院電子情報エネルギー工学専攻教授、現在に至る。半導体物理、半導体デバイス、アナログ CMOS 回路設計の研究に従事。IEEE、電気学会、電子情報通信学会、応用物理学会会員。工学博士。