水素終端ダイヤモンド表面伝導層を利用した 高性能電界効果トランジスタ

梅沢 仁、谷内寛直、有馬拓也、石坂博明、藤原直樹、大庭誉士和、立木 実、川原田洋

(早稲田大学 CREST 科学技術振興事業団)

High Performance Diamond Field-Effect Transistors on Hydrogen-Terminated Surface-Channel

Hitoshi Umezawa, Hirotada Taniuchi, Takuya Arima, Hiroaki Ishizaka, Naoki Fujihara, Yoshikazu Ohba, Minoru Tachiki
and Hiroshi Kawarada. (Waseda Univ. CREST, JST)

Utilizing hydrogen-terminated surface-conductive layer as channel, high performance diamond FETs are demonstrated. High frequency operations of diamond transistors have been realized. 2 μm gate diamond MESFET shows f_r of 2.2 GHz and f_{max} of 7 GHz. Due to the effect of gate insulator insertion in series to source-gate capacitance of surface-channel, the source-gate capacitance of diamond MISFET is reduced by a factor of 2 as that of MESFET. The f_r and f_{max} of 0.7 μm gate diamond MISFET reach 11 and 18 GHz respectively. Analysis of diamond short channel effect is also carried out. Down to 70 nm channel diamond MISFETs are realized by utilizing new FET fabrication process for gate minimization. The short channel FETs with thick gate insulator more than 25 nm shows short channel effect such as drain current increase by drain biasing, positive shift of V_{TH} and degradation of subthreshold slope S . By the reduction of the thickness of gate insulator less than 20 nm, V_{TH} shift and degradation of S are suppressed.

キーワード：ダイヤモンド、電界効果トランジスタ、水素終端表面、表面伝導、遮断周波数、最大発振周波数

Keywords: Diamond, Field-effect transistor, hydrogen termination, surface conduction, cut-off frequency, maximum frequency of oscillation

1. まえがき

ワイドギャップ半導体電子素子は、高い周波数での駆動と共に高い出力電力を実現し、高温での動作も可能であるため、高い線形性と高出力電力を必要とする第三世代以降の移動体通信システム基地局用電力増幅器や、高温下の環境下での動作が必要とされる自動車もしくは航空機エンジンドライバ用素子としての応用が期待されている。その中でもダイヤモンドは物質中最大の熱伝導率 (22 W/cm·K) や高いブレークダウン電界 (10⁷ V/cm)、低い比誘電率 (5.7) などの物性値による優位性により注目が集まっている。たとえば、マイクロ波パワー素子用の半導体材料の比較として用いられる Johnson の性能指標^①では、現在有力な材料と考えられている SiC や GaN と比較しても 3 倍、20 倍の性能指標であり、Si の 1000 倍を示している。また、集積論理回路における高周波動作限界の比較に用いられる Keyes の性能指標^②においても SiC の 4 倍以上の指標が示されている。さらにダイヤモンドは Si と同様に元素半導体であることから、SiC や GaN など化合物に特有のストイキオメトリ、アンチサイト等の問題が無いことも大きな優位点として挙げ

られよう。

p 型ダイヤモンドはボロンを気相成長中にドーピングすることによって得ることができる。ボロンドープダイヤモンドにおいてはこれまでに金属-半導体電界効果トランジスタ (MESFET)^③や金属/絶縁膜-半導体電界効果トランジスタ (MISFET)^{④⑤}を形成し、動作確認が行われている。しかし、これらのトランジスタは 1 mS/mm オーダーもしくはそれ以下の低い相互コンダクタンスを示し、また特性の温度依存性が大きく、ダイヤモンドの性能限界を十分に引き出す特性を示していると言えない。これは、主に大きな二つの要因によるものである。第一の問題点は、ボロンの深い活性化エネルギーである。このため、室温でのキャリアの活性率は約 0.01 % であり、伝導性は低く高い温度依存性を示す。室温での高キャリア密度を実現するために、パルス変調ドーピングなどが検討されている^{⑥⑦}が、依然として特性の温度依存性が大きく室温ではやはり mS/mm 以下の相互コンダクタンスしか得られていない。第二の問題点は酸素終端表面における高い表面準位密度である。一般にボロンをドーピングした半導体ダイヤモンドは表面伝導を防ぐために酸処理等を用いて表面を酸素終端とする。この表面は表面準位密度

が大きくなり^⑩、ゲートによるチャネルのキャリア変調は低いものとなっている。また、ショットキー障壁高さはフェルミ準位のピン止めにより金属の仕事関数にほとんど依存せずに高い値を示す。^⑨

水素終端したダイヤモンドはアンドープでも p 型表面伝導をあらわす。この表面伝導層は 50 meV 以下の浅いアクセプタ準位を持ち、120–400 K の温度範囲において 10^{13} cm^{-2} で一定の高いシートキャリア密度を有する^⑩。また、表面のダングリングボンドが水素で終端されているために表面準位密度が低減されており、金属との接触界面でフェルミ準位のピン止めが起らず、ショットキー障壁高さは金属の電気陰性度に強く依存する^⑨。このため、金や白金などの大きな電気陰性度を持つ金属とは低抵抗のオーミック性接触を得ることが可能である。さらに、キャリアは表面吸着構造による表面アクセプタから供給されるため、ほとんどのキャリアが表面から 10 nm 以下の薄い領域に存在する。これら水素終端ダイヤモンド表面伝導層の特徴は FET のチャネルとして極めて有利であると言え、ダイヤモンドの物性上の優位点を引き出すトランジスタの作製が可能である。

これまでに、水素終端表面伝導層を用いて MESFET^⑪および MOSFET^⑫が開発されている。MESFET はゲート金属をかえることによって閾値をコントロールし、エンハンスメント型、ディプレッション型の作りわけが可能であり E/D 構成による論理回路が実現^⑬している。また、セルフアライン法を用いたプロセスによりゲート長 $1 \mu\text{m}$ の MESFET を作製し、 110 mS/mm の相互コンダクタンスが達成されている^⑭。さらに、フッ化物絶縁膜と表面伝導層の界面で大きな準位を形成しない^⑮ことを利用して、MISFET が作製され MESFET とほぼ同等の相互コンダクタンスが示されている^⑮。この MISFET では直線領域から求めたチャネル移動度は $250 \text{ cm}^2/\text{Vs}$ を超えている。水素終端ダイヤモンド MISFET では最高で $400 \text{ cm}^2/\text{Vs}$ が得られており^⑯、現在の反転型 SiC nMOSFET よりも高い値となっている。

これまでの水素終端ダイヤモンドデバイスにおける研究は、基礎研究およびプロセス技術の開発が主であり、重要なアプリケーションとして考えられている高周波特性や微細化による特性の変動についての議論はほとんど行われていなかった。今回我々は、水素終端ダイヤモンド表面伝導層上に作製した FET の高周波応用の可能性と微細化限界を評価するためにダイヤモンド MESFET および MISFET における小信号 RF 測定およびサブ $0.1 \mu\text{m}$ チャネル長 MISFET の閾値およびサブスレショルド特性評価を行った。

2. 水素終端ダイヤモンド表面伝導層の形成

高移動度かつ高キャリア密度の表面伝導層を得るために、我々は高圧合成 Ib (001) ダイヤモンド基板上にマイクロ波プラズマ CVD 法によりホモエピタキシャル成長を行った。合成は水素をキャリアガスとし、ドーピングガスを一切用いずにメタン濃度 0.025–0.1 % のガス条件で、750 W のマイクロ波、750–850 °C のサンプル温度において 8–12 時間行った。得られたダイヤモンド薄膜は 0.3–0.1 μm の膜厚である。合成後のホール効果測定により、基板は $10–30 \text{ k}\Omega/\square$ のシート抵抗、 $30–80 \text{ cm}^2/\text{Vs}$ のホール移動度、

図1 セルフアライン法によるダイヤモンド FET の断面構造

Fig. 1. Cross section of diamond FET fabricated by self-aligned process.

$5 \times 10^{12}–10^{13} \text{ cm}^{-2}$ のシートキャリア密度を得ている

3. セルフアライン法を用いたダイヤモンドトランジスタの電気的特性

FET において、ソース抵抗もしくはドレイン抵抗などの寄生素子は、ゲート長の微細化による相互コンダクタンスの効果的な改善を妨げる原因となるだけでなく、高周波動作時に大きな電力損失を引き起こす要因となる。水素終端ダイヤモンド表面伝導層は $10–30 \text{ k}\Omega/\square$ のシート抵抗を有するが、現在のダイヤモンドプロセス技術ではこれをさらに低抵抗化することは難しい。現時点で最も有効な寄生抵抗低減手法は、ソース、ゲート、ドレインの各電極を近接して作製することである。リソグラフィーによる通常のアライメント手法を用いた FET 作製プロセスでは、ゲート電極のソース・ドレイン電極との重なりを防ぐために、ゲート長 $0.5–1 \mu\text{m}$ に対して、ソース・ドレイン間隔を $1.5–2 \mu\text{m}$ 程度に広げる必要性がある。これに対して、セルフアラインプロセスを用いた場合、ゲート電極はソース・ドレイン電極に対して自己整合的に作製されるために、ソース・ゲート、ゲート・ドレイン間隔は小さいものとなる。FET 構造の断面図を図1に示す。Si プロセスにおけるセルフアライン法はポリシリコンゲートをソース・ドレインのイオン注入マスクとして用いることにより実現するが、ダイヤモンドプロセスにおいてはソース・ドレイン金属電極のエッチングマスクをゲート電極のリフトオフマスクとして用いることで実現する。このようにして作製した FET は、ソース・ゲート、ゲート・ドレイン間隔がオーミック電極のオーバーエッチング量である $0.1–0.2 \mu\text{m}$ と小さいものとなる。しかし、これまでのプロセスと比較して、大幅にソース・ゲート間隔を短縮したとはいえ、 $0.1–0.2 \mu\text{m}$ のソース・ゲート間隔は $50–100 \mu\text{m}$ のゲート幅に対して数十 Ω の寄生抵抗となり、また、ソース・ゲート間隔がオーバーエッチング量によってばらつくため見かけ上の特性の劣化やばらつきが出る要因となる。ダイヤモンド高周波・高出力素子の実現の為に気相中のドーピングの他に、イオン注入を取り入れたプロセス技術開発により、基板抵抗の低減による本質的なソース・ゲート間寄生抵抗削減の解決策が必要となる。

図2 2 μm ゲートダイヤモンドMESFETの $I_{\text{DS}}\text{-}V_{\text{DS}}$ 特性
Fig.2 $I_{\text{DS}}\text{-}V_{\text{DS}}$ characteristics of 2 μm gate diamond MESFET.

(1) ダイヤモンドMESFET

セルフアライン法を用いて作製した 2 μm ゲート長のMESFETのDC特性を図2に示す。ゲートフィンガーは1本とし、ゲート幅は50 μm である。ゲート電圧1.5Vにおいて、2 μm のゲート長としては70 mS/mmの高い相互コンダクタンスを示している。特性は立ち上がりの良い特性を示しているが、これは今回高周波測定用をめっきを行ったため、各電極パッドと測定用Ptプローブとの接触抵抗が低減した効果によるものと考えられる。最大ドレイン電流における順方向ゲート電圧がCu/水素終端ダイヤモンドのショットキー障壁高さを超過しているにもかかわらず、致命的なゲート漏れ電流が発生していないように見えるが、これはソース寄生抵抗における電圧降下が存在するため、実効的に金属-半導体に印加されている電圧が下がっているものと考えられる。

このFETにおいて、50 MHz - 20 GHzの測定レンジでオンウェハ-小信号Sパラメータ測定を行った。測定にはAgilentのベクトルネットワークアナライザ(8720ES)およびCASCADE高周波測定プローバ(SUMMIT9100)を用いた。バイアス条件としてゲ

図3 2 μm ゲートダイヤモンドMESFETの周波数利得特性
Fig.3 Freq. vs. gain characteristics of 2 μm gate diamond MESFET

ート電圧1V、ドレイン電圧5V、また入力電力を-40dBmとした。図3はSパラメータより求めた最大有能電力利得、および電流利得の周波数依存性を示している。1 GHzにおいては12 dBの電力利得が得られている。また、電力および電流利得が1 dBとなる最大発振周波数、および遮断周波数はそれぞれ2.2 GHzおよび7GHzであった。⁽¹⁷⁾ この素子は、測定条件のすべての領域において安定係数が1を超えている。同一基板上に3-2 μm のダイヤモンドMESFETを同様のプロセスを用いて作製したが、ゲート長微細化によるソースゲート容量の低減に加えて、相互コンダクタンスの改善効果によって、ゲート長逆数の自乗に比例する遮断周波数の改善が見られている。

(2) ダイヤモンドMISFET

高周波素子において、その特性を決める大きなポイントは相互コンダクタンスとソースゲート間容量である。MESFETにおいては、単位ゲート面積あたりのソースゲート間容量は空乏層厚さでほぼ決定される。水素終端表面伝導層を用いたFETの場合、最表面に高密度のアクセプタが存在していると考えられるため、その空乏層は薄い。このため、低い比誘電率を有するダイヤモンドにおいてもそのソースゲート間容量は高い値となってしまう。これに対して、MISFETはチャネルのポテンシャルをゲート絶縁膜を介してコントロールする構造をとるために、実効的なソースゲート間容量はMESFETにおけるソースゲート間容量にゲート絶縁膜容量を直列に挿入した形となり、ゲート長の微細化というアプローチの他にソースゲート間容量を低減することが可能である。また、ゲート絶縁膜によりゲートリーク電流が小さく抑えられ、ゲート電圧を大きく順方向に挿印した場合に大電流が得られる他、MESFETに見られるような大きなゲート順方向電圧印加時のゲートリーク電流による特性の劣化が起こりづらいため、高出力化・安定化において大きなアドバンテージとなる。

図4は0.7 μm ゲート長におけるCaF₂/ダイヤモンドMISFETの小信号Sパラメータ測定による周波数利得特性である。測定条件は、ゲート電圧0V、ドレイン電圧12Vであり、入力電力は30

図4 0.7 μm ゲートダイヤモンドMISFETの周波数利得特性
Fig.4 Freq. vs. gain characteristics of 0.7 μm gate diamond MISFET

dBm である。素子の特性は MESFET に比べて安定であり、10V 以上のドレイン電圧を印加しても特性の劣化は見られなかった。相互コンダクタンスは 40 mS/mm 程度と低いものであったが、ゲート絶縁膜の挿入効果とゲート長の微細化によりソースゲート間容量の大幅な低減が実現し遮断周波数は 11 GHz、最大発振周波数は 18 GHz となった。この素子は 1.5 - 8 GHz において安定係数が 1 を下回っており、安定係数が 1 となる 8 GHz から -6 dB/oct で挿引して求めた最大発振周波数は 22 GHz となっている。第三世代移動体通信基地局用アンプとして実用化が可能となるためには、オンウェー測定での遮断周波数が 20 GHz を超える必要がある。しかし、これはダイヤモンド MISFET にとって決して高い値ではない。なぜならば、既に我々は CaF_2 をゲート絶縁膜に用いた 1.2 μm ゲート MISFET において 90 mS/mm を達成している。⁽¹⁵⁾ ゲート絶縁膜の膜質改善により 0.5 μm ゲート MISFET で 100 mS/mm の相互コンダクタンスが達成されれば、30 GHz を超える遮断周波数が予想される。

4. サブ 0.1 μm チャネル MISFET

ゲート長の微細化は FET の高性能化を図るために重要な技術である。特に、高利得化、高周波化には必要不可欠であると言える。ゲート長の微細化においてもっとも重要な問題は短チャネル効果の抑制にあり、Si - MOSFET や GaAs - MESFET ではこの短チャネル効果を抑制するためにドレイン端での電界集中を抑えると共に、極浅接合の形成やゲート絶縁膜の薄膜化、活性層の薄膜化が必要となる。⁽¹⁸⁾ 前述のとおり、水素終端ダイヤモンド表面伝導層は 10 nm 以下の非常に薄い活性層によって形成されている。このため、短チャネル効果を抑制するために必要不可欠である極浅接合が自動的に形成されている。今回我々は、このような優位点をバックグラウンドに水素終端ダイヤモンド表面伝導層を用いた FET の短チャネル効果を調べるためにサブ 0.1 μm チャネル長の

図5 新プロセスによる短チャネルダイヤモンド MISFET の断面構造
Fig.5 Cross section of short channel diamond MISFET fabricated by new process.

MISFET を作製し評価を行った。

サブ 0.1 μm チャネル長ダイヤモンド MISFET を作製するために、新たに FET 作製プロセスを開発した。⁽¹⁹⁾ このプロセスにおいても水素終端構造にダメージを与えないために、100 $^{\circ}\text{C}$ 以上の高温プロセスおよびプラズマプロセスは一切用いていない。図5にサブ 0.1 μm チャネル長 MISFET の断面素子構造を示す。はじめに、薄いソース、ドレインオーミック電極（金）を電子ビームリソグラフィーおよびリフトオフ法を用い近接させて作製する。電子線レジストとして日本ゼオンの ZEP520 ポジレジストを用い、リソグラフィー装置として、東京テクノロジー社の BEAM DRAW（SEM は日本電子製 JEOL5310）を用いた。なお、薄いソース、ドレイン電極は 10 - 20 nm 程度の厚さである。ここで、近接させて作製したソース、ドレイン電極の間隔がチャネル長となる。次に、ソースおよびドレイン電極に対して若干の重ね領域を含んだ形でゲートリソグラフィーを行う。ここで、抵抗加熱蒸着法を用いて CaF_2 ゲート絶縁膜を形成し、続いてゲート金属（銅）を蒸着し、リフトオフを行い FET を作製する。短チャネル効果のゲート絶縁膜厚依存性を調べるために、 CaF_2 膜厚を蒸着時間を変えることに

図6 新プロセスを用いて作製した 35nm ゲート絶縁膜厚を有する MISFET の静特性 (a) チャネル長 0.5 μm (b) チャネル長 70nm
Fig.6 $I_{\text{DS}}-V_{\text{DS}}$ characteristics of diamond MISFET with 35 nm gate insulator thickness of (a) 0.5 μm channel length and (b) 70 nm channel length.

よってコントロールし、15、25、35 nm とした。なお、測定精度を向上させるために、各電極は金によるめっき処理を行った。

図6(a)は35 nm の絶縁膜厚を有する0.5 μm チャネル長ダイヤモンド MISFET の $I_{\text{DS}} - V_{\text{DS}}$ 特性である。FET はノーマリオン特性を示しており、閾値は1.2 V である。ヒステリシスおよびゲートリーク電流は見られない。ドレイン電圧を3 V まで印加することにより、ドレイン電流の若干の立ち上がりがあるものの、最大ドレイン電流の2 %程度であり特性を大きく変えるものではない。さらに、ゲート絶縁膜厚を固定してチャネル長を70 nm に短縮したFETの $I_{\text{DS}} - V_{\text{DS}}$ 特性を図6(b)に示す。70 nm のチャネル長は現時点でダイヤモンド FET の最短である。ゲート ドレインブレークダウン電圧はチャネル長に依存せず、ほぼ5 V であった。5 V を超えると徐々にゲートリーク電流が発生し、致命的なゲートリーク電流となり特性が回復することはない。これにより、この素子におけるブレークダウンはゲート・ドレイン間のオーバーラップ領域での絶縁破壊によるものであると考えられる。特に、今回はソース・ドレイン電極の作製にリフトオフ法を用いたために、電極端において突起状の金が形成され、低耐圧化を招いている。

70 nm チャネル長MISFETは測定中において特性の変動は無く、安定した動作を確認したが、ドレイン電圧の印加に伴いドレイン電流の大きな立ち上がりが見られ、閾値もシフトを見せている。これはドレイン電圧の印加によってチャネル領域のポテンシャル障壁が低下させられているためと考えられる。

チャネル長の微細化に対する閾値の変化をゲート絶縁膜厚ごとにプロットした図を図7に示す。ここで、閾値はドレイン電圧0.1 V における $I_{\text{DS}} - V_{\text{GS}}$ プロットに挿印した直線により求めている。ゲート絶縁膜厚が35 nm と厚い場合、閾値の平均値はチャネル長が0.6 μm から70 nm へと微細化されるに伴い0.7 V 程度のシフトを見せている。一方ゲート絶縁膜厚を薄くすることによって閾値のシフトは大きく抑えられ、25 nm の絶縁膜厚を有する MISFET では1 μm から0.3 μm へのチャネル長微細化で0.2 V の閾値シフト量、15 nm の絶縁膜厚を有する MISFET においてはさらに0.75 μm か

図7 各ゲート絶縁膜厚による閾値のチャネル長依存性
Fig.7 The threshold voltage versus channel length for various gate insulator thicknesses. (I) 35 nm, (II) 25 nm, (III) 15 nm.

図8 0.17 μm チャネル長 MISFET の $I_{\text{DS}} - V_{\text{GS}}$ 特性
Fig.8 $I_{\text{DS}} - V_{\text{GS}}$ characteristics of 0.17 μm channel diamond MISFET with 15 nm gate insulator thickness.

ら0.17 μm へのチャネル微細化においても0.02 V の閾値シフト量にとどまる。

ゲート絶縁膜厚を薄膜化することによる効果は閾値のシフトを抑えることだけでなく、サブスレショルド特性の改善と言うメリットもあげられる。15 nm ゲート絶縁膜厚を有する0.17 μm チャネル長 MISFET の $I_{\text{DS}} - V_{\text{GS}}$ 特性を図8に示す。サブスレショルド領域ではドレイン電流の急峻な立下りを見せ、5桁を超えるオン/オフ比が実現している。サブスレショルド特性をあらわす評価法としてサブスレショルド係数 S があげられ、次のように求められる。

$$S = \frac{\partial V_{\text{GS}}}{\partial \log |I_{\text{DS}}|} \quad (1)$$

0.17 μm チャネル長の MISFET においては0.1 V/dec の低いサブスレショルド係数が得られている。

図9はゲート絶縁膜厚25 nm と15 nm におけるサブスレショルド係数のチャネル長依存性を示したものである。チャネル長が1.0 μm 付近においてはどちらの FET も共に0.1-0.15 V/dec 程度

図9 各ゲート絶縁膜によるサブスレショルド係数のチャネル長依存性
Fig.9 Subthreshold slope S vs. channel length for various gate insulator thickness, (II) 25 nm, (III) 15 nm

の低いサブスレショルド係数を示している。一般にサブスレショルド係数は界面準位の存在により劣化することが知られているが、この結果は水素終端ダイヤモンド-CaF₂ 界面の界面準位が小さいことを反映した結果であると言えよう。しかし、ゲート絶縁膜厚が厚い場合にはチャネル長が 0.6 μm を切ったあたりから急激にサブスレショルド係数が増大し 0.3 μm の MISFET においては 0.35 V/dec 程度まで劣化する。この急激なサブスレショルド係数の劣化は Si の MOSFET で見られるようなソース・ドレインの近接効果によるポテンシャルの低下によるものだと考えられる。ゲート絶縁膜が厚いことにより、絶縁膜が薄い素子よりもゲートによるチャネル内の垂直方向電界が弱まり、その結果ソース・ドレイン端のポテンシャルが下げられ易くなっている。15 nm のゲート絶縁膜を有する MISFET ではチャネル長 0.17 μm でもチャネル内のポテンシャルの引き下げが起こっていないことがデバイスシミュレーションからも示唆されており、この結果 0.1 V/dec のサブスレショルド係数が保たれていると考えられる。

Si-MOSFET では短チャネル効果を抑制するために、ゲート絶縁膜厚の薄膜化、チャネル領域のドーパ量制御、極薄接合の形成などを同時に行う必要がある。しかし、水素終端表面伝導層を用いた MISFET の場合では、伝導層が薄いためにディープサブミクロンチャネル長においてもゲート絶縁膜の薄膜化のみで対応できる。伝導層が 10 nm 以下であることを考慮すると、50 nm 以下のチャネル長においても適切なゲート絶縁膜厚を選ぶことにより短チャネル効果を抑えた素子の実現すると予想される。

5. むすび

水素終端ダイヤモンド表面伝導層を用いた FET の実現に向けて高周波特性、およびゲート微細化による電気的特性の変化を調査した。これにより次のような結果が得られた。

(1) セルフアライン法を用いてダイヤモンド FET を作製することにより寄生抵抗成分を低減し、高性能なダイヤモンド素子の作製に成功し、ダイヤモンドの持つ高い高周波素子としてのポテンシャルが示された。CaF₂ ゲート絶縁膜を用いた MISFET ではゲート絶縁膜容量の直列挿入によりソースゲート間容量の低減が実現し、大幅な高周波特性の改善が実現した。

(2) サブ 0.1 μm までチャネルの微細化が可能な MISFET 作製プロセスを新たに開発し、水素終端ダイヤモンド FET の短チャネル効果について評価した。極薄の伝導層を有する表面伝導層の利点により、ゲート絶縁膜を薄膜化するのみで閾値のシフトやサブスレショルド係数の劣化を抑えることができることが示された。

これらの結果から水素終端ダイヤモンド表面伝導層をチャネルとして用いることは高性能ダイヤモンド素子の実現に大きな可能性を持っていることが十分に示された。

本研究においては早稲田大学マイクロテクノロジーラボの落合澄氏、志村幸雄氏にご協力を頂いた。なお、本研究の一部は文部科学省 COE 形成基礎研究費および、科学研究費基盤研究 (B) (09555103 および 10450127)、村田学術振興財団研究助成により行われた。また、本研究成果の一部は理工総研プロジェクト研究「高

機能ダイヤモンド電子デバイスおよびセンサーの開発」の一環として行われたものである。

(平成 13 年 5 月 14 日受付)

文 献

- (1) E.O.Johnson, RCA Rev., vol.26, p.163 (1963).
- (2) R.W.Keyes, Proc. of the IEEE, vol. 63, p. 740 (1975).
- (3) H.Shioda, Y.Nishibayashi and N.Fujimori, Jpn. J. Appl. Phys. 28, L2153 (1989).
- (4) G.Sh.Gildenblat, S.A.Grot, C.W.G.Hatfield and A.R.Badzian, IEEE Electron Device Lett. EDL-12, 37 (1991).
- (5) C.R.Zeise, C.A.Hewett, R.Nguyen, J.R.Zeidler and R.G.Wilson, IEEE Electron Device Lett. EDL-12, 602 (1991).
- (6) H.Shioda, Y.Nishibayashi, N.Toda and S.Shikata, IEEE Electron Device Lett. EDL-16, 36 (1995).
- (7) A.Aleksov, A.Vescan, M.Kunze, P.Gluche, W.Ebert, E.Kohn, A.Bergmaier and G.Dollinger, Diam. Relat. Mater. 8, 941 (1999).
- (8) Y.Yun, T.Maki and T.Kobayashi, J. Appl. Phys. 82, 3422 (1997).
- (9) H.Kawarada, Surf. Sci. Rep.26, 205 (1996).
- (10) K.Hayashi, S.Yamanaka, H.Okushi and K.Kajimura, Appl. Phys. Lett., 68, 376 (1996).
- (11) H.Kawarada, M.Aoki and I.Ito, Appl. Phys. Lett., 65, 1563 (1994).
- (12) A.Hokazono and H.Kawarada, Jpn. J. Appl. Phys., 34, 4667 (1997).
- (13) A.Hokazono, T.Ishikura, K.Nakamura, S.Yamashita and H.Kawarada, Diam. Relat. Mater., 6, 339 (1997).
- (14) H.Umezawa, K.Tsugawa, S.Yamanaka, D.Takeuchi, H.Okushi and H.Kawarada, Jpn. J. Appl. Phys., 38, L1222 (1999).
- (15) H.Umezawa, H.Taniuchi, T.Arima, M.Tachiki, K.Tsugawa, S.Yamanaka, D.Takeuchi, H.Okushi and H.Kawarada, Jpn. J. Appl. Phys., 39, L908 (2000).
- (16) Y.Yun, T.Maki, Y.Shirakawa and T.Kobayashi, Jpn. J. Appl. Phys., 37, L1293 (1998).
- (17) H.Taniuchi, H.Umezawa, T.Arima, M.Tachiki and H.Kawarada, IEEE Electron Device Lett., EDL-22, 390 (2001).
- (18) 岩井洋, 百瀬寿代, 応用物理, 64, 1074 (1995).
- (19) H.Umezawa, T.Arima, Y.Ohba, H.Ishizaka, H.Taniuchi, M.Tachiki and H.Kawarada, Proc. MRS Spring Meet. E8.2 (2001).

梅沢 仁

1975年8月29日生まれ。2000年3月早稲田大学大学院理工学研究科修了。同年 早稲田大学大学院博士後期課程入学。主に、ダイヤモンド水素終端表面伝導層を用いた FET の微細化プロセス開発を行い、FET の高利得化・高周波化に従事。現在 早稲田大学理工学総合研究センター 助手。

立木 実

1967年2月9日生まれ。1999年3月大阪大学大学院博士課程修了。工学博士。現在、早稲田大学理工学総合研究センター 客員講師。主に、ダイヤモンド単正孔トランジスタおよび、ヘテロエピタキシャル成長に従事。ダイヤモンドを用いたバイオ応用素子開発にも着手。

谷内 寛直

1977年9月14日生まれ。2000年3月早稲田大学理工学部卒業。同年 早稲田大学大学院理工学研究科入学。主に、ダイヤモンド FET の高周波化を目標として、高利得ダイヤモンド MISFET の開発に従事。

川原田 洋

工学博士。早稲田大学理工学部 電子・情報通信学科 教授。シリコンからダイヤモンドに移って15年道半ば。プラズマ、結晶成長、光物性、表面・界面物性、電子デバイスと進み、ナノ・バイオ材料としての可能性を探索中。

有馬 拓也

1976年12月1日生まれ。2000年3月早稲田大学理工学部卒業。同年 早稲田大学大学院理工学研究科入学。主に、ダイヤモンド水素終端伝導層上へのサブ0.1 μm チャネルトランジスタ作製プロセス、および短チャネル効果抑制素子開発に従事。

石坂 博明

1978年7月4日生まれ。2001年3月早稲田大学理工学部卒業。同年 早稲田大学大学院理工学研究科入学。主に、ダイヤモンド MMIC の実現を目標として、ダイヤモンド高周波・高出力デバイスの開発に従事。

藤原 直樹

1979年1月18日生まれ。2001年3月早稲田大学理工学部卒業。同年 早稲田大学大学院理工学研究科入学。主に、多結晶ダイヤモンドを用いたダイヤモンド MISFET 開発に従事。

大庭誉士和

1976年3月7日生まれ。1995年4月早稲田大学理工学部入学。2次元デバイスシミュレーションを用いた水素終端ダイヤモンド表面チャネルデバイスの動作解析に従事。