PLL/PWM モータ速度制御系の一構成法

正員 町田 秀和* 正員 小林 史典**

An Implementation of the One-Chip PLL/PWM Motor Control System

Hidekazu Machida*, Member, Fuminoro Kobayashi**, Member

A PLL/PWM motor speed control system, implementing a type of loop filter for PLL, utilizing counters, a multiplexer and a comparator as operation elements for PWM signals. As a result, it can be implemented as a one-chip IC featuring a low gate count.

In this paper, considering time resolution of integral operation, an improved circuit for removing steady phase error is proposed.

キーワード：PLL, PWM, モータ速度制御, FPGA

Keywords: PLL, PWM, motor speed control, FPGA

1. はじめに

Phase-Locked Loop(PLL)⁽¹⁾によるモータの速度制御系⁽²⁾は、回転速度だけでなく位相角度までも、水晶発振器からの正確な参照信号に同期させることができる。したがって、ビデオテープレコーダのヘッドの回転制御⁽³⁾などに幅広く適用されている。

PLL モータ速度制御系のコントローラであるループフィルタはアナログ回路で容易に実現できるが、構成部品の精度や温度ドリフトなど問題が多い。そこでデジタル回路での実現が望ましいが、そのままビットパラレル方式で実現すると回路規模が大きくなる上、出力値をアナログ電圧に変換する必要があり、さらにモータドライバの電力損失も問題となる。しかし直接 PWM 信号を出力できれば、D/A コンバータが不要となる上、効率の良い駆動が実現できる。

そこで本論文では、PLL の位相比較器の出力が PWM であることを利用し、コントローラの信号を入出力とも PWM 信号とすればローパスフィルタをカウンタやマルチプレクサを用いて構成でき⁽⁴⁾、加算器を用いるビットパラレル方式よりも回路規模を小さくできることを示す。これにより、

- (1) ドライバをパワー MOS-FET とすれば、回路全体を 1 チップ化実現することも容易である。

- (2) 時間領域演算であるためクロック速度を高めれば計算精度が改善できる。

メリットを得られる。ただし基準入力周波数 f_1 に対して十分な計算精度が持てることを解析しておく必要がある。

以下、2 章で本制御系の構造を示し、3 章で FPGA(書き込み可能な大規模 IC) による実験例を紹介する。そして 4 章で速度リップルと位相偏差の発生状況を示し、それを抑制する回路を新たに提案する。

2. 制御系の構成

〈2・1〉従来の PLL モータ速度制御系 図 1 に、典型的な PLL モータ速度制御系⁽¹⁾のブロック線図を示す。

図 1 PLL モータ速度制御系のブロック線図

Fig. 1. PLL motor speed control system.

PLL の基本的な構成要素は、位相比較器 (PD)、ループフィルタ (LF) および電圧制御発振器 (VCO) である。PLL モータ速度制御系では VCO がモータとエンコーダに置き換わる。各構成要素の役割を簡単に説明する。

位相比較器 基準入力信号とエンコーダの回転パルスの位相を比較し、位相差に比例した電圧を一般的には PWM 信号で出力する。その比例ゲインを K_d で表す。

*舞鶴工業高等専門学校
〒 625-8511 京都府舞鶴市宇白屋 234
Maizuru College of Technology.

**九州工業大学情報工学部
〒 820-0067 福岡県飯塚市大字川津 680 番 4
Kyushu Institute of Technology.
680-4, Kawazu, Iizuka, Fukuoka 820-0067

ループフィルタ 低次数のローパスフィルタである。制御性能を決定する最重要な要素である。

モータ 入力電圧に対する回転速度の応答は一次遅れに近似する。回転角度はロータリエンコーダによりパルス列として検出される。伝達関数 $M(s)$ を次式に示す。

$$M(s) = \frac{1}{s} \frac{K_m}{1 + T_m s} \dots\dots\dots (1)$$

ここで、 K_m はモータゲイン、 T_m はモータ時定数である。また、積分要素 $1/s$ はエンコーダによる位相角度検出である。

プログラマブルデバイダ エンコーダの周波数を $1/N$ 倍してフィードバックするとロック時にはエンコーダ周波数 f_2 は参照周波数 f_1 の N 倍となる。 N の値はスイッチ等で外部から任意に設定できる。条件が許せば f_1 を適当な値に設定することができる。これにより f_1 を低く設定することができ、後述する積分や加算の演算分解能を確保することができる。

ここで、制御系を 2 型として定常位相偏差を 0 とし、またリップルを完全に除去するために、ローパスフィルタを次式の PI 型とする。

$$F(s) = \frac{1 + \tau_2 s}{\tau_1 s} = \frac{K_I}{s} + K_P \dots\dots\dots (2)$$

ここで $K_I = 1/\tau_1$ を積分ゲイン、 $K_P = \tau_2/\tau_1$ を比例ゲインと呼ぶ。各ゲインの設計については第 3 章で述べる。すると一巡伝達関数 $G_O(s)$ は次式となる。

$$G_O(s) = K \frac{1 + \tau_2 T_m s}{s^2 (1 + T_m s)} \dots\dots\dots (3)$$

ここで $K = \frac{K_d K_m}{\tau_1}$ を一巡ゲインと呼ぶ。

〈2・2〉 PLL/PWM コントローラ この PI フィルタはアナログ回路で容易に実現できるが、構成部品の精度や温度ドリフトなど問題が多い。そこで、デジタル回路での実現が望ましいが、そのままビットパラレル方式で実現すると回路規模が大きくなる上、出力値をアナログ電圧に変換する必要がある。しかし直接 PWM 信号を出力できれば D/A コンバータが不要となる上、電力損失的にも効率の良い駆動が実現できる。

ところで、デジタル回路による位相検出器 (位相-周波数検出器 (PFD) ⁽¹⁾) の出力は、デューティ比が位相差と比例する PWM 信号である。したがって、PI フィルタの信号は入出力とも PWM 信号であって回路方式の工夫により、図 2 に示す小規模な回路でフィルタが実現できる。実際に、図中の破線内の回路を 1 チップの IC で実現することができ、高速なパワートランジスタをモータドライバとして一箇外付けするだけで高性能を期待できる。

この、PWM 信号の次元で PI(積分+比例) 演算を実現する様子を図 3 に示す。

図 3 PI コントローラの演算の様子
Fig. 3. PI action of the PLL/PWM.

図 2 PLL/PWM ワンチップモータコントローラ
Fig. 2. Block diagram of the one-chip PLL/PWM motor speed control system.

PFDの遅れ (lag) 出力は、基準入力 (周波数 f_1) の立上がりからエンコーダ出力 (周波数 f_2) の立上がり間だけ1となるPWM波形である。したがって、

積分演算 PFDの進み (lead)/遅れ (lag) のPWM出力信号をアップ/ダウンカウントすれば、ビットパラレル値への変換と同時に積分演算が行える。図3では,lag 信号が1のとき、一点鎖線で示すようにカウントアップしている。

加算演算 ビットパラレルの積分値を、ダウンカウンタに周期的にロードして三角波を発生し、それをコンパレータである閾値と比較すれば、PWM信号を発生することができる。この閾値をマルチプレクサによって位相の一致/進み/遅れで切り替えれば、それと同時に加算演算が行える。図3では,lag 信号が1のとき、破線で示すように、閾値が低くなりPWM出力が大きくなっている。

この場合の計算精度は、一基準周期 ($\frac{1}{f_1}$) に対する積分カウント速度および三角波の個数であることが分かる。計算精度が不足した場合の状況と対策については第4章で述べる。

〈2・3〉 周波数特性 本コントローラはPIフィルタであり、制御系は2型3次である。ここで位相進み補償を行い位相余裕を確保するために $\tau_2 > T_m$ とし、 τ_2 を次式で与える。

$$\tau_2 = aT_m \quad (a > 1) \dots\dots\dots (4)$$

$a=10$ のときのボード線図は図4となる。

図4 一巡伝達関数のボード線図
Fig.4. Block diagram of the one-loop transfer function.

このときモータの遮断周波数 $\omega_m = 1/T_m$ で位相余裕は十分にある。ゲイン $|G_O(j\omega_m)|=0[\text{dB}]$ となる一巡ゲイン K は次式で求まる。

$$K = \frac{1}{T_m^2 \sqrt{\frac{a^2+1}{2}}} \dots\dots\dots (5)$$

なお、位相余裕 PM は次式で計算できる。

$$PM = \tan^{-1} \frac{a-1}{a+1} [deg] \dots\dots\dots (6)$$

〈2・4〉 極配置 極零配置⁽²⁾を図5に示す。右側の1つの極が支配的なため、ほぼ2次系の応答をすると考えられるが、 N が大きくなるとループゲインが減少して2つの複素共役極が原点に近づくことにより、振動周波数および減衰係数が小さくなるので、整定時間が長くなってしまう。

図5 PLL モータ速度制御系の極配置
Fig.5. Pole assignment of the PLL motor speed control system.

3. FPGA による実験

図2の回路を1チップのFPGA(書き込み可能な大規模IC)で実現し、実験を行った。

〈3・1〉 各部のゲイン PLL/PWMコントローラはアップダウンカウンタに積分した値を、PWM出力するのでPIゲインの設定は図6ようになる。

今モータが最高回転数でロックしているときに加わる電圧を V_{max} とすると、位相遅れ時には比例動作のため最大 $V_{max} + K_P$ の平均電圧をモータに加える必要がある。したがって、モータへの供給電圧 V_{dd} はそれより大きくする。各ゲインの実現手順は次のようになる。

図6 PWM 信号のゲイン設定
Fig.6. A gain setting of the PWM signal.

- (1) 電圧の分解能は、 n -bit カウンタの場合、 $V_{res} = V_{dd}/2^n$ となる。なお、カウンタの大きさ n は量子化精度だけでなく、カウンタでのカウント速度に関係する。具体的には、積分演算を行うアップダウンカウンタの積分周波数 clk_2 および、PWM 波形を発生するためのノコギリ波を生成するダウンカウンタの

カウント周波数 ($\text{clk}_3 = f_{\text{PWM}} \times 2^n$ ただし f_{PWM} は発生させる PWM 信号の周波数) に関係する。

- (2) 位相余裕 PM は 30 度以上必要であるので式 (6) より $a > 3.73$ とする。このときの一巡ゲイン K は式 (5) から計算できる。
- (3) 比例ゲイン K_P は次式で計算できる。

$$K_P = \frac{\tau_2}{\tau_1} = \frac{aT_m K}{K_d K_m} \dots\dots\dots (7)$$

デジタルの閾値へは K_P/V_{res} で変換する。ここで位相比較器のゲイン $K_d = V_{\text{dd}}/2\pi$ であるが、 K_P が制限値 $V_{\text{dd}} - V_{\text{max}}$ を超えないようにするには、 V_{dd} を高く設定して K_d を大きくすればよい。なお K_P は a にはほぼ無関係である。

- (4) 積分ゲイン K_I は次式で計算できる。

$$K_I = \frac{1}{\tau_1} = \frac{K}{K_d K_m} \dots\dots\dots (8)$$

(1)で述べたようにカウンタの大きさに関係して、アップダウンカウンタのカウント速度は $\text{clk}_2 = K_I/V_{\text{res}}$ となる。 K_I は PLL の引き込み速度の指標⁽¹⁾である。 K_I は a にはほぼ反比例するが、安定性の観点からは a は大きく取ったほうがよい。

ここで問題となるのは、PWM 信号の周波数がパワートランジスタの周波数特性からあまり高められず参照周波数 f_1 と近い場合、PWM 信号が荒く出力され、加算の演算がほとんど行われなくなることである。これに対しては、可能な範囲でプログラマブルデバイダの分周比 N を大きくして、 f_1 を低くして分解能を高める必要がある。

〈3・2〉動作確認 次に図 2の条件で実験した結果を以下に示す。なお、FPGA は Altera 社の EPF10K10QC208-4であり、使用ゲート数は 2700 程度である。そして、最大遅延時間は 25.4nsec であり、最大クロック周波数は 39.37MHz である。なお、パワートランジスタにはバイポーラトランジスタの 2SD633 を用いた。

速度ロック範囲 加算演算の閾値約 1.4V から、アップダウンカウンタが飽和しない 12V までの範囲全てにわたってモータ速度をロックすることができた。

入出力波形 図 7に参照入力信号 u_1 とモータのエンコード出力信号 u_2 波形を示す。周波数だけでなく位相までも偏差 0 で常に一致していることが分かる。

図 7 PLL/PWM 入出力波形 (上: u_1 , 下: u_2)

Fig. 7. Input (upper) and output (lower).

PWM 加算演算波形 図 8に速度ロック時の PFD の遅れ信号出力 lag と、コンパレータの PWM 出力信号の関係を示す。lag='1'の時に PWM 出力のデューティ比が大きくなり、低い閾値への切り替えによる加算が行われている様子が分かる。

図 8 PWM 加算演算波形 (上:lag, 下:PWM)

Fig. 8. Lag(upper) and PWM(lower).

〈3・3〉スピードグラフ 図 9と図 10にモータ回転数の時間応答をそれぞれ参照周波数 $f_1 = 100, 1000\text{Hz}$ の場合について示す。ただし、いずれも PWM 周波数=19.5kHz であり、低速回転 $f_2' = 8\text{kHz}$ と高速回転 $f_2' = 20\text{kHz}$ の 2つの応答を示している。

f_1 あるいは f_2' が低く分周比 N が大きいたまには、〈2.4〉の考察通りに整定時間が長くなっており、計算精度を高めるために f_1 を低く N を大きくするのにも問題がある。さらに f_1 がモータの遮断周波数に対して低すぎると離散時間系特有の陰の応答も現れるので望ましくない。対策としてはエンコーダの分解能を高くするのが効果的である。

なお、立ち上がり時は階段状に加速していくが、これは PLL 特有のブルイン現象である。

図 9 Speed graph: $f_1 = 100\text{Hz}$, $N = 80, 200$

Fig. 9. Speed graph: $f_1 = 100\text{Hz}$, $N = 80, 200$.

図 10 Speed graph: $f_1 = 1000\text{Hz}$, $N = 8, 20$

Fig. 10. Speed graph: $f_1 = 1000\text{Hz}$, $N = 8, 20$.

4. 速度リップルと位相偏差

図9、図10ではロックした後、速度リップルが生じている。速度リップルが発生する要因の一つは、カウンタの量子化誤差にある。

さらに積分の演算精度が低いと、積分ゲイン K_I が小さい場合には図11に示すように lead あるいは lag が1の時に clk2のエッジが存在しないためミスカウントの危険がある。

図11 ミスカウントとその対策

Fig. 11. Behavior of the miss count.

ミスカウントが発生すると位相ロックがその瞬間だけ外れ、ビデオテープレコーダの回転ヘッド角制御などにとっては好ましくない。

これを解決するためにはオーバーサンプリングすなわちアップダウンカウンタの語長を増加して積分周波数を高め、上位8ビットを(ダウンカウンタに)取り出せばよい⁽⁵⁾。

図12に位相誤差の時間応答のシミュレーション結果を示す。図9、図10のスピードグラフでは分からないが、分解能が低いとミスカウントにより定常位相偏差が完全に0に落ち着いていない。しかし、カウンタ長を増して分解能を高めれば、定常位相偏差を無くすることができている。

実際に回路を構成する上では回路規模およびコストの面が問題となる。例えば、高速だが小規模なFPGAなどに実現する場合にはカウンタ長を増すことは困難である。また量子化誤差を小さくするためには上位の出力ビット長を増すことが有効であるので、制御系の仕様に依じてビット長の配分をどのようにするのかを十分に検討すべきである。

図12 位相偏差の変動

Fig. 12. Variation of the phase error.

5. おわりに

PLLによるモータの速度制御系を、PWM信号の性質を利用することにより小規模なデジタル回路で実現する方法について述べた。本回路を1チップのFPGAで実験して、幅広い回転数で速度ロックが達成でき、また速度および位相偏差が零になることを確認した。

さらに、この回路で参照周波数と積分周波数の比が小さい場合は、カウンタで実現する積分演算にミスカウントが生じて位相偏差が0に落ち着かないことを指摘した。これに対してオーバーサンプリングを行えば、分解能を確保でき、位相偏差を定常的に0とすることができることを示した。

なお、PIフィルタに微分D動作を加えれば速度リップルを抑えることができる⁽⁶⁾。この微分もPWM信号の差分で実現することが可能であるので、今後の研究課題とする。(平成14年4月12日受付, 同14年8月26日再受付)

文 献

- (1) R.E.Best:Phase-Locked Loops 4th.ed.,McGraw-Hill (2000)
- (2) A.W. Moore: "Phase-locked loops for motor speed control" IEEE spectrum, pp.61-67 (1973-4)
- (3) K. Yanagisawa: PLL(Phase-Locked Loops)Applied circuits p.206, Sougou Denshi(1977) (in Japanese)
柳沢 健: PLL(位相同期ループ) 応用回路、総合電子出版, p.206 (1977)
- (4) F.kobayashi and T.Chuma: "PLL/PWM 1-Chip Motor Controller", p.236, SICE Kyushu (1996) (in Japanese)
小林・中馬: PLL/PWM1 チップモータコントローラ, 第14回計測自動制御学会九州支部学術講演会, p.236 (1995)
- (5) H.Machida and F.Kobayashi: "A resolution analysis of the one-chip PLL/PWM motor controller", 304C-3,SICE2000 (in Japanese)
町田・小林: PLL/PWM モータコントローラの分解能解析、計測自動制御学会学術講演会, 304C-3 (2000)
- (6) A. Takano: "PLL Speed Control of Quick Torque Controlled Induction Motor with Disturbance Compensation" Trans. IEE Japan, Vol 113-D, No.4, pp.495-502 (1993-4) (in Japanese)
高野明夫: 外乱補償を施した高速トルク制御誘導電動機のPLL速度制御、電学論D、113 4、pp.495-502 (1996-4)

町田 秀 和 (正員) 1962年10月生。87年3月長岡技術科学大学大学院機械システム工学専攻修了。87年舞鶴工業高等専門学校機械工学科助手。現在電子制御工学科講師。FPGAによる制御器のデジタル実現に関する研究に従事。

小林 史 典 (正員) 1949年5月生。80年3月東京工業大学大学院制御工学専攻修了(工学博士)。同年4月長岡技術科学大学機械系。同大学情報処理センター兼任を経て、89年九州工業大学情報工学部制御システム工学科。現在同学科教授。計測、制御における回路とシステムの研究に従事。