プラズマ CVD-SiN_x 膜を用いた InP・MIS 構造の界面特性

正員 安原直俊 (青山学院大)

正員 上村喜一 (東京工芸大)

正員 國岡昭夫 (青山学院大)

正員 酒井善雄 (青山学院大)

1. ま え が き

Ⅲ-V 族化合物半導体は、Si では実現不可能な超高速 IC やマイクロ波素子材料として注目されている。その中で InP は室温動作に適した禁制帯幅を持ち、電子のドリフト速度の最大値が GaAs よりも大きい⁽¹⁾などの特長を持っており、更に近年反転形 MISFET の動作が確認されて⁽²⁾⁽³⁾、以前にも増して強い関心が寄せられている。Si が現在のように各種半導体素子材料として広く用いられるに至った要因の一つは、その熱酸化 SiO₂ 膜を用いて良好な MIS 構造が得られることであるとされている。InP においても、電子素子材料として広く実用化されるためには界面特性の良い絶縁膜の開発が不可欠であると確認され、これまでに種々の絶縁膜を用いた InP・MIS 構造が試作されている⁽⁴⁾⁽⁵⁾。

InP 上に形成する絶縁膜としては Al₂O₃⁽⁶⁾⁽⁷⁾、SiO₂⁽⁸⁾、P₂N₅⁽⁸⁾ などが報告されており、伝導帯近傍での界面単位密度が GaAs の場合よりも一けた以上小さいことが知られている。更に、反転形 MISFET が InP を用いて試作され⁽³⁾⁽⁹⁾⁽¹⁰⁾、チャンネル中の電子の実効移動度として 1,500~3,000 cm²/V・s という高い値が報告されている⁽⁹⁾。

しかしながら、InP・MISFET の特性には、Si・

MOSFET では見られないドレイン電流の長時間に及ぶ減少が現われるなど、InP と絶縁膜の界面特性は Si の場合ほど十分に解明されてはいない。これまでに我々は Al₂O₃、SiO₂ などを絶縁膜として用いた InP・MIS 構造の界面特性について検討してきたが⁽⁶⁾⁽¹¹⁾⁽¹²⁾、ここではプラズマ CVD 法による窒化シリコン(SiN_x)膜を絶縁膜として取上げ、InP との界面特性を検討すると共に、InP を用いた反転形 MISFET を試作した結果について報告する。

2. 絶縁膜の形成

〈2.1〉 プラズマ CVD 装置 プラズマ CVD 法によって形成される窒化シリコン(SiN_x)膜は低温形成が可能であり、高い抵抗率(〜10¹⁵Ω・cm)と絶縁破壊電界強度(〜10⁷V/cm)をもち、Na イオンに対して高い拡散障壁として働くなどの特長を有しており、Si 素子の最終パッシベーション膜などに用いられている。

本論文で用いたプラズマ CVD 装置の概略を図 1 に示す。原料ガスとして、ともに水素で 10% に希釈したシラン(SiH₄)とアンモニア(NH₃)を用いた。プ

Interface Properties of SiN_x-InP MIS Structure Prepared by Plasma CVD. By Naotoshi Yasuhara, Member (Department of Electrical Engineering and Electronics, Aoyama Gakuin of University), Kiichi Kamimura, Member (Department of Electronics, Tokyo Institute of Polytechnics), Akio Kunioka, Member & Yoshio Sakai, Member (Department of Electrical Engineering and Electronics, Aoyama Gakuin University).
安原直俊: 正員, 青山学院大学理工学部電気電子工学科 (現在, TDK 株式会社)

上村喜一: 正員, 東京工芸大学工学部電子工学科 (現在, 信州大学)
國岡昭夫: 正員, 青山学院大学理工学部電気電子工学科
酒井善雄: 正員, 青山学院大学理工学部電気電子工学科

図 1 プラズマ CVD 装置の概要

Fig. 1. Plasma CVD apparatus for SiN_x film deposition.

ラズマ励起には、2 MHz の高周波電源を用い反応管(石英管)外周に設けた容量結合形リング状電極に給電する方式を採用している。SiN_x 膜は、外部抵抗加熱炉によって加熱された InP 基板上に形成される。排気系は油拡散ポンプ、油回転ポンプ、液体窒素トラップによって構成されている。ガス流量はフローメータを用いて測定し、反応中の圧力はピラニーゲージで測定した。反応中の圧力と流量はニードルバルブと排気バルブの開閉により調節した。

この構成の特長は、到達真空度が高いので残留酸素濃度が低いこと、またプラズマ励起用電極がスパッタされないので電極からの汚染がないことなどである。

〈2・2〉 SiN_x 膜の形成とその特性 前記の装置を用いて基板温度、SiH₄ 流量、SiH₄ に対する NH₃ の流量比 (NH₃/SiH₄)、高周波電力、反応中の圧力などのパラメータを変えて形成した SiN_x 膜の性質、半導体との界面特性などを検討した。

代表的な SiN_x 膜の形成条件は、

基板温度 $T=400^{\circ}\text{C}$

流量比 $\text{NH}_3/\text{SiH}_4=10$

(SiH₄+H₂ の流量, 25 cc/min)

高周波電力 $P=200\text{ W}$

ガス圧力=200 Pa

である。

以下、おおむねこの条件で SiN_x 膜を約 1,200 Å の厚さに形成して MIS 構造を構成した。最初に SiN_x 膜自体の性質を調べるため、Si 基板上に形成した膜について電流-電圧特性、容量-電圧特性、赤外吸収スペクトルの測定を行なった。

電流-電圧特性から、 $1\times 10^6\text{ V/cm}$ 以下の電界強度において $10^{14}\Omega\cdot\text{cm}$ 以上の抵抗率を有し、高電界領域で Poole-Frenkel 形の電流輸送を示すことがわかった。また、Si 表面が蓄積状態となるようにバイアスしたときの容量値から SiN_x 膜の比誘電率を求めると、およそ8であった。更に、高抵抗 Si 基板 ($\rho\approx 3,000\Omega\cdot\text{cm}$) 上に形成した膜の赤外吸収スペクトルを測定した。図2がその結果であり、酸素が関係するピークが見られないことから、酸素はほとんど混入していないこと、Si-H、N-H などに関係するピークが現われていることから水素が含まれることなどがわかる。

3. SiN_x-InP 界面特性の検討

〈3・1〉 試料の製作 実験に使用した InP 基板は面方位 (100)、キャリア濃度 $0.5\sim 1\times 10^{16}\text{ cm}^{-3}$ の n 形ウェーハと、面方位 (100)、キャリア濃度 $5\sim 1\times$

図2 SiN_x 膜の赤外吸収特性

Fig. 2. Infrared absorption spectra of SiN_x film.

10^{16} cm^{-3} の p 形ウェーハである。

基板は粒径 $0.3\mu\text{m}$ のアルミナ粉で機械的に鏡面研磨した後、1%のBrメタノール液によって2分間室温で化学エッチングを行ない、メタノールでエッチングを停止し、表面を窒素ガスで強制乾燥して使用した。オーミック電極は n 形 InP に対しては In を圧着し、p 形 InP に対しては Au/Zn (Zn: 10 wt%) を真空蒸着後 $400\sim 430^{\circ}\text{C}$ 、5分間熱処理して形成した。これらの電極は、いずれも液体窒素温度まで良好なオーミック特性を示した。また、ゲート電極は Al をステンレス鋼製のマスクを用いて直径 0.5 mm の円形に真空蒸着して形成した。

〈3・2〉 容量-電圧特性 製作した SiN_x-InP・MIS ダイオードの容量-電圧特性を測定し、界面状態を評価した。周波数 1 MHz における測定には Boonton-72 BD、周波数を変化させる測定には YHP 4275 A を使用した。直流バイアスの掃引は 0.1 V/s の三角波を用いている。

図3に n 形 InP を用いた MIS ダイオードの容量-電圧特性を示した。図では、絶縁膜形成条件の中でシランに対するアンモニアの流量比をパラメータとしたが、これらの条件下では流量比 10 が最適であることがわかる。他の絶縁膜形成条件に関しても同様な検討を行なった結果、基板温度 400°C 、反応管内の圧力 200 Pa、流量比 (NH₃/SiH₄) 10 という条件が最適であった。

また図3からわかるように、最適条件下で作られた試料は正電圧側から負電圧側へとそれぞれ明確な蓄

図 3 n-InP・SiN_x MIS ダイオードの
容量-電圧特性

Fig. 3. Capacitance-voltage curves of n-InP MIS diodes.

積、空乏、反転状態を示している。更に、キャリア注入形ヒステリシスループが見られること、フラットバンド電圧が正であることなどがわかる。SiO₂、Al₂O₃などを用いた InP・MIS 構造では、フラットバンド電圧は負の値となる場合が多いが⁽⁶⁾⁽⁸⁾、図 3 のそれは正の値となっており、界面付近に正電荷が存在していることを現わしている。

MIS 容量の最小値 C_m は次式で表わされる⁽¹³⁾。

$$C_m = \frac{\epsilon_0 \epsilon_i}{d + (\epsilon_i / \epsilon_s) W_m} \dots \dots \dots (1)$$

$$W_m = \left\{ \frac{4 \epsilon_0 \epsilon_s k T \cdot \ln(N_D / n_i)}{q^2 N_D} \right\}^{1/2} \dots \dots \dots (2)$$

ここで、 C_m : 高周波測定時の反転領域の MIS 容量、 W_m : 最大空乏層幅、 d : 絶縁膜の厚さ、 ϵ_s : 半導体の比誘電率、 ϵ_i : 絶縁膜の比誘電率、 ϵ_0 : 真空の誘電率、 n_i : 真性キャリア濃度、 N_D : 半導体基板のドナー濃度、 q : 電子の持つ電荷量、 k : ボルツマン定数、 T : 絶対温度

これらの式を用い、絶縁膜容量と反転領域における MIS 容量の値とから基板のキャリア濃度（不純物濃度）を算出することができる。最適条件に近い状態で SiN_x 膜を作成した MIS ダイオードの容量-電圧特性の測定値と、これらの式を用いて試料を評価すると、すべての試料において絶縁膜形成前に $0.5 \sim 1 \times 10^{16} \text{ cm}^{-3}$ であったキャリア濃度が、形成後 $5 \times 10^{14} \sim 3 \times 10^{15} \text{ cm}^{-3}$ に減少していることが判明した。

この原因として、熱などによる基板のキャリア濃度変化と、プラズマによる損傷などに起因する表面付近のキャリア濃度変化とが考えられるが、どちらが主因

図 4 容量-電圧特性の周波数依存性

Fig. 4. Dependence of capacitance-voltage characteristics on frequency.

であるかは断定できない。

この C_m から算出したキャリア濃度の値を用いて、界面単位密度 N_{ss} を微分法 (Terman 法) を適用して求めると、伝導帯から禁制帯中央にかけて減少する分布をとり、伝導帯下 0.25 eV 程度の位置で最少値 $N_{ss} = 6 \times 10^{11} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ という値が得られた。この値は、GaAs が $10^{12} \sim 10^{13} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ 以上の値をとる⁽⁹⁾ のと比較して、およそ一けた小さな値である。また、他の絶縁膜を用いた InP・MIS 構造の場合⁽²⁾⁽⁷⁾⁽¹³⁾ と比較して、同程度または幾らか大きい値となっている。

p 形試料では C_m の値は基板のキャリア濃度から期待されるよりも大きな値となり、界面単位密度は n 形の場合と比べ一〜二けた大きな値となった。ここでは、SiN_x 膜を用いた n チャネル反転形 MISFET の試作を目的の一つとしているため、表面における伝導帯付近の状態をまず知ることが必要となる。そこで、伝導帯近くの情報が得られる n 形 InP を用いた MIS 構造について検討を行なった。

〈3.3〉 容量-電圧特性の周波数依存性 GaAs を用いた MIS 構造では、測定周波数を変えて容量-電圧特性を測定した場合、高い周波数になるにつれて蓄積領域の容量値が減少し、100 kHz ~ 1 MHz では蓄積状態の方向にバイアス電圧を増加させても容量値がほとんど増加しないことが知られている⁽³⁾。そこで、InP・MIS 構造についても容量-電圧特性の測定周波数に対する依存性を検討した。

図 4 は、n 形 InP 基板上に形成した MIS 構造の容量-電圧特性の測定周波数を 10 kHz から 10 MHz まで変化させて測定したものである。図から、絶縁膜容量が現われる蓄積側において、測定周波数が高くな

るに従って容量が低下する現象が見られる。このような周波数分散は、化合物半導体を用いた場合に比較的多く見受けられ、特にたい積法によって形成された絶縁膜にほとんど例外なく見られる⁽⁶⁾⁽¹²⁾。

GaAs・MIS 構造における蓄積容量の周波数依存性は、高密度に存在している界面単位の充放電に起因した界面単位容量の周波数分散によるものであると説明されている⁽³⁾⁽¹⁴⁾。すなわち、表面においてフェルミ単位の位置は変化せず蓄積状態には達しないが、界面単位容量のため見かけ上蓄積状態と同様な容量値となっており、その界面単位容量の周波数分散が見かけ上の蓄積容量の周波数分散として現われているものであるとされている。

これに対して、図4に示した InP・MIS 構造では、容量-電圧特性が 10 MHz においても明確な蓄積、空乏、反転状態を示していること、また Si 基板を用いた場合にも同様な蓄積容量の分散が現われること、加えて後述のように反転形 MISFET が動作することなどから、GaAs・MIS 構造の場合とは明らかに異なり、絶縁膜自体の誘電分散が主要な原因であると考えられる。

〈3・4〉 容量-電圧特性の温度依存性 界面の様子を更に詳しく調べるために、測定温度を変化させて InP・MIS ダイオードの容量-電圧特性を測定した。

図5は、n 形 InP を用いた試料について室温から 80 K までの温度範囲で測定したものである。図5に現われた特性では、低温になるに従って容量-電圧特性は蓄積側の容量の低下と共に曲線の傾きが小さくなり、測定温度 120 K 以下では正電圧方向の掃引における特性は平坦になっている。また、温度低下に伴って反転側容量の減少も観測されている。

このような変化の原因としては、前述の周波数分散の場合とは異なり、絶縁膜の誘電率の温度変化では説

図5 容量-電圧特性の温度依存性

Fig. 5. Dependence of capacitance-voltage characteristics on temperature.

明できない。図5に示した測定結果は、温度を下げると共に半導体表面近くに高抵抗層が現われたものと考えられる。すなわち、プラズマによる損傷のため表面近くに形成されたトラップに自由電子が捕獲され、この部分が高抵抗となって印加電圧の一部がここに加えられることが原因で、バイアス電圧に対する容量値の変化が小さくなったものである。

このことを確かめるため、形成した SiN_x 膜を取り去り、そこに金属電極を蒸着してショットキー接触を形成し、容量-電圧特性の温度変化などを測定した。

〈3・5〉 ショットキー接触の容量-電圧特性

図6は、表面に形成した SiN_x 膜をフッ化アンモニウムを用いて取去った後、そのまま Al を蒸着して作ったショットキーダイオードの室温ならびに液体窒素温度における容量-電圧特性から $1/C^2$ を求め、印加電圧に対して示したものである。傾きからドナー濃度を算出すると、 $1.7 \times 10^{15} \text{ cm}^{-3}$ となる。この値は、絶縁膜形成前の基板のキャリア濃度 ($1 \times 10^{16} \text{ cm}^{-3}$) に比べて、およそ一けた程度小さくなっている。〈3・2〉節において、MIS 構造の C_m の値が基板のキャリア

図6 SiN_x 膜を除去した InP 表面に形成したショットキーダイオードの容量-電圧特性 (室温と 77 K)

Fig. 6. Temperature dependent capacitance-voltage characteristics of Schottky diode. The Schottky diode was prepared on the InP immediately after removing SiN_x film.

濃度から予測される値に比べて小さくなっており、表面付近のキャリア濃度の減少がその原因であると考えたが、図6に示した結果からもそのことが確かめられた。

ショットキーダイオードを低温にすると、容量値が小さくなり、拡散電位の値が見かけ上異常に大きくなっていること、 $1/C^2$ の電圧に対する傾きはほとんど変化せず、キャリア濃度は室温でも液体窒素温度でもほぼ等しいことなどがわかる。

〈3・6〉表面損傷層を考慮したモデル 図5と図6に示した結果から、表面に存在すると考えられる高抵抗層に関する事項を要約すると以下ようになる。まず図5から、

- ① 低温にするとフラットバンド電圧が正に大きくなる。
- ② 低温にすると容量値が小さくなる。この傾向は蓄積側で著しい。
- ③ 容量の最小値から得られる不純物濃度の値は、基板のキャリア濃度よりも小さい。

また同様に、図6から

- ④ 低温では $V=0$ における容量値が異常に小さい。
- ⑤ 拡散電位の値が、とりわけ低温で異常に大きい。
- ⑥ 印加電圧 V に対する $1/C^2$ の傾きは、液体窒素温度と室温とで大差がない。

ここで、①と④の現象は対応しており、低温では表面近くに多量の負電荷が存在していると考えられる。また、②と⑤の現象も対応しており、低温では表面近くにある程度の厚さを持った高抵抗層が形成されていると考えられる。

これらの事項から、プラズマ CVD による SiN_x 膜を用いた InP・MIS 構造では、半導体表面付近は図7のようになっているものと考えられる。すなわち、半導体表面にはプラズマ中の荷電粒子による損傷のため、電子に対するトラップがある程度の深さにまで形成され、低温でこれに電子が捕獲されるため図7の下の部分に示したような状態となり、①、②、④、⑤に要約されたような現象が現われる。室温では図7の下の部分に示したバンド図とは異なり、トラップが中性となっているため、より表面近くまでキャリア濃度はバルクの値となっており、⑥のような結果が得られたと考えることができる。⑥に要約したように、液体窒素温度でも $1/C^2$ の電圧に対する傾きに室温の場合と大差がないことから、図5、図6で見られたキャリア濃度の減少は、表面近くだけではなく、ある程度

図7 表面損傷層を考えたモデル

Fig. 7. Surface damaged layer model.

バルク内部にまで及んでいることがわかる。このキャリア濃度の減少が表面近くの十数 μm に限られるのかバルク全体に及んでいるかは、図5、図6からでは判断できない。しかし、キャリア濃度の減少と同時に図7に示したように、低温で表面にある程度の厚さを持つ高抵抗層が形成されているというモデルで図5、図6の結果をすべて説明できる。

この表面損傷層の成因に関して、 SiN_x 膜形成条件とショットキー接触の容量-電圧特性を比較することによって検討した結果、熱またはプラズマのどちらか一方のみではほとんど損傷を受けず、 $300\sim 400^\circ\text{C}$ においてプラズマにさらされている場合に著しいことがわかった。

表面損傷層に関しては、図7に示したモデルも含めてあいまいな点が残っているが、ここで示したデータだけではトラップの空間的、エネルギーの分布やバルクのキャリア濃度変化など、詳細に解明することはできない。これらについては更に実験・検討を行ない、別に報告する予定である。

4. MISFET の試作

〈4・1〉FET の作製 InP 表面の電流輸送現象を調べ、表面反転層の電子的性質を明らかにし、超高速 IC の基本となる MISFET の基礎的な特性を検討するため、プラズマ CVD- SiN_x 膜をゲート絶縁膜に用いた反転形 MISFET を試作した。製作工程をまとめると以下になる。

- (1) リフトオフ法によるソース・ドレイン電極形成 (Ni 真空蒸着)
- (2) ゲート絶縁膜 (SiN_x) 形成 ($\sim 1,200 \text{ \AA}$)
- (3) ソース・ドレイン電極用コンタクトホール形成
- (4) リフトオフ法によるゲート電極、ソース・ドレイン引き出し電極形成 (Al 真空蒸着)

使用した基板はキャリア濃度 $8 \times 10^{16} \text{ cm}^{-3}$ 、面方位

図 8 InP・MISFET の構造
Fig. 8. Structure of InP MISFET.

(100) の p 形 InP と抵抗率 $10^6 \sim 10^7 \Omega \cdot \text{cm}$ 、面方位 (111) B の半絶縁性 InP である。Ni-p-InP 接触は正孔に対しては 0.7 eV 程度の拡散電位を示し、電子に対してはオーミックに近い特性を示した。また、この Ni 膜は SiN_x 膜形成中に 400°C に加熱されるが、表面のボール・アップやショットキー障壁の低下がほとんど見られなかった。

作製した InP・MISFET の断面図ならびに表面写真を図 8 に示した。FET のゲート長 (チャネル長) は 20 μm、ゲート幅 (チャネル幅) は 175 μm、ゲート・ソース、ゲート・ドレイン電極間隔は 8 μm である。

〈4.2〉 InP・MISFET の静特性 作製した FET は、トランジスタ・カーブトレーサを用いて静特性が測定された。図 9 は、試作した InP・MISFET の代表的な静特性である。容量-電圧特性にヒステリシスループが観測されたように、FET の電流-電圧特性においてもヒステリシスループが現われている。ドレイン電流はゲート電圧で制御された飽和特性を示しており、InP 表面に電子反転層が形成されていることがわかる。この結果から、プラズマ CVD-SiN_x 膜をゲート絶縁膜に用いた InP・MISFET は、反転モードで動作することが確認された。

反転層をチャネルとする MISFET の非飽和領域の伝達コンダクタンス g_m は、

$$g_m = \frac{W}{L} \mu_{EF} C_i V_D \dots \dots \dots (3)$$

ここで、 W : チャネル幅、 L : チャネル長、 μ_{EF} : 実効移動度、 C_i : ゲート絶縁膜の単位面積あたりの容量、 V_D : ドレイン電圧という式で表わされる⁽¹⁵⁾。絶縁膜容量 C_i がわかれば、(3) 式と FET の静特性とから反転層中の電子の

図 9 InP・MISFET の静特性
Fig. 9. Static characteristics of InP MISFET.

実効移動度 μ_{EF} を求めることができる。この方法を用いて、図 9 に示した試料の静特性の非飽和領域から実効移動度を計算すると、 $0.47 \text{ cm}^2/\text{V} \cdot \text{s}$ となった。この値は、InP バルク中の電子移動度に比べると四けたほど小さい。実効移動度が非常に小さくなった要因として、〈3.4〉、〈3.5〉節で示したように SiN_x 膜形成時に生じた表面損傷層の存在が挙げられる。

以上の結果から、プラズマ CVD-SiN_x 膜は、MISFET のゲート絶縁膜として使用可能であることが示されたが、現在のところ界面特性などに問題が残されており、その形成条件の検討改善が必要とされる。

5. ま と め

Ⅲ-V 族化合物半導体の一つである InP について、半導体と絶縁膜の界面特性を調べることを目的とし、プラズマ CVD 法による SiN_x 膜を絶縁膜に用いた MIS ダイオード、MISFET を作製して特性を検討した結果、以下の事項が明らかとなった。

(1) 禁制帯中央から伝導帯底にかけて $10^{11} \sim 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ という値の界面準位密度を持つ。価電子帯側では更に一けた以上高密度である。

(2) 容量-電圧特性において周波数分散が見られたが、その原因は SiN_x 膜自体の誘電率の周波数分散が主要なものであると考えられる。

(3) SiN_x-InP 界面には、SiN_x 膜形成時のプラズマによる損傷のため変成層が形成される。このため、低温では InP 表面に高抵抗層が形成され、顕著な容量の低下をもたらす。

(4) プラズマ CVD-SiN_x 膜を用いた、InP・MISFET は反転形動作を示すが、その実効移動度は非常に小さい。これは、プラズマによる表面損傷のためと考えられる。

以上の結果から、SiN_x 膜を用いた MIS 素子を実用化するためには、プラズマによる表面損傷を軽減す

ることが必要であり、その方法について現在検討を進めている。

本研究の一部は、昭和 57 年科学研究費補助金（エネルギー特別研究（2））を受けて行なった。

（昭和 58 年 8 月 29 日受付）

文 献

- (1) T. J. Maloney & Jeffrey Frey: "Transient and steady-state electron transport properties of GaAs and InP", *J. Appl. Phys.*, **48**, 781 (1977)
- (2) D. Fritzsche: "InP-SiO₂ MIS structure with reduced interface state density near conduction band", *Electronics Letters*, **14**, 51 (1978)
- (3) T. Kawakami & M. Okamura: "InP/Al₂O₃ n-channel inversion-mode MISFETs using sulphur-diffused source and drain", *ibid.*, **15**, 502 (1979)
- (4) 長谷川・沢田:「Ⅲ-V 族半導体の MIS 界面とその応用」, 応用物理, **50**, 1289 (昭 56)
- (5) 松本:「Ⅲ-V 族化合物の表面安定化技術」, 同上, **52**, 584 (昭 58)
- (6) K. Kamimura & Y. Sakai: "The properties of GaAs-Al₂O₃ and InP-Al₂O₃ interfaces and the fabrication of MIS field-effect transistors", *Thin Solid Films*, **56**, 215 (1979)
- (7) M. Okamura & T. Kobayashi: "Reduction of interface states and fabrication of p-channel inversion-type InP-MISFET", *Japan. J. Appl. Phys.*, **19**, L599 (1980)
- (8) Y. Hirota & T. Kobayashi: "Chemical vapor deposition and characterization of phosphorus-nitride (P₃N₅) gate insulators for metal-insulator-semiconductor devices" *J. Appl. Phys.*, **53**, 5037 (1982)
- (9) T. Sawada, H. Hasegawa & H. Ohne: "Electrical and optical characteristics of InP enhancement mode metal/insulator/semiconductor field effect transistor with a novel anodic double-layer gate insulator", *Thin Solid Films.*, **103**, 107 (1983)
- (10) A. Yamamoto, A. Shibukawa, Y. Yamaguchi & C. Ueda: "The anodic oxide of InP and its application to InP metal/insulator/semiconductor field effect transistors", *ibid.*, **103**, 95 (1983)
- (11) 上村・安原・岡岡・酒井:「InP-MIS 界面の諸特性」, 電子通信学会電子部品材料研究, CPM 81-60, 13 (昭 56)
- (12) 上村・安原・岡岡・酒井:「SiN_x ならびに Al₂O₃ を用いた InP-MIS 構造の界面特性」, 電子通信学会半導体トランジスタ研究, SSD 82-58, 9 (昭 57)
- (13) S. M. Sze: *Physics of Semiconductor Devices*, p. 373 (1981) John Wiley, New York
- (14) H. Hasegawa & T. Sawada: "Electrical modeling of compound semiconductor interface for FET device assessment", *IEEE Trans. Electron Devices*, **ED-27**, 1955 (1980)
- (15) A. S. Grove: *Physics and Technology of Semiconductor Devices*, p. 326 (1967) John Wiley, New York