V. レーザ照射スパッタ多結晶シリコン薄膜トランジスタ

芹 川 正 (NTT 電子応用研究所)

白 井 誠 一 (NTT 電子応用研究所)

1. はじめに

多結晶 Si 薄膜トランジスタ (poly-Si TFT) には、ガラスなどの非晶質基板上において、移動度の高い特性が得られる利点がある。このため、液晶表示素子やプリンタなどの大面積マイクロエレクトロニクス用として、更に、高密度メモリー素子用として、poly-Si TFT の研究が盛んに行われている^{(1)~(5)}。これら研究の多くは、poly-Si TFT 特性の向上を図るために、特性を損なう結晶粒界除去と、結晶粒界自身の特性の制御に主力が注がれている。これらの二、三の例を列挙すると、結晶粒界の除去を目的とするものでは、アモルファス Si 膜に長時間の熱処理を施して結晶粒を、数 μm 程度にまで巨大にする方法⁽⁶⁾や、レーザ光もしくは電子線を照射して一度 Si 膜を融かし、単結晶化する方法があり、また結晶粒界の特性を制御する方法としては、水素を含むガスのプラズマ中に試料をさらす試み⁽¹⁾がある。しかし、上記のいずれの方法においても、Si 膜のたい積には気相成長法がもっぱら使用されている。一方、ゲート絶縁膜の特性も、多結晶 Si 膜と同様に poly-Si TFT の特性に著しく影響することはよく知られている。しかし、このゲート絶縁膜に関する研究は多結晶 Si 膜ほどには行われていない。これに対して著者らは、Si 膜のたい積に、従来から広く用いられている気相成長法に代わってスパッタ法を取上げ、この方法によりたい積したアモルファス Si 膜にレーザ光を照射して形成する、新たな poly-Si TFT 製作プロセスを開発し、非常に高い移動度が得られることを明らかにした⁽⁷⁾⁽⁸⁾。更に、poly-Si TFT のゲート絶縁膜として酸素混合ガス中スパッタ SiO_2 膜が優れていることを示した⁽⁷⁾⁽⁹⁾。

本論文では、新たに開発した poly-Si TFT 製作プロセスと、その poly-Si TFT の特性を概説する。

2. 製作プロセス

図 1 には、新たに開発した製作プロセスにより、n

図 1 poly-Si TFT 製作プロセス

チャネルコプラナ構造の poly-Si TFT を製作する工程を示す。絶縁性基板上に、100 nm 厚の SiN 膜を反応性スパッタ法によりたい積した後、150 nm 厚のアモルファス Si 膜を、RF マグネトロンスパッタ法により基板温度 200°C でたい積する[工程(a)]。この Si 膜に、室温でアルゴンレーザを照射して、多結晶化する[工程(b)]。この多結晶化した Si 膜をパターンニングした後、100 nm 厚のゲート SiO_2 膜を、RF マグネトロンスパッタ法により、基板温度 200°C で形成する[工程(c)]。この際のターゲットには SiO_2 を、スパッタガスには酸素とアルゴンとの混合ガスを用い、また、基板温度は 200°C である。次に、リン添加多結晶 Si 膜から成るゲート電極を形成し、リンのイオン注入によりソース・ドレイン領域を自己整合的に形成する[工程(d)]。イオン注入した不純物原子の活性化は、 650°C でのアニールにより行った。最後に、 SiO_2 層間絶縁膜と Al 配線を形成する[工程(e)]。

本プロセスの特徴は、①アモルファス Si 膜の形成

V. Laser Irradiated Sputter-Deposited Poly-Si TFTs. By Tadashi Serikawa & Seiiti Shirai (NTT Applied Electronics Lab.).

キーワード：薄膜トランジスタ、スパッタ、多結晶シリコン膜、ゲート SiO_2 膜、レーザ照射、移動度、結晶粒、ポテンシャル障壁

にスパッタ法を用いていること、②レーザアニールによる多結晶化したSi膜を、単結晶もしくは巨大な結晶粒にではなく、小さな結晶粒の状態にとどめていること、③ゲート絶縁膜として、スパッタ法によるSiO₂膜を用いていること、があげられる。更に、本プロセスは、高移動度が得られることのほかに、低温処理である特長をも有する。

3. Poly-Si TFT の特性

3.1 Poly-Si TFT

図2は、新提案製作プロセスによるpoly-Si TFTにおけるドレーン電流のゲート電圧による変化である。このpoly-Si TFTの移動度は383 cm²/V·s、オフ電流は1×10⁻¹⁰ Aであり、オン・オフ電流比は約7けたが得られる。また、しきい値ならびにサブスレッシュホールド電圧は、0.6 V および 0.4 V/decである。

図3には、図2におけるpoly-Si TFTの移動度のゲート電圧依存性を示す。図中には、比較のために単結晶バルク MOSFET、ならびに炉中アニールで多結晶化して製作したpoly-Si TFTの結果も示してある。炉中アニール poly-Si TFTでは、その移動度が小さいばかりでなく、ゲート電圧の増大に伴い大きな

る。しかし、本プロセスによるpoly-Si TFTでは、単結晶バルク MOSFETと同様に、ゲート電圧の増大に伴い減少する特性を有する。

多結晶Si膜の結晶粒界には、結晶欠陥に基づくキャリア捕獲準位が多量に存在し、これによりポテンシャル障壁が形成される。このポテンシャル障壁の高さはpoly-Si TFT特性の温度依存性から求めることができる。図4には、ドレーン電流の温度依存性がアレニウス表示で示されている。同図には、図3における炉中アニール poly-Si TFTの特性も示してある。炉中アニール poly-Si TFTでは、温度の上昇に伴いドレーン電流は著しく増大する。これに対して、本プロセスによるpoly-Si TFTでは、広いゲート電圧領域にわたり、温度の上昇につれてドレーン電流は減少する。これらのpoly-Si TFTにおけるドレーン電流の温度依存性から求めた活性化エネルギーのゲート電圧依存性を図5に示す。同図には単結晶バルク MOSFETのデータも示してある。炉中アニール poly-Si TFTの活性化エネルギーは、ゲート電圧の増大に伴い急激に減少するが、しかし、いずれのゲート電圧に

図2 ドレーン電流のゲート電圧依存性

図3 ゲート電圧による移動度の変化

図4 ドレーン電流の温度依存性のアレニウス表示

図5 ドレーン電流の活性化エネルギーのゲート電圧依存性

においてもその活性化エネルギーの値は正、すなわち温度の上昇に伴いドレイン電流は増大する。一方、本プロセス TFT では、単結晶バルク MOSFET と同様、活性化エネルギーのゲート電圧依存性は小さく、かつ、その値は負である。図 5 に示した活性化エネルギーは、結晶粒界におけるポテンシャル障壁の高さに対応している。このポテンシャル障壁を超えられるキャリアが電気伝導に寄与する⁽¹⁰⁾。このため、ポテンシャル障壁が高いほど、poly-Si TFT の移動度は低くなる。このことから、ポテンシャル障壁の高い炉中アニール poly-Si TFT の移動度は低く抑えられる。また、この TFT では、図 5 に示したように、ゲート電圧の増大に伴い活性化エネルギー、すなわちポテンシャル障壁が低くなり、この結果、移動度は徐々に大きくなるのが図 3 との比較からわかる。しかし、本プロセス poly-Si TFT では、ポテンシャル障壁は低く、高い移動度が得られる。この poly-Si TFT の移動度を制限する要因としては、ポテンシャル障壁よりも、むしろ格子振動による散乱や、ゲート SiO₂ 膜と Si 膜との界面での散乱があげられる。このことから、バルク MOSFET と同様、ゲート電圧の増大につれて移動度が減少したり（図 3）、負の活性化エネルギーとなる（図 5）。このように、本 poly-Si TFT のポテンシャル障壁が低くなる理由は、結晶粒界におけるキャリア捕獲準位が従来からの値： $3.1 \times 10^{12} \text{ cm}^{-2}$ より $5.6 \times 10^{11} \text{ cm}^{-2}$ と低くなったためである。

以上のように、本 poly-Si TFT では、結晶粒界でのポテンシャル障壁が低く、非常に高い移動度が得られる。

3.2 多結晶 Si 膜とゲート SiO₂ 膜

図 6 に多結晶 Si 膜の透過電子顕微鏡写真を示す。この写真から、本多結晶 Si 膜の結晶粒径はたかだか数百 nm と小さく、更に結晶粒界は非常に不明りょうになっていることもわかる。また、X 線回折パターンの測定から、この多結晶 Si 膜は (111) 配向を示すことがわかった。このように、本 poly-Si TFT では多結晶 Si 膜の結晶粒が微細にもかかわらず、前節で述べたように非常に高い移動度が得られる。この原因の詳細は不明であるが、本多結晶 Si 膜の特性、特に結晶粒界の特性が他の方法による多結晶 Si 膜とは異なるためと考えられる。

Poly-Si TFT の特性は、多結晶 Si 膜はもちろんのこと、ゲート絶縁膜の特性や形成法にも敏感に影響される。図 7 は、スパッタ法によりゲート SiO₂ 膜をたい積する際のスパッタガスとして、O₂-Ar 混合ガスの場合(a)図と、Ar 単体を使用したとき(b)図の

図 6 多結晶 Si 膜の透過電子顕微鏡写真

図 7 O₂-Ar 混合ガス中 (a)、および Ar ガス中 (b) で形成したスパッタゲート SiO₂ 膜 poly-Si TFT の特性

図 8 種々の方法で形成した SiO₂ 膜の電流-電圧特性

poly-Si TFT の特性である⁽⁹⁾。酸素を混合することにより、特性は著しく改善する。一方、図 8 にはスパッタゲート SiO₂ 膜の電流-電圧特性を、単結晶 Si 基板上や多結晶 Si 膜上に、1,000°C の温度での熱酸化法に

より形成した SiO_2 膜と比較して示す。 O_2 -Ar 混合ガス中スパッタ SiO_2 膜では耐圧は 7 MV/cm と大きく、リーク電流は $1 \times 10^{-6} \text{ A/cm}^2$ にまで下げることができる。これらの値は、単結晶 Si 基板上に熱酸化法により形成した SiO_2 膜に匹敵する。このように、酸素混合ガス中スパッタ法によりゲート絶縁膜と Si 膜との界面の特性、および絶縁膜としての特性に優れた poly-Si TFT 用ゲート絶縁 SiO_2 膜が低温で形成できる。

4. ま と め

高移動度 poly-Si TFT の製作プロセスを開発した。この製作プロセスの特徴は、スパッタ法によるアモルファス Si 膜に、レーザアニールを施して多結晶化すること、およびゲート絶縁膜としてスパッタ SiO_2 膜を用いていることである。このプロセスにより、微結晶粒にもかかわらず、 $383 \text{ cm}^2/\text{V} \cdot \text{s}$ と高移動度の poly-Si TFT が得られた。更に、このプロセスは低温度処理に適する。

本研究の遂行に際し、有益な助言や指摘をいただきました NTT 電子応用研究所 石本明輝氏、幸田成人氏に深く感謝いたします。また、poly-Si TFT の製作には岡本章雄氏、陶山史朗氏の御援助をいただき、ここに感謝いたします。(平成 2 年 8 月 15 日受付)

文 献

- (1) S. D. S. Malhi, et al.: *IEEE Trans. Electron Devices*, **ED-32**, 258 (1985).
- (2) S. Morozumi, et al.: 1983 SID Int. Symp. Digest of Technical Papers, p. 156 (1983)
- (3) T. P. Brody: *IEEE Trans. Electron Devices*, **ED-31**, 1614 (1984)
- (4) T. L. Credelle: *Proc. Int. Display Res. Conf.*, p. 208 (1988)
- (5) F. P. Fehlner, et al.: *Int. Display Res. Conf.*, p. 200 (1986)

- (6) H. Hayashi, et al.: *Extended Abstracts 18th Int. Conf. Solid State Devices and Materials*, p. 549 (1986)
- (7) T. Serikawa, et al.: *IEEE Trans. Electron Devices*, **ED-36**, 1928 (1989)
- (8) T. Serikawa, et al.: *Jpn J. Appl. Phys.*, **28**, L 1871 (1989).
- (9) S. Suyama, et al.: *Mat. Res. Soc. Symp. Proc.*, **146**, 301 (1989)
- (10) J. Y. W. Seto: *J. Appl. Phys.*, **46**, 5247 (1982)

荻 川 正

昭和 19 年 1 月 16 日生。44 年 3 月大阪大学大学院理学研究科修士課程修了。同年 4 月電電公社〔現、日本電信電話(株)〕電気通信研究所入所。以来、主として半導体素子とその製作技術、薄膜形成技術、ならびにプラズマ応用技術の研究に従事。現在、同社電子応用研究所主幹研究員。工学博士。応用物理学会、電子情報通信学会、アメリカ物理学会会員。

白 井 誠 一

昭和 21 年 3 月 2 日生。45 年 3 月大阪大学大学院工学研究科修士課程修了。同年 4 月電電公社〔現、日本電信電話(株)〕電気通信研究所入所。以来、主として電気音響変換素子、光電話機、ならびに薄膜トランジスタの研究に従事。現在、同社電子応用研究所主任研究員。応用物理学会、電子情報通信学会、日本音響学会会員。