II. キャパシタおよびトランジスタ絶縁膜

山 部 紀久夫 (株)東芝 ULSI 研究所]

1. はじめに

256 K DRAM において配線材料として、従来の多結晶シリコンやアルミニウムに加えて高融点金属シリサイドが採用されたのを皮切りとして、最近ではタングステンやチタニウムなどの金属材料の検討が盛んに進められている。絶縁膜、特に、キャパシタ絶縁膜では、4 M DRAM でシリコン酸化膜とシリコン窒化膜(以下では、それぞれ単に酸化膜あるいは窒化膜と称する)の積層膜が採用されたのをきっかけとして、 Ta_2O_5 膜をはじめとして高誘導電率絶縁膜が、更には PZT に代表される強誘電体膜にさえ熱い視線が向けられている。最小寸法がハーフミクロンの超高集積回路時代に至って、既存材料で性能を満足するには複雑な立体形状を必要とし、かつ、著しい工程数の増大を来とし、ひいては高い歩留りの維持を困難にすることにつながるものが懸念されている。このような状況を打破するものとしても、上記新材料への期待は大きい。しかし、既存材料で数 Mbit レベルの集積回路を可能ならしめたのは、先人のなみなならぬ努力の結果であり、新材料をこの高い歩留りと高い信頼性を継承しつつ、既存材料を上回っていくには、単に材料分野にとどまらず、装置・プロセス・デバイス技術の結集が不可欠である。

また、トランジスタのゲート絶縁膜に対しては、絶縁耐圧のみならず膜中の電荷捕獲中心や界面単位に代表される電気的特性の安定性に対する要求が厳しく、シリコンの熱酸化膜から新材料への切り替えは容易ではない。

ここでは、前半においてキャパシタ絶縁膜に対して求められる性能について触れると同時に、ONO もしくは NO (窒化膜と酸化膜の積層) 膜と Ta_2O_5 膜の課題について報告例を適宜参照しながら論じ、後半では、トランジスタのゲート酸化膜の最大の課題である

信頼性、特に経時絶縁破壊について論じる。

2. キャパシタ絶縁膜

1 M DRAM 以前は、文字どおり平行平板型のキャパシタで後に述べるトランジスタのゲートと絶縁膜と同様、シリコン基板の熱酸化膜を採用し、薄膜化することで微細化に対応してきた。しかし、4 M DRAM に至り、単純に微細化を進めると、5 nm 以下の酸化膜が求められる。ユニットプロセス的には、良好な特性をもつ酸化膜が得られているが、デバイスプロセス中の損傷、および次世代への連続性を考慮して、キャパシタはトレンチ型やスタック型で代表されるように立体形状表面に形成されている。また絶縁膜としては ONO 膜や NO 膜と称される窒化膜と酸化膜を積層膜が広く採用されている。窒化膜が酸化膜の約 2 倍の誘電率をもつことから、実際膜厚が同程度の場合、高いキャパシタ容量を得ることができ、有利であるということで検討が進められた。最近では、更に高い誘電率を求め、薄膜コンデンサの絶縁材料として実績のある Ta_2O_5 膜など、新材料の模索が進められている。

立体形状をもつ場合、絶縁膜の薄膜化は、一見緩和されるかのように思われるが、実際上は、トレンチ型、スタック型いずれも、形状のアスペクト比(平面サイズと深さの比)の増大や複雑化の抑制のために、薄膜化が不可決となっている。ハーフミクロン以降には、実効膜厚として 5~3 nm が求められる。

2.1 キャパシタ絶縁膜として求められる電気的特性

図 1 に示すように、センスアンプを中央に、その両側に複数のメモリーセルと一対のダミーセルが配置されている。DRAM のメモリーセルは、16 K ビット以降 1 トランジスタ 1 キャパシタ構成で、それぞれのセ

図 1 DRAM のメモリー部の基本構成

II. Insulating Films for Capacitors and Transistors. By Kikuo Yamabe (Toshiba Corp.)

キーワード: 絶縁膜, キャパシタ, トランジスタ, SiO_2 , Si_3N_4 , Ta_2O_5

ルの記憶内容は、キャパシタの電荷量を、空と充のほぼ中間の電荷量が蓄積されたダミーセルのキャパシタの電荷量とセンスアンプによって比較され、読み取られている。キャパシタに蓄積された電荷は、つねに補充されているのではなく、基板との間の空乏層や対抗電極との間の絶縁膜を介して、時間とともに減少していく。これがダイナミックと称される由縁である。従って、一定時間ごとに記憶内容をリフレッシュする必要がある。

以上の DRAM の基本動作において、キャパシタの電気的特性にかかわることとして、①センスアンプの感度と、②その浮遊キャパシタと、③リフレッシュの時間間隔があげられる。①は、センスアンプの対象性に依存し、つまり、不純物分布の均一性、絶縁膜の均一性、加工の均一性などに依存する。②③は、一つのセンスアンプにぶら下がっているメモリーセルの数に依存する。他の大きな要因としてノイズがあり、代表的なものに α 線の通過による電荷の発生・消滅で、一度誤動作しても再書き込みによって修復されることから④ソフトエラーと称される。現状では、④の要素が大きく、1 ビットあたり 150~200 fC の蓄積電荷量が必要とされている。

酸化膜は、8~9 eV と広いエネルギー禁制帯幅を持ち、界面のエネルギー障壁の高さも 2~4 eV で、酸化膜を通してのリーク電流は極めて小さく、酸化膜をキャパシタ絶縁膜とした場合、電荷流出の主たる経路は、絶縁膜より、むしろ空乏層側にあった。しかし、新しい絶縁材料を考える場合、以上に述べた DRAM の事情を理解し、誘電率のみならず、当然のことながら、このリーク電流を考慮すべきである。

リーク電流は、材料特性のうち、特にエネルギー禁制帯幅に強く支配される。例えば、絶縁膜を通して流れるリーク電流には種々の機構があるが、界面のエネルギー障壁のトンネル現象に支配されている Fowler-Nordheim 型のリーク電流であるとき、そのリーク電流 j は、次式で表わされる。

$$J(A/cm^2) = A \cdot E_{ox}^2 / \phi_B \cdot \exp(-B\phi_B^{3/2}(m^*/m)^{1/2}/E_{ox}) \dots \dots (1)$$

ここで、 ϕ_B は界面のエネルギー障壁高さ、 E_{ox} は絶縁膜の界面近傍の電界強度、 m^*/m は酸化膜中の電子の有効質量、 A および B は定数である。リーク電流の大小は、エネルギー障壁の高さ ϕ_B に支配され、ほぼ ϕ_B に対して指数関数的に増大する。この ϕ_B は、電子もしくは正孔の一方だけを考慮すると、電極の仕事関数と絶縁膜の仕事関数によって決定される。しか

図 2 分子あたりの平均原子番号と比誘電率

図 3 分子あたりの平均原子番号とエネルギー禁制帯幅

し、電子および正孔両者によるリーク電流を考慮すると、リーク電流を決める重要な物性パラメータはエネルギー禁制帯幅である。

後に述べるように、絶縁性のうち、絶縁破壊欠陥は、酸化膜の歴史にも明らかなように、形成方法や清浄度などに大きく依存し、異なる材料間で通用する一般則を論じることが材料選択にあたって参考とならない。図 2、図 3 に示すように、データのばらつきは大きいですが、誘電率とエネルギー禁制帯幅は共に、構成元素の平均の原子番号に関係し、平均原子番号の大きいほど誘電率は大きくなり、エネルギー禁制帯幅は小さくなる傾向がある⁽¹⁾。DRAM のキャパシタ絶縁膜という応用を考慮すると、誘電率の高さは最大の選択要因で大きいほど望ましいが、図 2 と図 3 を考慮すると、当然のことであるが、誘電率の高さだけでは絶縁膜材料を選べないことがわかる。

2.1 ONO/NO 膜

窒化膜は酸化膜の約 2 倍の誘電率をもつことから、実際膜厚が同程度の場合、高いキャパシタ容量を得ることができ、有利であるということで検討が進められ

た。しかし、窒化膜のエネルギー禁制帯幅は、5.1 eVと酸化膜に比較して3~4 eVも小さく、単独に絶縁膜として用いられた場合、リーク電流が大きすぎる。そこで、窒化膜と電極との間に酸化膜を介在させることにより、絶縁特性の改善がなされる。誘電率の異なる絶縁膜が積層に形成されている場合、それぞれの誘電率を ϵ_1 と ϵ_2 、膜厚を t_1 と t_2 、それぞれの容量を C_1 と C_2 とすると、全体の容量 C は

$$C = \frac{1}{\frac{1}{C_1} + \frac{1}{C_2}} = \frac{1}{\frac{t_1}{\epsilon_1} + \frac{t_2}{\epsilon_2}} \dots\dots\dots (2)$$

で表わされ、 $C_1 \equiv C_2$ ならば、(2)式どおりであるが、近似的には、

$$C_1 \geq C_2 \text{ ならば, } C \equiv C_2$$

$$C_1 \leq C_2 \text{ ならば, } C \equiv C_1$$

となる。キャパシタ絶縁膜においては、ほぼ $t_1 \approx t_2$ の領域で、 $C_1 \equiv C_2$ であり、実際上の酸化膜換算膜厚が7 nm程度であることを考慮すると、窒化膜の誘電率の高さは、窒化膜を使用することの大きな理由にはなっていないことがわかる。

実際の窒化膜の利点は、酸化膜に比較して膜厚の均一性と長期信頼性にある。トレンチ型、スタック型、いずれの場合も、下地に既に形成される不純物の再拡散を抑制するためにプロセス温度をできるだけ低くしたいという事情がある。熱酸化法によって酸化膜を形成する場合、高温では十分均一な膜厚を得ることができる。しかし、酸化温度が低くなるとともに、酸化が界面反応律速で進行し、下地シリコンの面方位依存性が強くなり⁽²⁾、また、酸化/シリコン基板界面近傍の応力効果により⁽³⁾膜厚の均一性が低下する。容量は厚い領域の存在により低下し、絶縁特性は薄い領域の存在により低下し、両面でマイナスとなる。一方、窒化膜は低圧CVD (Chemical Vapor Deposition) 法で形成され、反応律速条件で被着される限り、良好な

被覆率をもっており、トレンチ型やスタック型いずれに対しても十分均一な膜厚を得ることができる。

一方、経時絶縁破壊に対する耐性(長期信頼性、もしくはTDDB; Time Dependent Dielectric Breakdown)を酸化膜とONO膜で比較すると、図4に示すように⁽¹⁴⁾、酸化膜単独に比較して、NO膜では初期不良率が低くなっている。但し、真性破壊寿命が短縮している。一方、上記NO膜の窒化膜上に酸化膜を形成したONO膜では、初期不良、真性破壊寿命ともに単独酸化膜より改善されている。ここで、窒化膜が単に酸化膜の欠陥を補完しているにすぎないのか、ほかの効果もたらしているのかは、現段階では不明である。

ONO/NO膜の薄膜化の下限は、それぞれの膜厚の下限によるが、酸化膜厚の下限はリーク電流によって決められ、窒化膜の下限は膜厚の微細な局所的な不均一さによる上層酸化膜形成の際の突き抜け酸化に対する耐性で決まる。ハーフミクロン以降にも、この種の絶縁膜が使用されるためには、窒化膜の役目を明確にして薄膜化を進めていくことが必要である。

2.3 高誘電率絶縁膜

ONO/NO膜より、更に薄膜化に対応できる絶縁膜として、 Ta_2O_5 膜や HfO_2 や ZrO_2 などの高誘電率絶縁膜に期待が寄せられている。更には、PZT ($\text{PbTi}(\text{Zr})\text{O}_3$)や SrTiO_3 などの強誘電体膜についても、その200以上の高い誘電率に注目が集まっている。

Ta_2O_5 膜を中心とする高誘電率絶縁膜の比誘電率は、図2にもあるように Ta_2O_5 膜が28程度、 HfO_2 膜が24程度とシリコン酸化膜の6~7倍である。そして、エネルギー禁制帯幅は、4~5 eV程度と狭くっており、窒化膜同様、リーク電流が大きくなることが懸念される。

このように高い誘電率をもつ絶縁膜をシリコン酸化膜と積層にして使用する場合、(2)式で示したように、高誘電率絶縁膜による容量が酸化膜に比較して十分大きい状況を想定すると、酸化膜の存在により、実効的な容量が著しく低下する。いま、仮に比誘導率28の Ta_2O_5 が21 nm、酸化膜が0.5 nmの場合、得られた積層膜の容量は、 Ta_2O_5 膜の誘電率を24と見なした単層絶縁膜と同様である。更に薄い Ta_2O_5 膜では、この傾向により顕著なものとなる。つまり、単層の Ta_2O_5 膜を形成しても、界面に自然酸化膜が不用意に形成されていると、高誘電率の効果が減少することを意味している。実効的な薄膜化を目的とした Ta_2O_5 膜だけに実効誘電率の減少は、極力抑制する必要がある。そのためには、不用意な自然酸化膜の成長

図4 絶縁膜の経時絶縁破壊特性

を排除することが実用上不可欠である。また、Siの方がTaより酸化されやすく、 Ta_2O_5 とSiが接触した状態で高温熱処理を施すと、Siが Ta_2O_5 を還元し、膜中に酸素欠損を生じ、リーク電流の増大をもたらす。従って、後工程で高温工程が入る場合には、電極としてはポリシリコンよりモリブデンリッチなモリブデンシリサイドなどの酸化物の生成エネルギーがTaより大きい金属膜が望ましい(図5参照)⁽⁴⁾⁽⁵⁾。図6に示すように、SiはHfより生成エネルギーが大きく、 HfO_2 は Ta_2O_5 のようにSiに還元されることがなく、後の高温熱工程に対して安定な絶縁膜といえる⁽⁶⁾。

高誘電体膜の形成には、①スパッタ法やCVD法によって形成したTa膜を熱酸化法で形成する方法、②Taや Ta_2O_5 をターゲットとして、酸素を含む雰囲気中でスパッタする方法、③CVD法が代表的なものとしてあげることができる。上述のように高誘電率絶縁膜といえども単純な平行平板型のキャパシタとすることはできず、トレンチ型やスタック型の立体形状に

図5 MoSi_x電構における加熱温度に対するリーク電流変化

図6 酸化物の生成自由エネルギー

対応することが必要であり、その点から、①のTaをCVD法で被着し、それを酸化するか、 Ta_2O_5 膜をCVD法で形成する方法③が選択される。①のTaの酸化で、対象となる数10 nm程度の膜を得るのは、400°C程度の酸化温度で容易になされる⁽⁷⁾。③については有機オキシタantalの熱分解⁽⁸⁾や塩化タantalと酸素の反応によるCVDがある。

高誘電率絶縁膜は、上述のONO/NO膜に比較して集積化プロセスへ応用された実績がなく、実用化にあたっては材料としての清浄度をはじめとして種々の課題が残っており、今後精力的に対応されていくであろう。

3. トランジスタ絶縁膜

トランジスタのゲート絶縁膜に対しては、誘電率やリーク電流に留まらず、しきい値制御やホットエレクトロン耐性に代表されるようなキャパシタ絶縁膜と異なった特性も求められ、膜厚がキャパシタ絶縁膜に比較して厚いこともあって、新材料へのチャレンジはそれほど進まず、むしろシリコン酸化膜の更なる信頼性、つまり、経時絶縁破壊寿命の向上への期待が強い。図7は、DRAMのトランスファゲートトランジスタのゲート酸化膜厚とチップ内の総面積の推移を示したものである。ハーフミクロンデバイスとなる16/64 MDRAMでは、それぞれ酸化膜が15 nm/10 nmとなっている。

3.1 Bモード絶縁破壊

熱酸化膜を絶縁膜、多結晶シリコン膜をゲート電極とするMOSキャパシタを作成し、ゲート電極と基板間に電界を印加し、印加電界に対する絶縁破壊頻度のヒストグラムを作成すると、典型的には三つのピーク

図7 DRAMトランスファゲートの酸化膜厚とチップ内ゲート総面積

図 8 Bモード不良の下限電圧 V_{BL} の酸化膜厚依存性

図 9 経時絶縁破壊の電界加速係数の酸化膜厚依存性

をもち、長期信頼性にかかわる B モード不良は、初期短絡による A モードと良品である C モードの中間に位置し、例えば 1 MV/cm 以上 8 MV/cm 以下の破壊電界をもつ不良と定義することができる⁽⁹⁾。B モード不良は、経時絶縁破壊と密接に関連し、その破壊電界ヒストグラムの上限電圧は、電極のセルフヒーリング（酸化膜の欠陥を流れる電流によるジュール熱で、欠陥上の電極が除去される現象）で決まり、電極厚さに依存するが、同じ電極厚に対しては酸化膜厚の平方根に比例して増大する。また、下限電圧 V_{BL} は、酸化膜の熱破壊機構で決まり、酸化膜の平方根に比例して増加し、 V_{BL} 以下の電圧では、酸化膜欠陥でジュール熱が発生しても基板もしくは多結晶シリコンゲートに逃げてしまい、破壊に至るだけの温度に達せず破壊しにくくなる。図 8 は、 V_{BL} の酸化膜厚依存性を示したもので、データ点は

$$V_{BL}(V) = 0.9\sqrt{T_{ox}}(\text{Å}) \quad (3)$$

で示される曲線の廻りに分布している⁽¹⁰⁾。比例定数 0.9 は、ゲート電極厚のみならず、耐圧測定条件、特に、電界ステップの保持時間に依存する。

図 10 経時絶縁破壊データに基づく信頼性予測

表 1 DRAM トランスファゲートの構造および電気的特性パラメータ

DRAM	size	T_{ox}	V_G	β	V_s	V_{BL}
4 Mbits	0.8 μm	20 nm	4.1 V	3.36 cm/MV	12.1 V	12.7 V
16 M	0.6	15	3.2	2.84	10.1	11.0
64 M	0.4	10	2.9	2.10	9.1	9.0

3.2 経時絶縁破壊 (TDDB; Time Dependent Dielectric Breakdown)

酸化膜にかかる電界強度が増大すると、経時絶縁破壊寿命が短くなり、その電界加速係数 β は次式で定義される⁽¹⁾⁽²⁾。

$$\beta = -\frac{d(\log t)}{dE} \quad (4)$$

t は絶縁破壊寿命で、 E は加速電界である。図 9 は、 β の酸化膜厚依存性を示し、100 Å 以上の酸化膜厚 T_{ox} での β は、

$$\beta(\text{cm/MV}) = 4.2 \log(T_{ox}(\text{Å})) - A \quad (5)$$

で表わされ、定数 A は 6.3 から 7.6 の間で変化する⁽¹⁰⁾。データのばらつきは、試料の作成プロセスの揺らぎからくる。TDDB には電界加速のみならず、温度にも依存してアレニウス型の依存性を示し、その活性化エネルギーは約 0.3 eV であり、70°C での 10 年間は室温での 58 年間に相当する⁽¹⁰⁾。ここで、70°C V_0 の 10 年間のストレスに相当する 0.2 秒間試験での電圧 V_s を上述の電界加速係数 β と温度加速係数から求めると、

$$V_s = V_0 + \frac{T_{ox}}{100 \times \beta} (\log(5.8 \times 3.2 \times 10^8) - \log(0.2)) \quad (6)$$

と表わされ、時間と電圧の関係を図で示すと図 10 の

表2 酸化膜の絶縁破壊欠陥の原因

1. Si 結晶品質
(1)格子間酸素関連の微小析出物
(2)金属不純物
(3)金属原子により汚染された結晶欠陥
2. 局所的な電界の増大
(1)酸化膜の局所的な薄膜化
(a)トレンチ周辺などの不均一な酸化
(b)厚い酸化膜とのパターン周辺
(c)Si 表面に残存する窒化物(ホワイトリボン)
(2)Si 表面の微細な凹凸
(a)不完全な鏡面仕上げ
(b)トレンチ内部などの被エッチング表面
(c)こすり傷
(d)微細なSi 片

ようになる。

3.3 信頼性

3.1 節と3.2 節でのデータに基づき、16/64 MDRAM のトランスファゲートのシリコン酸化膜の V_s および V_{BL} を求めると表1 になる。表中の V_s と V_{BL} を比較すると、信頼性の保証が厳しくなっていることがわかる。

上述のように、短時間の絶縁破壊耐圧試験での B モード不良は長期信頼性と関連が深く、その原因については表2 に示されているようなものが報告されている。主に、二つの範ちゅうに分類できる⁽¹³⁾。例えば、シリコン基板中の微細酸素析出物は最も大きな影響を及ぼす原因の一つであり、ゲート酸化膜形成前に高温熱処理により、微細析出物を消滅させると、 B モード不良の著しい改善がみられる⁽⁹⁾。表中の他の要因の影響の大きさには違いがあり、集積回路の製造プロセスの組み合わせや素子構造に依存する項目が多く、集積度の増大とともにその傾向が強くなり、単独の評価では効果が確認されても、その機構が十分に理解されていなければ、集積化プロセスにおいて同様の結果が得られないこともしばしばであり、実デバイスにおいて高信頼化を達成するには総合的なとらえ方が必要となってきた。

4. おわりに

キャパシタ絶縁膜に求められる電気的特性、特に、容量とリーク電流について言及し、この特性からいかなる絶縁材料が考えられるかについて述べ、また現在広く検討されている NO 膜や Ta_2O_5 膜の長所について述べた。また、DRAM のトランスファゲートトランジスタの絶縁膜として用いられているシリコン酸化膜の信頼性について考察し、更なる高信頼化に対して、広い意味での清浄化と高精度制御がますます求められることを述べた。(平成3年5月22日受付)

文 献

- (1) P. J. Harrop & D. S. Campbell: *Thin Solid Films*, 2, 273 (1968)
- (2) B. E. Deal: *J. Electrochem. Soc.*, 125, 576 (1978)
- (3) K. Yamabe & K. Imai: *IEEE Trans. Electron Devices*, ED-34, 1981 (1987)
- (4) 加藤・伊藤: 日本学術振興会極限構造電子物性第151委員会第6回研究会資料, p. 17 (昭62)
- (5) 山田: 「次世代超 LSI プロセス技術 (応用編)」 p. 81 (昭63) リアライズ社
- (6) K. Yamada: *Extended Abs. 18th Conf. Sol. State Devices Materials* p. 257 (1986)
- (7) J. Hirvonen, A. G. Revesz, & T. D. Kirkendall: *Thin Film Solids*, 3, 315, (1976)
- (8) 清田: 月刊 Semiconductor World, No. 11 p. 103 (昭61)
- (9) K. Yamabe, K. Taniguchi, & Y. Matsushita: *Proc. IEEE Reliability Phys. Symp.* p. 184 (1983)
- (10) K. Yamabe & K. Taniguchi: *IEEE Trans. Solid-State Circuits*, SC-2D, 343 (1985)
- (11) D. L. Crook: *Proc. IEEE Reliability Phys. Symp.* p. 1 (1978)
- (12) E. S. Anolick & G. R. Nelson: *Proc. IEEE Reliability Phys. Symp.*, p. 8 (1978)
- (13) K. Yamabe: *Ext. Abstrac ECS Spring Meeting* p. 550 (1990)
- (14) 平山・大野・松川・加藤: 日本学術振興会極限構造電子物性第151委員会第6回研究会資料 p. 9 (昭62)

山 部 紀久夫

昭和52年3月大阪大学大学院工学部電子工学科修士課程修了。同年4月東京芝浦電気(株)入社。同年11月超エル・エス・アイ技術研究組合共同研究所勤務。

55年4月東京芝浦電気(株)総合研究所, 63年4月同ULSI研究所, 現在に至る。工学博士。