CMOS-IC負荷による遠端クロストーク

非会員 野口 泰明 (防衛大) 非会員 鞠古 賢 (防衛大)
 非会員 大谷 実 (防衛大) 正員 松元 藤彦 (防衛大)

Far-end Crosstalk of Microstrip Line with CMOS-IC Load

Yasuaki Noguchi, Non-Member(National Defence Academy), Ken Mariko, Non-Member(National Defense Academy)
 Minoru Ohtani, Non-member(National Defence Academy), Fujihiko Matsumoto, Member(National Defence Academy)

Recently, high-speed digital communication with large capacity is the social requirement. The frequencies of the CPU clocks in personal computers and workstations are getting higher rapidly. On the other hand, the integration technology of integrated circuits has been developed, and this makes the electronic application more miniature and higher density. These tendencies are principal factors which enlarge the crosstalk. Therefore, it is important to study the cause of crosstalk and to suppress it.

In this paper, we study the behavior of crosstalk of microstrip lines with nonlinear loads such as CMOS-IC. To simplify the analysis, we use the 4-port network. Experiment shows that the CMOS-IC can be regarded as a linear load in high frequency range.

キーワード：マイクロストリップライン、CMOS-IC負荷、クロストーク、四端子対回路網

1 はじめに

近年、高速・大容量デジタル通信が社会的要求となり、パソコンやワークステーションのCPUクロックの高速化が著しい。デジタル信号の情報伝送量の増加は伝送周波数バンドの増加、つまり高周波化を伴い、デジタル信号の高速化は信号波形の立ち上がり時間を短くしてそのエッジを先鋭化する。また、年々上がる回路の集積度は線路間隔の狭小化につながる。

入力パルス信号の立ち上がり時間が小さくなり、結合長が大きくなり、線路間隔が狭くなれば、クロストークは大きくなることが知られている[1]。また、多線路の場合のクロストークは、高密度化により重畳されやすくなる[2]。さらに、プリント基板において素子の小型化、多重配線、高密度実装化などに伴う配線パターンの微細化が進み、クロストークノイズを無視できなくなっている[3]。

これに加え最近では、クロックの高速化が機器の消費電力を増大させ、携帯機器のバッテリー持続時間を短くし、また熱の発生を増大させることから、コンピュータのCPUでは、5V動作から3.3Vないし2.8V動作へと低電圧化が進んでいる。しかし、低電圧化はノイズに対するイミュニティを低下させ、その結果ノイズに対する感度が上がることになる。さらに、高速化により高感度の回路素子が使われる傾向にあり、外部からのノイズの影響を受けやすくなっている。つまり、ノイズを受けやすい方向へ向っていることになり、クロストークの増大傾向とあいまってノイズによ

るEMI(Electro-Magnetic Interference)の問題に結びついていく。

したがって、クロストークの発生原因を探り、それを抑圧するための研究が待たれている。本研究は、非線形素子であるCMOS-ICを負荷としてマイクロストリップ線路のクロストークの振る舞いを調べることを目的とした。クロストークの振る舞いから、発生原因が把握できれば、その抑圧に関する基礎的知見が得られると考えた。クロストークノイズの研究はこれまで数多く行われているが、そのほとんどは整合された終端の条件の下で実施されている[1][4]-[7]。また最近では非平衡線路による研究もある[8]。不整合終端の条件の下での研究は渋谷らによる不整合抵抗負荷による実験及び解析がある[9]。さらに、非線形負荷の終端条件の下ではS.Lumらの研究がある[10]。非線形負荷は線形負荷よりも一般的であり、線形負荷よりもクロストークが大きくなる可能性がある。しかし、過去に非線形負荷の研究では、モデルが複雑すぎて簡単には扱えないので、もっと単純なモデルが望ましい。そこで非線形負荷として、CMOS-ICを取り上げ、印加電圧による容量変化素子として扱えることに注目した。まず、線形負荷としてのコンデンサ負荷時のクロストークを研究し、この成果を積み上げることでCMOS-ICの遠端クロストークへ応用することとした。

実験は、一般的に使用されている中で最も基本的な平行二線のマイクロストリップ線路を用い、特に大きな影響を与える遠端クロストークに注目した。まず、実験精度確認のため、50Ωで各端子を整合した平行2線マイクロストリ

ップ線路の遠端クロストークを観測し、Kaupp[1]の実験データと比較した。また、実際の電子回路内のマイクロストリップ線路に負荷として接続されている素子は、CMOS-ICなどの非線形負荷であり不整合状態であることから、75 Ω 終端抵抗負荷とコンデンサ負荷により不整合状態を得た。コンデンサ負荷については、容量を変化させながら測定した[11]。さらに、実際にCMOS-ICを負荷としてクロストークを測定した。シミュレーションモデルには簡便性を第一に選択して、四端子対回路網[12]–[16]を採用し、実測入力波形そのものを用いて、より現実的なクロストーク波形を計算できるように工夫した。

2 実験方法

<2.1> マイクロストリップ線路の製作 本研究で用いる平行二線マイクロストリップ線路は、特性インピーダンスを50 Ω で設計する。両面の銅の厚さは0.018mmで、線路はフォトエッチングにより製作した。両面の銅の間にガラスエポキシ樹脂製で、誘電率4.1、厚さ0.3mmの誘電体が挟まれている。線路の結合長は200.0mmであり、SMAコネクタを取り付けるスペースの関係上2本の線路長は異なっている。

50 Ω 負荷接続時ではKauppのデータ[1]と比較するため、線路間隔が、1.0mm、0.5mm、0.2mmである3種類の基板を用いたが、その他は特に明記しない限り1.0mmを用いた。単線マイクロストリップ線路は平行二線のものと同じ基板を用いており、線路長230.0mmの線路が1本のみである他は同じ仕様である。

<2.2> 遠端クロストークの測定 本実験で用いた測定系は図1のとおりである。パルス発生器からライズタイムフィルタ及びアッテネータを介して「駆動線路」にパルス信号を入力し、「被駆動線路」から出力される遠端クロストークをデジタルオシロスコープで測定する。

入力信号として用いたのは振幅4.19V、立ち上がり時間2nsのパルス信号である。図2に入力波形を示す。

負荷として用いたのは、50 Ω 終端抵抗及び75 Ω 終端抵抗、コンデンサ、CMOS-ICである。CMOS-ICは、印加電圧による

図1 クロストークの測定系

Fig.1 Experimental setup

容量変化素子であり、特有のC-V特性を有する非線形素子である。なお、使用したCMOS-IC(74HC04、東芝製)は、6つのNOT回路(インバータ)ブロックを持つ。CMOS-ICの未使用端子は、入力側をグランドに接続し、出力側を配線のない形でプリント基板に半田付けした。

図2 入力波形

Fig.2 Waveform of input signal

<2.3> 実験精度及び有効性の確認 本実験の精度及び有効性の確認のため、まず50 Ω 終端抵抗接続時の遠端クロストークを測定し、Kauppのデータ[1]と比較した。その結果を図3に示す。このデータは、クロストーク係数(付録参照)を線路間隔に対して誘電体厚をパラメータとして示したものである。しかし、Kauppのデータには、本実験で用いた誘電体厚 h が0.3mmの線路基板に該当するデータがない。そのためKauppデータの0.2mmと0.8mmの間を比例配分して求め、実測値と比較することとした。実際のKauppデータを実線、比例配分の結果を点線、実測値は黒丸で示す。この図から、実測値がKauppのデータと良く一致している

図3 Kauppのデータと実測値との係数比較

Fig.3 Comparison of Kaupp's data and measurement

ことがわかる。このことは、本実験の有効性を示している。

次に、コンデンサ容量を0.5pFから4,700pFまで変化させた場合の遠端クロストークの変化を図4に示す。正側と負側に電圧が発生し、容量の変化に伴い、正側の最大値、負側の最小値ともに電圧値が変化している。

正電圧は50mVから0mVへ、負電圧は-40mVから-80mVへ変化している。容量がおよそ10pFから1,000pFの間で大きく電圧が変化していることから、容量変化を考える場合はこの範囲に注目すればよい事が分かった。

図4 容量変化に対する遠端クロストークの変化
Fig.4 Relation between far-end crosstalk and load's capacitance

<2.4> 四端子対回路網シミュレーション 実験結果との比較のため、四端子対回路網によるシミュレーションを行った。マイクロストリップ線路を結合二線路として扱い、その結合現象を四端子対回路網[12]~[16]として考える。

これまでの四端子対回路網によるシミュレーションでは、入力信号を傾き一定のランプ入力としていた。しかし、実際に入力信号は、立ち上がり時間が等しくても、時間に対して常に傾きは変化し、ランプ入力とは異なる。入力信号の傾きは遠端クロストークを決定する一因である[1]。このことから、シミュレーション精度向上のため、実験に用いた入力信号の立ち上がりエッジ部のデータに対し、任意の時間間隔で20分割し、一つの時間間隔内の傾きを平均した値を入力信号のデータとして用いた。

3 実験結果

<3.1> 線形負荷時の遠端クロストーク 様々な終端条件に対する遠端クロストーク波形を、必要に応じシミュレーション結果と共に図示する。

(1) 50Ω終端抵抗負荷接続時

50Ω終端抵抗負荷接続時の遠端クロストークの測定結果を図5に示す。図5は線路間隔がそれぞれ1.0mm、0.5mm、0.2mmにおける遠端クロストーク波形及び1.0mm時のシミュレーション結果である。

終端抵抗負荷時の遠端クロストーク電圧は、正の入力電圧に対して負の値を持ち、最小電圧値は線路間隔1.0mm、0.5mm及び0.2mmの時はそれぞれ、-50.5mV、-89.0mV及び-111.5mVであった。シミュレーションは四端子対回路網が整合時のモデル[13]であり、その最小電圧値は-51.6mVと誤差は2.7%であった。

線路間隔が小さくなるほど、50Ω終端抵抗負荷時の遠端クロストーク電圧が大きくなることを確認した。

図5 50Ω終端抵抗負荷接続時の遠端クロストーク
Fig.5 Far-end crosstalk with 50Ω-resistor load

(2) 75Ω終端抵抗負荷接続時

75Ω終端抵抗を負荷とした際の測定結果を図6に示す。75Ω終端抵抗負荷としたことで、50Ω終端抵抗負荷接続時には負側のみに現れていたクロストーク波形が、正側にも最大10mVの電圧として現れた。シミュレーションでも同様な結果が得られ、最小電圧の誤差0.7%、最大電圧は10.4mVで誤差は4.1%となった。

図6 75Ω終端抵抗負荷接続時の遠端クロストーク
Fig.6 Far-end crosstalk with 75Ω-resistor load

(3) 終端開放時

一方、終端を開放とした場合の実測とシミュレーション結果の誤差は、正側9.6%、負側13.3%であった。

図7にその結果を示す。

図7 終端開放時の遠端クロストーク

Fig.7 Far-end crosstalk with terminal opened

(4) コンデンサ負荷接続時

10pF、100pF及び1,000pFの各容量を持ったコンデンサ負荷接続時の遠端クロストーク波形を図8に示す。75Ω終端抵抗負荷接続時と同様に正側にも電圧が現れている。

実測結果と四端子対回路網シミュレーション結果は同様の傾向を示し、四端子対回路網という単純なモデルでも、10%程度の誤差でシミュレーション可能なことが分かった。

図8 コンデンサ負荷接続時の遠端クロストーク

Fig.8 Far-end crosstalk with capacitor load

<3.2> CMOS-IC負荷接続時の遠端クロストーク

実験は、CMOS-ICの1つのゲート(1番、2番ピン)を負荷として接続した場合と、3つあるいは6つのゲートを並列

に接続した場合の遠端クロストークを測定した。電源電圧は5Vとした。ここでは、1ゲート接続時の遠端クロストーク波形を図9に示す。コンデンサ負荷接続時と同様に正負の電圧として現れることが分かった。3ゲート及び6ゲートの結果については、考察で述べる。

図9 CMOS-IC負荷接続時の遠端クロストーク

Fig.9 Far-end crosstalk with CMOS-IC load

4 考察

<4.1> 終端負荷とクロストーク電圧波形の関係

整合状態でのクロストーク波形は入力波形の微分の反転波形になる事はよく知られている。この考えに基づき、終端負荷とクロストーク電圧波形の関係を考察していく。

(1) 抵抗負荷接続時及び終端開放時

50Ω抵抗負荷では入力波形が反射無く出力されるので、出力波形は入力波形と同じになり、クロストーク波形はその微分の反転波形になっている。

終端開放時は出力電圧が全反射される結果、出力波形は反射が無い場合の波形と線路長によって遅れた反射波形の和となり、合成波形の微分の反転波形がクロストーク波形になる。その結果、大きな正電圧を持ったクロストークが生起する。

75Ω抵抗接続時には、反射される割合が小さく、その微分値も小さいので正電圧部分が小さくなっている。すなわち、クロストーク波形はKauppの言うような入力波形の微分の反転波形ではなく、出力波形の微分の反転波形である。

(2) コンデンサ負荷接続時

コンデンサ負荷接続時の場合、コンデンサ容量が小さいときには端子条件は終端開放と同様であるから、大きな反射が起こり、大きな正電圧部分の発生原因となる。

しかし、コンデンサ容量が大きくなるにつれて端子条件は終端短絡に近づき、従って反射波形は小さくなっていき、その結果クロストークの正電圧部分が小さくなっていく。

〈4. 2〉 CMOS-IC 負荷接続時の遠端クロストーク

(1) 1ゲートの場合

図9から分かるように、CMOS-IC負荷接続時の遠端クロストーク波形は単なる容量4pFのコンデンサ負荷の場合と似ていることがわかる。すなわち、C-V特性の急激な変化点を除けばCMOS-ICの容量値は4pFでほぼ一定であり、同容量のコンデンサ負荷接続時のクロストーク波形と同様の結果が得られることから、一次近似としてはコンデンサ負荷として扱っても良いと考える。

また、単なるコンデンサ負荷接続時のクロストークとの差異は、正電圧波形のみに現れているが、このことはクロストーク波形が入力信号による負電圧成分と出力信号（反射信号）による正電圧成分から成るという推測を裏付けている。

シミュレーション結果については、正電圧の最大値において18.6%の誤差がある。これはCMOS-ICのC-V特性によるものとする。詳細については後述する。

図10 多ゲート並列接続時の遠端クロストーク
Fig. 10 Far-end crosstalk with Plural Gates

(2) 多ゲートの場合

1ゲートのCMOS-ICの容量が4pFであるので、3ゲートのCMOS-ICを並列接続すれば12pF、6ゲートで24pFとなる。単純に線形和となることを確認するため、各ゲートを並列接続して遠端クロストーク電圧を測定した結果を図10に示す。図4との比較により6ゲート並列接続時は、24pFのコンデンサ負荷の遠端クロストークと正電圧で22.3%、負電圧で13.3%の誤差がある。3ゲート並列接続時は、12pFのコンデンサ負荷の遠端クロストークと正電圧で24.2%、負電圧で8.4%の誤差がある。

多ゲート負荷とした場合、1ゲート負荷接続時と比較して、遠端クロストークの誤差が大きくなったのは、各ゲート間に、浮遊容量が発生したためであると考えられる。コンデンサ負荷の実測値と比較して算出した容量は3ゲートの時30pF、6ゲートの時40pFの容量となり、従ってその差約20pF

が浮遊容量であると考えられる。また、3ゲートの場合より6ゲートの方が容量値の大きなコンデンサ負荷接続時のクロストークと合致していることから、ゲート数が多いほど大きな容量となるという推測が確認できた。

(3) C-V特性を考慮したシミュレーション

今回使用したCMOS-ICのC-V特性は、電圧の変化に対して容量値は4pFでほぼ一定であるが、2.5Vを中心に $\pm 0.25V$ の間で釣り鐘状に最大19pFまで変化している。(図11)

図11 CMOS-ICのC-V特性
Fig. 11 C-V characteristic of the CMOS-IC

シミュレーションでは、C-V特性値を考慮して19pFまでの変化を与えても実測結果と合わず、4.25pFの変化により実験結果と最も近い値を示した。このことは、本実験で用いている入力信号が急峻なパルス信号であり電圧が急激に変化するため、すなわち出力波形の変化が速いためにCMOS-ICの容量変化が静的なC-V特性をトレースできず、僅かに0.25pFの変化にとどまったことを示唆する。従って、本実験で用いたものより立ち上がり時間の速い入力信号を用いた場合は、4.25pFよりさらに小さな容量変化になり、すなわち単なる容量値一定のコンデンサ負荷とみなすことができ、これにより生じる誤差も大きくはならないと考える。

これらのことから、CMOS-ICを負荷とした場合、静的なC-V特性を考慮しなくてもよく、すなわち単純な容量負荷とみなせること、したがって線形負荷として扱えることが明らかとなった。

〈4. 3〉 シミュレーション誤差 実測値とシミュレーション結果において生じている誤差の原因として以下の2点があげられる。

第1に、今回用いた四端子対回路網によるシミュレーションでは、理想的な状態、つまり容量Cのみを考慮しているが、実際に測定に用いているマイクロストリップ線路においては接合状態等により抵抗Rや誘導Lも生起していると考えられること。

第2に、入力信号に用いたデータが実測データを20分割し、直線で近似して与えているため、その接合部で誤差が生じていると考えられること。

これらはシミュレーションを単純化した事によるもので、シミュレーションの要素として抵抗R及び誘導Lも考慮すること、入力信号のデータとしてさらに分割数を増やし実信

号に近いデータを用いることに解決できるものとする。

5 むすび

本研究では、一般的に使用されているマイクロストリップ線路の中で、もっとも基本的な平行2線のマイクロストリップ線路を用い、CMOS-ICの非線形素子や50Ω終端抵抗負荷、75Ω終端抵抗負荷、容量を変えたコンデンサ負荷を用いて遠端クロストークを測定した。シミュレーションは簡便性を第一に選択し、四端子対回路網を用いた。

その結果から以下のことが明らかとなった。

高周波域におけるCMOS-ICを負荷とした時のクロストーク測定結果について、

(1) 遠端クロストーク波形は正負電圧として現れること。また、C-V特性の非線形性がクロストーク波形に現れないことから、

(2) CMOS-IC負荷接続時は線形負荷とみなせること。

CMOS-IC負荷を容量値一定のコンデンサ負荷とした場合の四端子対回路網を用いたシミュレーション結果は、実測結果とはほぼ一致した。このことは印加電圧に対する容量の変化(C-V特性の変化)が小さい場合に容量値一定のシミュレーションが有効であることを示す。

今後は、CMOS-ICに限らず一般に非線形素子を負荷とした場合の、非線形素子の静的なC-V特性ではなく動的なC-V特性に着目する事により、高精度なシミュレーションの手法を確立したい。

(平成9年6月26日受付、平成9年12月24日再受付)

文 献

- [1] H. R. Kaupp : Pulse crosstalk between microstrip transmission lines, 7th International Electronics Circuit Packaging Symposium Record (Wescon 66), 2/5, pp.1-12 (1966)
- [2] 伊藤 健一監修, ノイズ対策研究会編 : “ノイズ対策ハンドブック”, p.52, 日刊工業新聞社(1994)
- [3] 須藤 俊夫, 飯田 敦子, 吉原 邦夫, 宮城 武史 : “高密度配線基板における誘導雑音の解析”, 信学技報, EMCJ84-18, pp.15-20(1984)
- [4] A. Feller, H. R. Kaupp and J. J. Digiacomo : Crosstalk and reflections in high-speed digital systems, Proceedings - Fall Joint Computer Conference, Spartan Books, Washington, D. C., pp.511-524 (1965)
- [5] 奥川 俊二, 萩原 宏 : “マイクロストリップ線路間の誘導雑音の解析と計算”, 信学論, Vol.53-C, No.7, pp.485-492 (1970)
- [6] 福富 直樹, 中村 英博, 吉田 則信, 深井 一郎 : “空間回路網法によるクロストーク解析”, 信学論, Vol.J72-C-I, No.10, pp.642-649(1989)
- [7] 前田 修二, 柏 達也, 深井 一郎 : “FD-TD法を用いた平行マイクロストリップ線路のクロストーク解析”, 信

学論, Vol.J-74-C-I, No.4, pp.157-163 (1991)

- [8] 劉 維坤, 上 芳夫 : “隣接する有限長マイクロストリップ線路間のクロストーク解析”, 電学論, Vol.117-A, No.5, pp.502-508(1997)
- [9] 渋谷 昇, 高木 治夫, 熊本 佳代子, 本間 剛, 伊藤 健一 : “プリント配線板上のクロストーク雑音解析”, 信学論, Vol.J68-B, No.9, pp.1068-1076 (1985)
- [10] S. Lum, M. Nakhla, Q. Zhang : Sensitivity Analysis of Lossy Coupled Transmission Lines with Nonlinear Terminations, IEEE Transactions on Microwave Theory and Techniques, Vol.42, No.4, pp.607-615(1994)
- [11] 大谷 実, 松元 藤彦, 野口 泰明 : “コンデンサ負荷による遠端クロストーク”, 信学技報, EMCJ97-120, pp.25-31(1997)
- [12] 上 芳夫, 鬼形 俊雄 : “プリントパターン間のステップ応答”, 信学技報, EMCJ92-4, pp.23-28(1992)
- [13] 上 芳夫 : “プリントパターン間のステップ応答[II]”, 信学技報, EMCJ92-23, pp.1-6(1992)
- [14] 佐藤 利三郎 : “伝送回路”, 電子通信学会大学講座14, pp.29-87, コロナ社 (1963)
- [15] C. R. Paul : Literal Solutions for time-domain crosstalk on lossless transmission Lines, IEEE Trans. Electromagn. Compat., Vol. EMC-34, No.4, Nov. 1992.
- [16] J. Nitsh, C. E. Baum : Analytical treatment of uniform multiconductor transmission lines, IEEE Trans. Electromagn. Compat., Vol. EMC-35, No.2, May. 1993.

付 録

比較に用いるクロストーク係数について簡単に説明する。各線路の入出力端には、それぞれの線路の特性インピーダンスである50Ωに等しい終端抵抗が接続され、整合状態となっているとする。この状態での近端クロストーク電圧 V_b 、遠端クロストーク電圧 V_f はそれぞれ入力電圧 V_i 及びその時間微分係数 dV_i/dt との間に次式の関係があることが知られている[2]。

$$V_b(t) = K_b(V_i(t) - V_i(t - 2l\sqrt{LC})) \quad (1)$$

$$V_f(t) = K_f l \cdot dV_i(t - l\sqrt{LC})/dt \quad (2)$$

ここで、 l は平行線路長である。また、 K_b と K_f はそれぞれ近端クロストーク係数、遠端クロストーク係数と一般的に呼ばれ、次式で示される。

$$K_b = V_b/V_o \quad (3)$$

$$-K_f = V_f/\max(dV_o/dt)(l/l) \quad (4)$$

このとき K_b の符号は正、 K_f の符号は負である[2][4]。

野口 泰明

(非会員)1950年1月15生まれ、72年3月防衛大学校応用物理学専攻卒業、82年3月東京工業大学大学院総合理工学研究科電子システム専攻博士課程修了。海上自衛隊で電磁妨害に関する装備品の開発を経て防衛大学校勤務、1991年10月助教授、現在に至る。工学博士。生体工学、電磁環境工学などの研究に従事。IEEE、電子情報通信学会会員。

鞠古 賢

(非会員)1970年9月7日生まれ、93年3月防衛大学校応用物理学専攻卒業、現在、防衛大学校理工学研究科在学中。電磁環境工学の研究に従事。

大谷 実

(非会員)1963年11月5日生まれ、86年3月東海大学工学部光学工学科卒業、97年3月防衛大学校理工学研究科修士課程卒業。電磁環境工学の研究に従事。電子情報通信学会会員。

松元 藤彦

(正員)1966年9月1日生まれ、91年3月筑波大学第三学群基礎工学類卒業、96年3月筑波大学大学院博士課程工学研究科電子・情報工学専攻修了。同年4月防衛大学校応用物理学教室助手。工学博士。主にアナログ電子回路研究に従事。電子情報通信学会会員。