モバイル機器用 CMOS DC-DC コンバータの最適設計手法

正員 片山 靖* 非会員 江戸 雅晴*
 非会員 伝田 俊男* 非会員 川島 鉄也*
 正員 二宮 保**

Optimum Design of CMOS DC-DC Converter for Mobile Applications

Yasushi Katayama*, Member, Masaharu Edo*, Non-member, Toshio Denta*, Non-member,
 Tetsuya Kawashima*, Non-member, Tamotsu Ninomiya**, Member

In recent years, low output power CMOS DC-DC converters which integrate power stage MOSFETs and a PWM controller using CMOS process have been used in many mobile applications. In this paper, we propose the calculation method of CMOS DC-DC converter efficiency and report optimum design of CMOS DC-DC converter based on this method. By this method, converter efficiencies are directly calculated from converter specifications, dimensions of power stage MOSFET and device parameters. Therefore, this method can be used for optimization of CMOS DC-DC converter design, such as dimensions of power stage MOSFET and switching frequency. The efficiency calculated by the proposed method agrees well with the experimental results.

キーワード：CMOS，同期整流，導通損失，スイッチング損失，寄生キャパシタンス

Keywords: CMOS, synchronous rectifier, conduction loss, switching loss, parasitic capacitance

1. はじめに

携帯電話，デジタルカメラ，PDA (Personal Digital Assistance) などに代表されるモバイル機器に用いられる DC-DC コンバータでは，出力電力が数 W 以下と小さく，外付け部品の削減や小型化が要求されることから，スイッチ素子と制御回路を一体化した IC 化が進められている。また近年ではこのような IC と受動素子である出力平滑用インダクタとを一体化したマイクロ DC-DC コンバータの研究開発も進められており⁽¹⁾⁻⁽³⁾，効率 90% 以上と高効率かつ電力密度数 10 W/cm³ と小型な DC-DC コンバータの試作例も報告されている⁽⁴⁾⁻⁽⁷⁾。

このようなモバイル機器用 DC-DC コンバータにおいては，限られたサイズで高効率を実現するために，スイッチ素子やインダクタなどの素子定数やスイッチング周波数などの回路定数を最適設計する必要がある。このような最適

設計のためには，これらのパラメータを用いて DC-DC コンバータの効率を高精度に見積もることのできる計算手法が必要となる。

DC-DC コンバータの効率を計算する従来の手法としては，状態平均化法⁽⁸⁾などによる解析的手法や spice などの回路シミュレータを用いた数値計算的手法が挙げられるが，それぞれ以下に示すような問題点がある。

(1) 解析的手法では，オン状態およびオフ状態における導通損失を計算することは容易であるが，スイッチング損失のようなオン状態とオフ状態の遷移期間に発生する損失を正確に計算することが困難であり，計算誤差が大きい。

(2) 回路シミュレータで高精度の効率計算を行うには，高精度なデバイスモデルを用いて時間刻みを細かく計算する必要があり多大な計算時間を要する。このため，多くのパラメータの値を変えて最適値を求める最適化計算には適さない。

筆者らは，モバイル機器で多く用いられているスイッチ素子を一体化した CMOS 降圧同期整流 DC-DC コンバータについて，スイッチ素子やインダクタなどの素子定数からスイッチング損失や寄生キャパシタンスの充放電損失を高精度に計算する新たな解析的手法を提案し，マイクロ DC-DC コンバータ用 CMOS IC の最適化設計への適用により，提案手法による効率の計算値と実測値が良好に一致することを確認した⁽⁶⁾。

* 富士電機アドバンステクノロジー (株)

〒390-0821 松本市筑摩 4-18-1

Fuji Electric Advanced Technology Co., Ltd.
 4-18-1, Tsukama, Matsumoto 390-0821

** 九州大学大学院システム情報科学研究院

〒812-8581 福岡市東区箱崎 6-10-1

Graduate School of Information Science & Electrical Engineering,
 Kyushu University

6-10-1, Hakozaki, Higasi-ku, Fukuoka 812-8581

本稿では、この既報の内容に加えて、効率計算に必要なスイッチ素子のデバイスパラメータの計算法を詳細に述べ、さらに、提案手法の妥当性をスイッチ素子のオン抵抗およびスイッチング周波数が異なる CMOS IC を用いた DC-DC コンバータによる効率の計算値と実測値の比較により明らかにしている。

2. CMOS 降圧同期整流 DC-DC コンバータ

モバイル機器においては、DC-DC コンバータは主にバッテリーの電圧変換に用いられることから、入力電圧は一般に数 V ~ 10 数 V と低電圧である。このため、モバイル機器用 DC-DC コンバータの制御回路やスイッチ素子には低消費電力化や微細化に有利な CMOS プロセス技術を用いた CMOS IC が多く用いられている。図 1 に CMOS 降圧同期整流 DC-DC コンバータの回路図を示す。図 1 に示すように、回路は PWM 制御回路、ドライバ、主スイッチ用 FET の p-ch MOSFET (PMOS)、同期整流用 FET の n-ch MOSFET (NMOS)、出力インダクタ、出力コンデンサ、入力コンデンサから構成されている。ここで、制御回路、ドライバおよびスイッチ素子は CMOS プロセス技術を用いて同一シリコン基板上に形成された CMOS IC である。

3. 損失計算法⁽⁹⁾

以下では、図 1 に示す降圧同期整流 DC-DC コンバータにおける今回提案する損失計算法について説明する。

通常、DC-DC コンバータの損失を解析的に求める場合には、次のような手順で計算を行う。

- (1) 定常状態における DC-DC コンバータ 1 周期の動作を、オン期間、オフ期間、ターンオン期間、ターンオフ期間、デッドタイム期間など動作状態によって分ける。
- (2) 各期間の損失を DC-DC コンバータの構成要素についてそれぞれ計算する。
- (3) 計算した各期間の損失から、構成要素の単位時間あたりの平均損失を求める。
- (4) 計算した各構成要素の単位時間あたりの平均損失を合計し、DC-DC コンバータ全体の損失を計算する。

図 1 CMOS 降圧同期整流 DC-DC コンバータ

Fig. 1. CMOS synchronous buck converter.

このときに考慮する損失発生要因の選択とターンオンやターンオフ期間といった遷移期間における損失の計算が全体の計算精度に大きく影響する。

一般にモバイル機器用 DC-DC コンバータは、出力電流が数 100 mA と小さく、小型化のためスイッチング周波数が数 MHz と高いことから、損失計算においてゲート駆動損失のような寄生キャパシタンスによる損失の影響が無視できない。そのため、以下の損失計算では、これらの寄生キャパシタンスによる損失を全て考慮している。

一方、出力コンデンサおよび入力コンデンサに関しては、等価直列抵抗 (ESR) が数 mΩ と小さい積層セラミックコンデンサが多く使われ、これらの ESR による損失はインダクタやスイッチ素子に比べると十分小さいことから、以下の損失計算では無視している。

3・1 インダクタ損失 P_{ind} 図 2 に示すように、インダクタに流れる電流 i_L は、直流電流成分 I_{LDC} とリプル電流成分 i_{LAC} との和で表される。インダクタの損失発生要因を図 3 に示す損失等価抵抗 R_L として表すと、 i_L によって R_L 両端に誘起される電圧 v_{RL} は次式で表される。

$$v_{RL} = R_{LDC} I_{LDC} + R_{LAC} i_{LAC} \dots \dots \dots (1)$$

ここで、 R_{LDC} はインダクタの直流抵抗、 R_{LAC} はスイッチング周波数 f_{OSC} におけるインダクタの交流抵抗を表す。

(1) 式からインダクタ損失 P_{ind} は、以下のように計算することができる。

$$\begin{aligned} P_{ind} &= \frac{1}{T} \int_0^T v_{RL} i_L dt \\ &= \frac{1}{T} \int_0^T (R_{LDC} I_{LDC} + R_{LAC} i_{LAC}) (I_{LDC} + i_{LAC}) dt \\ &= R_{LDC} I_{LDC}^2 \cdot \frac{1}{T} \int_0^T dt + R_{LAC} \cdot \frac{1}{T} \int_0^T i_{LAC}^2 dt \\ &\quad + (R_{LDC} + R_{LAC}) I_{LDC} \cdot \frac{1}{T} \int_0^T i_{LAC} dt \\ &= R_{LDC} I_{LDC}^2 + R_{LAC} I_{LAC}^2 + (R_{LDC} + R_{LAC}) I_{LDC} \\ &\quad \cdot \frac{1}{T} \int_0^T i_{LAC} dt \dots \dots \dots (2) \end{aligned}$$

ここで、 T はスイッチング周期、 I_{LAC} は i_{LAC} の実効値を表す。

図 2 インダクタ電流

Fig. 2. Inductor current.

図3 インダクタの損失等価抵抗

Fig. 3. inductor equivalent resistance.

i_{LAC} の平均値は 0 であることから, (2) 式の第 3 項は 0 となり, (2) 式は以下ようになる。

$$P_{ind} = R_{LDC} I_{LDC}^2 + R_{LAC} I_{LAC}^2 \quad \cdots (3)$$

(3) 式において, I_{LDC} は出力電流 I_{OUT} に等しく, I_{LAC} は, 入力電圧 V_{IN} , 出力電圧 V_{OUT} , 出力インダクタのインダクタンス値 L_O , スwitching 周波数 f_{OSC} およびデューティ比 $D (= V_{OUT}/V_{IN})$ から, 以下のように求めることができる。

$$I_{LAC} = \frac{1}{2\sqrt{3}} \cdot \frac{V_{OUT}(1-D)}{L_O f_{OSC}} \quad \cdots (4)$$

したがって, P_{ind} は以下のように表される。

$$P_{ind} = R_{LDC} I_{OUT}^2 + \frac{R_{LAC} V_{OUT}^2 (1-D)^2}{12 L_O^2 f_{OSC}^2} \quad \cdots (5)$$

(5) 式において, 右辺第 1 項は直流電流によって発生する直流損失, 第 2 項はリプル電流によって発生する交流損失である。

3・2 主スイッチ用 FET (PMOS) 損失 P_{MOS_P} 主スイッチ用 FET (PMOS) の損失 P_{MOS_P} は, 導通損失 P_{ON_P} , スwitching 損失 P_{SW_P} , ゲート駆動損失 P_{DRV_P} , ドレイン-ソース間接合容量損失 P_{QDS_P} の和として以下のように表される。

$$P_{MOS_P} = P_{ON_P} + P_{SW_P} + P_{DRV_P} + P_{QDS_P} \quad \cdots (6)$$

(6) 式において, P_{ON_P} , P_{DRV_P} および P_{QDS_P} は次式で求められる。

$$P_{ON_P} = \frac{DR_{ON_P}}{3} \cdot (I_{peak}^2 + I_{bottom}^2 + I_{peak} I_{bottom}) \quad \cdots (7)$$

$$P_{DRV_P} = Q_{g_P} V_{DRV} f_{OSC} \quad \cdots (8)$$

$$P_{QDS_P} = \frac{1}{2} C_{DS_P} V_{IN}^2 f_{OSC} \quad \cdots (9)$$

ここで, R_{ON_P} は PMOS のオン抵抗, Q_{g_P} はゲート蓄積電荷, C_{DS_P} はドレイン-ソース間接合容量, V_{DRV} はオン期間にゲート-ソース間に印加するゲート駆動電圧である。

(7) 式に示す I_{peak} および I_{bottom} は, 図 2 に示すインダクタ電流の最大値および最小値で, それぞれ以下の式で与えられる。

$$I_{peak} = I_{OUT} + \frac{V_{OUT}(1-D)}{2L_O f_{OSC}} \quad \cdots (10)$$

$$I_{bottom} = I_{OUT} - \frac{V_{OUT}(1-D)}{2L_O f_{OSC}} \quad \cdots (11)$$

図4 PMOS のターンオンおよびターンオフ波形

Fig. 4. Turn-on and turn-off transition waveforms of PMOS.

図5 PMOS ゲート蓄積電荷特性

Fig. 5. PMOS gate charge characteristic.

PMOS のスitching 波形を, 図 4 に示すように電圧および電流がそれぞれ直線的に遷移すると仮定し, ターンオン期間における電圧および電流の遷移時間をそれぞれ t_{ON1} および t_{ON2} , ターンオフ期間における電圧および電流の遷移時間をそれぞれ t_{OFF1} および t_{OFF2} とおくと, P_{SW_P} は

$$P_{SW_P} = \frac{1}{2} V_{IN} I_{bottom} (t_{ON1} + t_{ON2}) f_{OSC} + \frac{1}{2} V_{IN} I_{peak} (t_{OFF1} + t_{OFF2}) f_{OSC} \quad \cdots (12)$$

と計算することができる。

図 5 に PMOS のゲート蓄積電荷特性を示す。図に示すスitching 電荷 Q_{SW} は, ドレイン電流の遷移に要するゲート電荷量 Q_{gs2} とドレイン-ソース電圧の遷移に要する電荷量 Q_{gd} との和で表される⁽¹⁰⁾。

したがって, (12) 式に示す t_{ON1} , t_{ON2} , t_{OFF1} , t_{OFF2} は, Q_{SW} を用いて以下のように近似することができる。

$$t_{ON1} + t_{ON2} = \frac{Q_{gd_ON}}{I_{g_ON}} + \frac{Q_{gs2_ON}}{I_{g_ON}} = \frac{Q_{SW_ON}}{I_{g_ON}} \quad \cdots (13)$$

$$t_{OFF1} + t_{OFF2} = \frac{Q_{gd_OFF}}{I_{g_OFF}} + \frac{Q_{gs2_OFF}}{I_{g_OFF}} = \frac{Q_{SW_OFF}}{I_{g_OFF}} \quad \cdots (14)$$

ここで、 I_{g_ON} および I_{g_OFF} は、ターンオン期間のゲート充電電流およびターンオフ期間のゲート放電電流の平均値、 Q_{SW_ON} および Q_{SW_OFF} はそれぞれドレイン電流が I_{bottom} および I_{peak} におけるスイッチング電荷とする。

図5に示す V_{gm} をゲート閾値電圧 V_{th} で近似し、ターンオン期間のゲート抵抗を R_{g_ON} 、ターンオフ期間のゲート抵抗を R_{g_OFF} とすると、(13)、(14)式より(12)式は以下のように変形できる。

$$P_{SW_P} = \frac{V_{IN} I_{bottom} R_{g_ON} Q_{SW_ON} f_{OSC}}{2(V_{DRV} - V_{th})} + \frac{V_{IN} I_{peak} R_{g_OFF} Q_{SW_OFF} f_{OSC}}{2V_{th}} \dots\dots\dots (15)$$

3・3 同期整流用 FET (NMOS) 損失 P_{MOS_N} 同期整流用 FET (NMOS) の損失 P_{MOS_N} は、導通損失 P_{ON_N} 、ゲート駆動損失 P_{DRV_N} 、ドレイン-ソース間接合容量損失 P_{QDS_N} 、デッドタイム期間のボディダイオード導通損失 P_{D_N} の和として以下のように表される。

$$P_{MOS_N} = P_{ON_N} + P_{DRV_N} + P_{QDS_N} + P_{D_N} \dots\dots\dots (16)$$

(16)式において、 P_{DRV_N} および P_{QDS_N} は、PMOS と同様に、NMOS のゲート蓄積電荷 Q_{g_N} およびドレイン-ソース間接合容量 C_{DS_N} を用いて次式のように計算することができる。

$$P_{DRV_N} = Q_{g_N} V_{DRV} f_{OSC} \dots\dots\dots (17)$$

$$P_{QDS_N} = \frac{1}{2} C_{DS_N} V_{IN}^2 f_{OSC} \dots\dots\dots (18)$$

P_{ON_N} および P_{D_N} は、NMOS のオン抵抗を R_{ON_N} 、ボディダイオードの順電圧を V_F 、デッドタイムを t_d とし、デッドタイム期間中はすべての電流がボディダイオードに流れていると仮定すると、それぞれ次式を用いて計算することができる。

$$P_{ON_N} = \frac{(1 - D - 2t_d f_{OSC}) R_{ON_N}}{3} \times (I_{peak}^2 + I_{bottom}^2 + I_{peak} I_{bottom}) \dots\dots\dots (19)$$

$$P_{D_N} = t_d f_{OSC} V_F (I_{bottom} + I_{peak}) \dots\dots\dots (20)$$

3・4 制御回路損失 $P_{control}$ 制御回路の損失 $P_{control}$ は、制御回路の平均消費電流 $I_{control}$ から次式で求められる。

$$P_{control} = V_{IN} I_{control} \dots\dots\dots (21)$$

3・5 全損失 P_{total} と効率 η DC-DC コンバータの全損失 P_{total} は、 P_{ind} 、 P_{MOS_P} 、 P_{MOS_N} 、 $P_{control}$ の和として以下のように表される。

$$P_{total} = P_{ind} + P_{MOS_P} + P_{MOS_N} + P_{control} \dots\dots\dots (22)$$

(22)式より、DC-DC コンバータの効率 η は次式で計算することができる。

$$\eta = \frac{V_{OUT} I_{OUT}}{V_{OUT} I_{OUT} + P_{total}} \times 100 \dots\dots\dots (23)$$

4. デバイスパラメータ^{(11)~(13)}

上記の計算法を用いて実際の図1のDC-DCコンバータの効率を計算するには、DC-DCコンバータの仕様に加えてスイッチ素子に用いるPMOSおよびNMOSのオン抵抗 R_{ON} 、スイッチング電荷 Q_{SW} 、ゲート蓄積電荷 Q_g 、ドレイン-ソース間接合容量 C_{DS} といったデバイスパラメータが必要となる。

以下では、これらのデバイスパラメータの計算法について説明する。なお、説明を簡単にするため、計算式は全てNMOSを基準としている。

4・1 CMOS デバイスの構造 図6にCMOSデバイスの構造を示す。CMOSデバイスはゲートに対してソースおよびドレインが対称なデバイス構造である。

不純物濃度やゲート酸化膜厚などのプロセス条件が同じ場合、PMOSおよびNMOSの特性は図に示すゲート長 L およびゲート幅 W によって決まる。

4・2 オン抵抗 R_{ON} 一般に、CMOSデバイスのゲート長 L 、ゲート幅 W 、ゲート-ソース間電圧 V_{GS} と R_{ON} の関係は次式で与えられる。

$$R_{ON} = \frac{1}{\mu C_{OX} \frac{W}{L} (V_{GS} - V_{th})} \dots\dots\dots (24)$$

ここで、 μ は電子の移動度、 C_{OX} は単位面積あたりのゲート酸化膜容量を表す。

しかしながら、実際には(24)式を用いた場合、広範囲の V_{GS} に対して良い近似を得ることができない。これは、 μ が V_{GS} によって発生するチャネル方向に垂直な電界強度に依存して変化することが原因とされており、このような V_{GS} 依存性は経験的に以下の式によって与えられる⁽¹²⁾。

$$\mu = \frac{\mu_0}{1 + (E_{eff}/E_0)^\nu} \dots\dots\dots (25)$$

図6 CMOSデバイスの構造

Fig. 6. Structure of CMOS devices.

$$E_{\text{eff}} = \frac{V_{\text{GS}} + V_{\text{th}}}{6T_{\text{OX}}} \dots\dots\dots (26)$$

ここで、 E_{eff} は垂直方向の平均電界、 μ_0 は $E_{\text{eff}} = 0$ における電子の移動度、 T_{OX} はゲート酸化膜厚を表し、 E_0 および ν は実測値から得られる合わせ込みパラメータである。

(25)、(26) 式を (24) 式に代入すると以下の式が得られる。

$$R_{\text{ON}} = \frac{1}{\frac{\mu_0}{1 + \left(\frac{V_{\text{GS}} + V_{\text{th}}}{6T_{\text{OX}}E_0}\right)^\nu} C_{\text{OX}} \frac{W}{L} (V_{\text{GS}} - V_{\text{th}})} \dots\dots\dots (27)$$

R_{ON} の近似には μ の V_{GS} 依存性を考慮した (27) 式を用いることとする。

(27) 式において、 T_{OX} および C_{OX} はゲート酸化膜厚によって一意に求まり、 ν 、 E_0 および μ_0 は、 W 、 L および V_{th} が既知のデバイスで測定した $R_{\text{ON}}-V_{\text{GS}}$ 特性を (27) 式を用いて近似計算することで求めることができる。

4・3 スイッチング電荷 Q_{SW} 図 7 に $V_{\text{GS}} > V_{\text{th}}$ における MOSFET 寄生キャパシタンスの模式図を示す。

ゲートの寄生キャパシタンスは、主に図に示すゲートとチャネル間の容量 C_1 、ゲートとソース拡散領域との容量 C_2 、ゲートとドレイン拡散領域との容量 C_3 によって構成されている。

図 6 に示すように、CMOS デバイスはゲートに対してソースとドレインが対称なデバイス構造であることから、 C_2 と C_3 は等しいと仮定でき、単位ゲート幅あたりのオーバーラップ容量 C_{OV} を用いて以下のように表すことができる。

$$C_2 = C_3 = C_{\text{OV}}W \dots\dots\dots (28)$$

図 5 に示す Q_{SW} の期間、MOSFET は飽和領域の動作となるため、 C_1 は次式によって表すことができる⁽¹³⁾。

$$C_1 = \frac{2}{3}C_{\text{OX}}WL \dots\dots\dots (29)$$

MOSFET がオフ時におけるドレイン-ソース間電圧 V_{DS} を V_{DD} 、オン時におけるドレイン電流 I_{D} を I_{DD} とおき、(28)、(29) 式を用いて、 Q_{gs2} および Q_{gd} を計算する。

Q_{gs2} は、図 7 において $V_{\text{DS}} = V_{\text{DD}}$ で一定とし、 V_{GS} を V_{th} から V_{gm} まで変化させた場合の電荷の変化量に等しいことから、以下のように求めることができる。

図 7 MOSFET の寄生キャパシタンス

Fig. 7. MOSFET parasitic capacitance.

$$Q_{\text{gs2}} = \left(2C_{\text{OV}}W + \frac{2}{3}C_{\text{OX}}WL\right)(V_{\text{gm}} - V_{\text{th}}) \dots\dots\dots (30)$$

V_{gm} を $I_{\text{D}} = I_{\text{DD}}$ となる V_{GS} と定義すると、飽和領域における V_{GS} と I_{D} の関係式から

$$I_{\text{DD}} = \frac{1}{2}\mu C_{\text{OX}} \frac{W}{L} (V_{\text{gm}} - V_{\text{th}})^2 \dots\dots\dots (31)$$

が求まり、(30) 式は次式のように変形できる。

$$Q_{\text{gs2}} = \left(2C_{\text{OV}}W + \frac{2}{3}C_{\text{OX}}WL\right) \sqrt{\frac{2I_{\text{DD}}}{\mu C_{\text{OX}} \frac{W}{L}}} \dots\dots\dots (32)$$

一方 Q_{gd} は、図 7 に示す V_{GS} を V_{gm} で一定とし、 V_{DS} を V_{DD} から 0 まで変化させた場合の各キャパシタンスにおける電荷の変化量に等しい。このとき $V_{\text{GS}} = V_{\text{gm}}$ で一定であることから、 C_1 および C_2 の電荷量に変化は無く、 C_3 の電荷量のみを考えれば良い。

したがって、 Q_{gd} は以下のように表される。

$$Q_{\text{gd}} = C_{\text{OV}}WV_{\text{DD}} \dots\dots\dots (33)$$

(32)、(33) 式から、 Q_{SW} は次式のように求められる。

$$Q_{\text{SW}} = \left(2C_{\text{OV}}W + \frac{2}{3}C_{\text{OX}}WL\right) \sqrt{\frac{2I_{\text{DD}}}{\mu C_{\text{OX}} \frac{W}{L}}} + C_{\text{OV}}WV_{\text{DD}} \dots\dots\dots (34)$$

μ および C_{OV} は、 W および L が既知のデバイスで測定した $Q_{\text{SW}}-I_{\text{DD}}$ 特性を (34) 式によって近似計算することで求めることができる。

PMOS の場合、 I_{DD} および V_{DD} をそれぞれ絶対値とすることで、(34) 式を適用することができる。

4・4 ゲート蓄積電荷 Q_{g} 計算を簡単にするため、以下の仮定を行う。

(1) $V_{\text{GS}} < V_{\text{th}}$ では、 C_1 は C_2 、 C_3 に比べて十分小さい。

(2) $V_{\text{GS}} > V_{\text{th}}$ では、 $C_1 = C_{\text{OX}}WL$ とする。

これらの仮定から、 Q_{g} は以下のように求められる。

$$\begin{aligned} Q_{\text{g}} &= 2C_{\text{OV}}WV_{\text{GS}} + C_{\text{OX}}WL(V_{\text{GS}} - V_{\text{th}}) + Q_{\text{gd}} \\ &= 2C_{\text{OV}}WV_{\text{GS}} + C_{\text{OX}}WL(V_{\text{GS}} - V_{\text{th}}) + C_{\text{OV}}WV_{\text{DD}} \end{aligned} \dots\dots\dots (35)$$

C_{OV} は、 W および L が既知のデバイスで測定した $Q_{\text{g}}-V_{\text{GS}}$ 特性を (35) 式を用いて近似計算することで求めることができる。

4・5 ドレイン-ソース間接合容量 C_{DS} C_{DS} の計算には、CMOS アナログ回路シミュレータにおいて C_{DS} のモデルとして使用されている以下の式を用いる⁽⁹⁾。

$$C_{\text{DS}} = A_{\text{D}}C_{\text{j}} + P_{\text{D}}C_{\text{jsw}} \dots\dots\dots (36)$$

ここで、 C_{j} は図 7 に示すドレイン底面部における単位面積あたりの接合容量、 C_{jsw} は図 7 に示すドレイン側壁部における単位長さあたりの接合容量、 A_{D} はドレイン底面積、

P_D はドレイン周辺長を表す。

C_J および C_{Jsw} はそれぞれ次式で表される。

$$C_J = C_J \left(1 - \frac{V_{DS}}{P_B} \right)^{-M_J} \dots\dots\dots (37)$$

$$C_{Jsw} = C_{Jsw} \left(1 - \frac{V_{DS}}{P_{BSW}} \right)^{-M_{Jsw}} \dots\dots\dots (38)$$

ここで、 C_J は $V_{DS} = 0$ におけるドレイン底面部の単位接合容量、 C_{Jsw} は $V_{DS} = 0$ におけるドレイン側壁部の単位接合容量、 P_B はドレイン底面接合ビルトイン電圧、 P_{BSW} はドレイン側壁接合ビルトイン電圧、 M_J はドレイン底面接合傾斜係数、 M_{Jsw} はドレイン側壁接合傾斜係数である。

A_D および P_D は W および図 6 に示すドレイン長 L_D を用いてそれぞれ以下のように求められる。

$$A_D = WL_D \dots\dots\dots (39)$$

$$P_D = 2(W + L_D) \dots\dots\dots (40)$$

したがって、 C_{DS} は次式で求められる。

$$C_{DS} = WL_D C_J \left(1 - \frac{V_{DS}}{P_B} \right)^{-M_J} + 2(W + L_D) C_{Jsw} \left(1 - \frac{V_{DS}}{P_{BSW}} \right)^{-M_{Jsw}} \dots\dots (41)$$

(39) 式の各パラメータは、回路シミュレータで用いられている数値を利用する。

5. オン抵抗と寄生キャパシタンスとのトレードオフの関係

前述のとおり、CMOS デバイスの特性はゲート長 L およびゲート幅 W によって決まるが、通常 L はデザインルールによって決まる最小値とするため、実際に設計可能なパラメータは W のみである。

そこで、各デバイスパラメータの W に対する依存性について考えてみる。

R_{ON} は (27) 式に示すように W に反比例する。一方、寄生キャパシタンスに関係するデバイスパラメータ Q_{sw} 、 Q_g 、 C_{DS} については、 Q_{sw} は (34) 式に示すように W に対する比例項と $\sqrt{W}$ に対する比例項との和で表され、 Q_g および C_{DS} は (35) 式および (41) 式に示すように W と比例関係となる。

このことから、 R_{ON} と Q_{sw} 、 Q_g 、 C_{DS} とはゲート幅 W に対してトレードオフの関係となることがわかる。

3 章で述べたように、PMOS および NMOS の損失は、上記のデバイスパラメータに比例する損失成分の和で表されるため、PMOS および NMOS の W については、このようなトレードオフ関係から DC-DC コンバータの仕様に対して損失が最小となる最適値が存在することとなる。

6. 計算結果の検証

3 章および 4 章で述べた計算手法の妥当性を検証するた

め、スイッチ素子のゲート幅 W が異なる 3 種類の CMOS IC を用いた DC-DC コンバータの試作、効率の測定を行い、実測値と計算値との比較を行った。表 1 に比較に用いた CMOS IC および DC-DC コンバータの仕様を示す。

表 1 に示す type B は type A に対して PMOS および NMOS のゲート幅 W が約 2 倍、type C は type A に対して約 4 倍で設計しており、オン抵抗はそれぞれ type A の約 1/2 および約 1/4 になっている。

R_{P_P} および R_{P_N} は、評価ボードにおいて実測した PMOS および NMOS に直列に挿入されるパッケージおよび評価ボードの寄生抵抗である。実際にはこの寄生抵抗の影響が無視できないため、 R_{ON_P} および R_{ON_N} に、それぞれ R_{P_P} および R_{P_N} を加算し計算している。

実測値と計算値との比較を図 8(a) ~ (c) に示す。図 8 において、 f_{osc} 依存性を比較すると、重負荷や W が小さい場合に絶対値の誤差が大きいものの、 f_{osc} が 2 MHz と 5 MHz との効率の差を比較すると、出力電流や W によらず実測値と計算値で比較的良く一致している。

出力電流依存性を比較すると、0.2 A 以下の軽負荷においては、 W や f_{osc} によらず実測値と計算値は比較的良く一致しているが、0.2 A 以上の重負荷になると、 W が小さくなるにつれて実測値と計算値の誤差が大きくなっている。

軽負荷においては、ゲート駆動損失、ドレイン-ソース間接合容量損失、インダクタの交流損失、制御回路損失など

表 1 DC-DC コンバータの仕様

Table 1. Specifications of DC-DC converter.

	type A	type B	type C
(1) CMOS IC			
PMOS on resistance $R_{ON_P} [\Omega]$	0.98	0.49	0.26
NMOS on resistance $R_{ON_N} [\Omega]$	0.26	0.14	0.07
on state gate resistance $R_{g_ON} [\Omega]$	8.46	7.91	7.66
off state gate resistance $R_{g_OFF} [\Omega]$	13.50	12.95	12.70
PMOS parasitic resistance $R_{P_P} [\Omega]$	0.116		
NMOS parasitic resistance $R_{P_N} [\Omega]$	0.111		
control circuit supply current $I_{control} [\mu A]$	300		
(2) DC-DC converter			
input voltage $V_{IN} [V]$	3.6		
output voltage $V_{OUT} [V]$	1.2		
gate driving voltage $V_{DRV} [V]$	equal to V_{IN}		
switching frequency $f_{osc} [MHz]$	2.0 / 5.0		
dead time $t_d [ns]$	20		
output inductor inductance $L_o [\mu H]$	1.67 (at 2 MHz, 0.3 A) / 1.68 (at 5 MHz, 0.3 A)		
output inductor DC resistance $R_{LDC} [\Omega]$	0.43		
output inductor AC resistance $R_{LAC} [\Omega]$	1.07 (at 2 MHz, 0.3 A) / 2.32 (at 5 MHz, 0.3 A)		

出力電流依存性がない損失が支配的となることから、前述の計算法により、これらの損失は比較的精度良く見積もることができていると考えられる。

一方、重負荷においては、導通損失、スイッチング損失、インダクタの直流損失など出力電流依存性を持つ損失が支配的となるが、図に示すように、誤差が W 依存性を持つこと、 f_{OSC} 依存性は比較的良く一致していることから、 W 依存性のないインダクタ損失と f_{OSC} 依存性のあるスイッチング損失に関しては比較的精度良く見積もることができていると考えられる。このことから、 f_{OSC} 依存性がない導通損

失の W 依存性誤差が大きいものと推測される。

図 8 の計算に用いた R_{ON} は、(27) 式に示すパラメータ E_0, ν を取得するのに type C とほぼ同じ W のデバイスを用いている。このため、パラメータを取得したデバイスの W に近い type C では誤差が比較的少ないのに対して、type A のように W が小さくなると R_{ON} の誤差が大きくなり、導通損失の誤差が大きくなったものと考えられる。

以上のように、 W が小さい場合の導通損失の誤差に課題はあるが、3 章および 4 章で述べた計算手法に関してはほぼ妥当であると考えられる。

7. マイクロ DC-DC コンバータ用 CMOS IC の最適化設計

計算法の妥当性が確認できたため、次に本手法を用いてマイクロ DC-DC コンバータ用 CMOS IC の最適化設計を行う。

7.1 マイクロ DC-DC コンバータ 図 9 にマイクロ DC-DC コンバータの断面図、図 10 にインダクタ、図 11 にマイクロ DC-DC コンバータの外観写真を示す⁽⁵⁾⁻⁽⁷⁾。

図 9、図 10 に示すように、マイクロ DC-DC コンバータは Ni-Zn フェライト基板にソレノイド状のコイル導体を形成した薄型インダクタの上に CMOS IC をフリップチップ実装することで、図 1 に示す降圧同期整流 DC-DC コンバータの CMOS IC と出力インダクタとの一体化を実現している。

マイクロ DC-DC コンバータは、外形寸法や製造プロセスなどの制約から、インダクタの特性が制限される。このため、制限されたインダクタの特性から最大の効率を得る

図 8 実測値と計算値との比較

Fig. 8. Comparison between measured value and calculated value.

図 9 マイクロ DC-DC コンバータの断面図

Fig. 9. Cross sectional view of micro DC-DC converter.

図 10 インダクタの外観写真

Fig. 10. Photograph of inductor.

図 11 マイクロ DC-DC コンバータの外観写真

Fig. 11. Photograph of micro DC-DC converter.

表 2 マイクロ DC-DC コンバータ用インダクタの特性

Table 2. Inductor characteristics.

inductance L_o [μ H]	1.64 (at 2.0 MHz, 0.3 A)
DC resistance R_{LDC} [Ω]	0.20
AC resistance R_{LAC} [Ω]	0.61 (at 1.0 MHz, 0.3 A) 0.69 (at 1.5 MHz, 0.3 A) 0.84 (at 2.0 MHz, 0.3 A)

表 3 マイクロ DC-DC コンバータの回路条件

Table 3. circuit conditions of micro DC-DC converter.

input voltage V_{IN} [V]	3.6
output voltage V_{OUT} [V]	1.5
output current I_{OUT} [mA]	300
control circuit supply current $I_{control}$ [μ A]	300
dead time t_d [ns]	15

には，CMOS IC の最適設計が必要となる。

7.2 CMOS IC の最適化設計 図 10 に示すマイクロ DC-DC コンバータ用インダクタの電気的特性を表 2，最適化計算を行うマイクロ DC-DC コンバータの回路条件を表 3 に示す。

前述の計算手法を用いて，以下のインダクタ特性およびマイクロ DC-DC コンバータの回路条件に最適なスイッチ素子のサイズおよびスイッチング周波数を計算する。

表 2，表 3 の条件に対して，PMOS および NMOS の R_{ON} をそれぞれ変化させたときの効率を， f_{OSC} が 1.0 MHz，1.5 MHz，2.0 MHz についてそれぞれ計算する。図 12 に計算した R_{ON} と効率の関係を示す。

前述のとおり PMOS および NMOS の W には損失が最小となる最適値が存在することから， R_{ON} をパラメータとした場合，同様にそれぞれ損失が最小となる最適値が存在する。

一方，損失の f_{OSC} に対する依存性は，ゲート駆動損失 P_{DRV_P} ， P_{DRV_N} やドレイン-ソース間接合容量損失 P_{QDS_P} ， P_{QDS_N} などが (8) 式，(9) 式，(17) 式，(18) 式に示すように

(a) $f_{OSC} = 1.0$ MHz

(b) $f_{OSC} = 1.5$ MHz

(c) $f_{OSC} = 2.0$ MHz

図 12 周波数および R_{ON} の最適化

Fig. 12. Optimization of frequency and on resistance.

図 13 マイクロ DC-DC コンバータ用 CMOS IC

Fig. 13. CMOS IC for micro DC-DC converter.

表 4 マイクロ DC-DC コンバータの仕様

Table 4. Specifications of micro DC-DC converter.

topology	buck (synchronous)
input voltage : V_{IN}	2.7 V ~ 5.5 V
output voltage : V_{OUT}	0.8 ~ 3.0 V
maximum output current : I_{OMAX}	500 mA
switching frequency : f_{OSC}	1.8 MHz
dead time : t_d	15 ns
PMOS on resistance : R_{ON_P}	0.26
NMOS on resistance : R_{ON_N}	0.22
output inductor	table 2
width x length	3.5 mm x 3.5 mm
height	1.0 mm

f_{OSC} との比例関係であるのに対して、インダクタ損失 P_{ind} は (5) 式に示すように、 R_{LAC}/f_{OSC}^2 との比例関係となっている。通常、 R_{LAC} は f_{OSC} に対する依存性を持つが、表 2 に示すように R_{LAC} の f_{OSC} に対する増加率が f_{OSC}^2 より十分小さい場合は (5) 式は f_{OSC} に対して単調減少となる。したがってこのような場合には、 f_{OSC} についても W と同様に損失が最小となる最適値が存在することとなる。

図 12(a)~(c) において、それぞれの最大効率を比較すると、 $f_{OSC} = 1.0 \text{ MHz}$ 、 1.5 MHz では 83%、 2.0 MHz では 82% となっており、最大効率を得られる領域を比較すると、 $f_{OSC} = 1.0 \text{ MHz}$ に比べて 1.5 MHz では最大効率 83% が得られる領域が広がっている。 $f_{OSC} = 1.5 \text{ MHz}$ において最大効率を得られる PMOS および NMOS の R_{ON} は、それぞれ 0.25Ω および 0.1Ω となっている。

以上の計算結果から、表 2、表 3 の条件に対する f_{OSC} の最適値は 1.5 MHz 、PMOS の R_{ON} 最適値は 0.25Ω 、NMOS の R_{ON} 最適値は 0.1Ω であることがわかる。

7・3 マイクロ DC-DC コンバータの試作結果 図 13 に試作した CMOS IC の外観、表 4 に試作したマイクロ DC-DC コンバータの仕様を示す。

図 12(b) に示すように、NMOS の R_{ON} が 0.1Ω から 0.2Ω に増加しても DC-DC コンバータの効率は 1% 程度しか低下しないのに対して、NMOS のデバイス面積は $1/2$ に低減

(a) $V_{IN} = 3.6 \text{ V}$

(b) $V_{IN} = 1.5 \text{ V}$

図 14 マイクロ DC-DC コンバータの効率特性

Fig. 14. Efficiency characteristics of micro DC-DC converter.

することができる。このため試作した CMOS IC では、デバイス面積を考慮し、表 4 に示すように、NMOS の R_{ON} を前節で計算した最適値の約 2 倍の 0.22Ω としている。

また、スイッチング周波数は、実機で調整した結果、効率が最大となる 1.8 MHz としている。

図 14 にマイクロ DC-DC コンバータの効率の実測値および計算値を示す。図 14(a) は、 V_{IN} が 3.6 V で、 V_{OUT} を 1.2 V 、 1.5 V 、 2.3 V と変えた場合の効率、図 14(b) は、 V_{OUT} が 1.5 V で、 V_{IN} を 2.7 V 、 3.6 V 、 4.3 V と変えた場合の効率である。

図 14 に示すように、出力電流が大きくなると誤差が大きくなるものの、最適化を行った出力電流 300 mA においては実測値と計算値が良く一致しており、設計通りの効率が得られていることが確認できる。

また、5 章では $V_{IN} = 3.6 \text{ V}$ 、 $V_{OUT} = 1.2 \text{ V}$ の条件における誤差の検証を行ったが、図 14 から、この条件以外の広範囲の V_{IN} および V_{OUT} に関しても比較的良く一致していることが確認できる。

8. おわりに

モバイル機器で多く用いられるスイッチ素子を一体化した CMOS IC を用いた降圧同期整流 DC-DC コンバータに

ついて、従来の手法では正確に求めることが困難なスイッチング損失や寄生キャパシタンスの充放電損失を高精度に計算する新たな解析の手法を提案した。

また、スイッチ素子のサイズが異なる3種類のCMOS ICを試作し、効率の実測値と計算値との比較を行うことにより、提案手法の妥当性を検証した。

最後に、提案手法を用いてマイクロDC-DCコンバータ用CMOS ICの最適化設計を行い、設計値と実測値が良好に一致することを確認した。

本手法によると、設計段階においてDC-DCコンバータの効率を正確に見積もることができるため、スイッチ素子を内蔵したモバイル機器用CMOS DC-DCコンバータの設計に非常に有用である。

(平成15年11月25日受付、平成16年4月27日再受付)

文 献

- (1) T. Mizoguchi: "Micro DC/DC converter using Thin Film Inductor", *T. IEEE Japan*, Vol.117-A, No.1, pp.1-6 (1997-1) (in Japanese)
溝口徹彦:「薄膜インダクタを用いた超小型DC/DCコンバータ」, 電学論 A, 117, 1, pp.1-6 (1997-1)
- (2) M. Mino, K. Tsukamoto, K. Yanagisawa, and A. Tago: "A Compact Buck-Converter Using a Thin-Film Inductor", *APEC Record*, pp.442-426 (1996)
- (3) Y. Katayama, S. Sugahara, H. Nakazawa, and M. Edo: "High-Power-Density MHz-Switching Monolithic DC-DC Converter with Thin-Film Inductor", *PESC'00 Record*, pp.1485-1490 (2000)
- (4) 大谷充昭:「4532 チップサイズ電源「マイクロDC/DCコンバータ」, 17th スイッチング電源システムシンポジウム, p.D6-3-1 (2002)
- (5) 片山 靖:「超小型DC-DCコンバータの開発動向」, 電子情報通信学会電子通信エネルギー技術研究専門委員会第2種研究会 (2002)
- (6) Y. Katayama, M. Edo, T. Denta, and T. Kawashima: "Optimized Design of CMOS IC for Micro DC-DC Converter", *Technical Report of IEICE*, No.EE2003-35, pp.13-18 (2003) (in Japanese)
片山 靖・江戸雅晴・伝田俊男・川島鉄也:「マイクロDC-DCコンバータ用CMOS ICの最適化設計」, 信学技法, Vol.EE2003-35, pp.13-18 (2003)
- (7) Z. Hayashi, Y. Katayama, M. Edo, and H. Nishio: "High-Efficiency DC-DC converter Chip Size Module With Integrated Soft Ferrite", *IEEE Trans. on Magnetics*, Vol.39, No.5, pp.3068-3072 (2003)
- (8) K. Harada, T. Ninomiya, and W.J. Gu: "The Fundamentals of Switched-Mode Converters", Corona publishing (1992) (in Japanese)
原田耕介・二宮 保・顧 文建: スイッチングコンバータの基礎, コロナ社 (1992)
- (9) A. Reatti: "Steady-state analysis including parasitic components and switching losses of buck and boost DC-DC PWM converters under any operating condition", *Int. J. Electronics*, Vol.77, No.5, pp.679-701 (1994)
- (10) A. Lidow:「21世紀のパワー・マネージメント用半導体ロードマップ」, 第7回日経ボード情報フォーラム, p.4-1 (2000)
- (11) B. Razavi: "Design of Analog CMOS Integrated Circuit", McGraw-Hill (2001)
- (12) Y. Cheng and C. Hu: "MOSFET MODELING & BSIM3 USER'S GUIDE", Maruzen (2002) (in Japanese)
- (13) P.R. Gray and R.G. Meyer: "Analysis and Design of Analog Integrated Circuits third edition", John Wiley and Sons, pp.69-70 (1992)

片山 靖 (正員) 1968年8月14日生。1993年3月東京工業大学電気電子工学科卒業。1995年3月同大学院修士課程修了。同年4月富士電機(株)入社、現在に至る。パワーエレクトロニクス機器、スイッチング電源の開発を経て、現在、電源ICの開発に従事。

江戸 雅晴 (非会員) 1969年12月10日生。1993年3月東京理科大学電気工学科卒業。同年4月富士電機(株)入社、現在に至る。マイクロマシン、マイクロセンサの研究開発を経て、現在、マイクロ磁気デバイスの開発に従事。

伝田 俊男 (非会員) 1968年5月12日生。1989年3月日本電子専門学校電気工学課卒業。同年4月富士電機(株)入社、現在に至る。主として、鉛フリーはんだの適用技術開発、実装技術開発に従事。

川島 鉄也 (非会員) 1976年2月3日生。1998年3月九州工業大学電気工学科卒業。2000年3月同大学院修士課程修了。同年4月富士電機(株)入社、現在に至る。実装技術の開発に従事。

二宮 保 (正員) 1944年10月15日生。1967年3月九州大学工学部電子工学科卒業。1969年同大学院修士課程修了。同年同大電子工学科助手、同大講師、助教授を経て1988年同大教授となり、現在に至る。工学博士。スイッチング電源、雑音解析、信頼性工学などの研究に従事。IEEE Fellow。