階調制御型瞬低補償装置におけるエネルギー流用制御

正員 山田 正樹* 正員 鈴木 昭弘*
正員 岩田 明彦* 正員 菊永 敏之*
正員 吉安 一* 正員 山本 和生**
正員 羽田野伸彦**

Effective Operation Method by Interdependent Use of Condenser Energy of the Voltage Transient Sag Compensator with Controlled Gradational Voltage

Masaki Yamada*, Member, Akihiro Suzuki*, Member, Akihiko Iwata*, Member, Toshiyuki Kikunaga*, Member, Hajimu Yoshiyasu*, Member, Kazuo Yamamoto**, Member, Nobuhiko Hatano**, Member

This paper presents the efficient operation method by interdependent use of condenser energy on the new concept of voltage transient sag compensator. This compensator consists of the series connection inverter units, and each inverter unit generates a different output voltage by 2^n times. Namely, in this system, the compensation energy is accumulated in each inverter unit's condenser charged with different voltage by 2^n times. The method proposed here, in any case of various levels of transient voltage sags on the power line, provides the efficient use of condenser energy of all these inverter units. The method of interdependent use of condenser energy is also verified by the experiment.

キーワード：瞬時電圧低下，階調制御電圧，直列補償，DVR，マルチレベルインバータ
Keywords: voltage sag, controlled gradational voltage, series compensation, DVR, multilevel inverter

1. まえがき

電力系統の瞬時電圧低下（以下，瞬低と略す）を補償する装置として，「階調制御電圧による瞬低補償装置」の開発を進めている⁽¹⁾⁽²⁾。本装置は， 2^n 倍ずつ異なる充電電圧のコンデンサをエネルギー源とする直列多重インバータから構成され，瞬低電圧レベルに応じて，適切な組み合わせでインバータを動作させることで補償電圧を出力する新方式の装置である。この各直列多重インバータの組み合わせによって出力レベルは二進数で変化し，インバータの直列数の増加に従って，滑らかな出力電圧変化が得られる。そこで，この方式をディスプレイなどに用いられる色の変化に例えて，「階調制御方式」と呼ぶ。この方式では高精度な近似正弦波電圧を系統電圧に直接重畳させるため，大容量のトランスやフィルタが不要であり，従来用いられてきた系統直列挿入型瞬低補償装置である DVR（Dynamic Voltage

Restorer）⁽³⁾ に比べて，小型・低コストとなることが期待できる。

一方，DVR では，補償エネルギーを 1 つのコンデンサユニットに蓄積しているため，瞬低のレベルによらず蓄積エネルギーを有効に補償に利用できるのに対して，本補償装置においては，例えば電圧低下の小さい瞬低の場合，コンデンサ電圧の低いインバータユニットのみが動作するため，特定のコンデンサの電圧が低下し，他のインバータユニットの蓄積エネルギーは使用されない。その結果，電圧低下レベルの小さい瞬低に関しては，DVR よりも補償時間が短くなるという問題があった。また，特定のコンデンサ電圧のみが低下する事によって，電圧波形のひずみが補償時間とともに大きくなってしまう。実際，瞬低の多くは低下量が小さく⁽⁴⁾，また，蓄積エネルギーの利用効率を高くすることは，装置の小型化，低コスト化につながることから，この問題を解決しておくことは極めて重要である。

本稿では上記問題を解決する方法として考案した，各インバータユニットのコンデンサ間のエネルギーを流用するアイデアについて述べる。また，実際にエネルギー流用を行う制御システムを提案・試作し，蓄積エネルギーの有効利用による補償可能時間の延長効果を実験的に検証したこと，さらに，補償装置のコンデンサ電圧のサグを補償する回路を追加することで，蓄積エネルギーの有効利用の効果

* 三菱電機（株）先端技術総合研究所
〒661-8661 尼崎市塚口本町 8-1-1
Advanced Technology R&D Center Mitsubishi Electric Corp.
8-1-1, Tsukaguchi-Honmachi, Amagasaki 661-8661
** 関西電力（株）電力技術研究所
〒661-0974 尼崎市若王寺 3-11-20
The Kansai Electric Power Co., Inc.
3-11-20, Nakoji, Amagasaki 661-0974

図 1 階調制御瞬低補償装置

Fig. 1. 3-line diagram of voltage transient sag compensator with controlled gradational voltage.

についても検討した。

2. エネルギー流用制御の考え方

2・1 ビット間エネルギー流用制御の基本原則 瞬低補償装置の回路を構成する各ユニットはインバータとコンデンサ、充電回路から成る。インバータは IGBT (Insulated Gate Bipolar Transistor) とそれに逆並列されたダイオードから構成される。各ユニットのコンデンサ充電電圧をそれぞれ 2 倍ずつ異なった値、例えば V_0 , $2V_0$, $4V_0$ としておくと、各ユニットのインバータの駆動パターンの組み合わせによって $-7V_0$ から $7V_0$ までの電圧を発生させる事ができる。各ユニットにおいて、この電圧出力オン・オフをそれぞれ「0」、「1」で表現すると 2 進数の取り扱いになる。そこで各ユニットを、最大電圧のビットを第 1 ビット、以下、第 2 ビット、第 3 ビットと呼ぶ事にする。

階調制御瞬低補償装置を図 1 に示す。この補償装置は並列に接続された高速遮断器 (HSS) とともに系統に直列に挿入される。高速遮断器⁵⁾は通電損失が極めて小さい機械式スイッチであり、通常時は閉極された高速遮断器を通じて負荷側に電力供給される。瞬低が発生すると、高速遮断器を開極して瞬低補償動作を開始する。

図 1 の瞬低補償装置において、第 1～3 ビットのコンデンサの充電電圧を $4V_0$, $2V_0$, V_0 としておく。また、第 4 ビットをサグ補償ユニット (後述) とする。インバータは IGBT (Insulated Gate Bipolar Transistor) とそれに逆並列されたダイオードから構成される。

図 2 に第 1～3 ビットを使った模擬正弦波出力時の電圧発生タイミングを示す。図 2 では全ユニットを動作させているが、瞬低時には系統電圧の低下量に応じた適切なユニットを動作させることにより補償に必要な電圧を出力する。

上記の通り本瞬低補償装置は、インバータをビット数に相当する数だけ備えた補償ユニットを 3 相分備えており、それらはいずれも電氣的に絶縁されたエネルギー蓄積用のコ

図 2 階調電圧発生時の各ビットの動作タイミング

Fig. 2. Operational timing chart of each inverter unit.

ンデンサを有している。従って、瞬低時の低下量が比較的小さい場合など、充電電圧の小さなビットばかりが動作する可能性がある。その場合、特定のビットの補償コンデンサの電圧が低下し、各ビットのコンデンサ電圧の 2 進の関係がくずれて、精度良い補償動作ができなくなる。また、他のビットの蓄積エネルギーが使用できないため、エネルギー利用率の低い装置となってしまう。ビット間エネルギー流用制御は、このような場合に補償装置の各ビットコンデンサ電圧の比が一定になるように制御するものである。

ビット間コンデンサエネルギー流用アルゴリズムを以下に示す。3 ビットの補償動作の場合、電圧階調レベルは 1～7 の 7 通り存在する。この出力を実現するための論理テーブルは表 1 の通りとなる。補償装置からの出力電圧と電流が同極性の場合、表中で論理が 1 のものにはコンデンサから電荷が放電し、 -1 の場合にはコンデンサに電荷が充電される。逆に補償装置からの出力電圧と電流が反対の極性の場合、表中で論理が 1 のものには充電、 -1 の場合には放電される。この時、表 1 からわかるように、例えば階調 1 を出力する場合、3 通りの出力パターンが存在する。図 3 は表 1 の階調 1、すなわち補償装置の出力電圧 V_0 を実現するための V_0 を使って出力するパターン、および“ $2V_0 - V_0$ ”、“ $4V_0 - 2V_0 - V_0$ ”とするパターンの 3 通りを示している。

表 1 出力階調と各ビットの動作論理
Table 1. Output logic table of each inverter unit.

	Output level													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
$4V_0$	0	0	1	0	1	0	1	1	1	1	1	1	1	1
$2V_0$	0	1	-1	1	-1	1	-1	0	0	0	1	1	1	1
V_0	1	-1	-1	0	0	1	1	-1	0	1	-1	0	1	1

図 3 1 階調時の出力パターン

Fig. 3. Output pattern (output gradation=1).

これにより第 2, 第 3 ビットの電圧を充電することも放電することも出力パターンの選び方によって可能となり, 各コンデンサ電圧の 2 進の関係からのずれに従ってパターンを選定することで, 各ビットのコンデンサ電圧を調整可能となる。

また, 同様に表 1 の出力階調で複数のパターンがあるものについては, 各ビットのコンデンサ電圧の関係から出力パターンを選択することができる。すなわちビット間エネルギー流用制御は, 負荷にエネルギーを供給すると同時に, 充電電圧の高いビットのコンデンサ蓄積エネルギーを充電電圧の低いビットのコンデンサに移行している。

以上より, ビット間エネルギー流用制御によって各ビットのコンデンサ電圧の関係を 2 進の関係に近づけながら, 瞬低補償を行うことができる。その結果, 補償に使用できるエネルギーの初期蓄積エネルギーに占める割合で表されるエネルギー利用効率を向上させる事ができ, 補償時間の延長, および高精度補償の継続, 維持が可能となる。

2・2 サグ補償の基本原理解 ビット間エネルギー流用制御により第 2, 第 3 ビットの電圧が低下した場合には, より高い電圧が充電されている第 1 ビットを動作させる事によって, エネルギー流用することを述べた。しかし, 最大電圧の第 1 ビットは補償装置の出力電圧と電流の極性が逆の関係の時以外は他のビットからのエネルギーを流用する

図 4 補償時間とコンデンサ電圧の関係

Fig. 4. Condenser voltage versus time.

事ができないため, 第 1 ビットのコンデンサ電圧が低下すると, 補償できる最大電圧が低下し, 第 2, 第 3 ビットの蓄積エネルギーに余裕がある場合でも補償時間が第 1 ビットのコンデンサ電圧の低下時間で制限される。また, 各ビットの初期充電電圧を高く設定すると, 1 階調あたりの分解能が低下するため, 補償電圧の精度が下がる。

そこで図 4 のように, 第 1 ビットのコンデンサ電圧がある電圧以下に低下した時 (サグが生じた時), 第 4 ビットを常に第 1 ビットと同じように動作させ第 1 ビットのコンデンサ電圧を補償する。ここでは, そのビットをサグ補償ビットと呼ぶことにする。サグ補償によって, 補償時間が延長でき, 補償エネルギーの初期蓄積エネルギーに対する割合 (利用効率) が向上する。

3. ビット間エネルギー流用制御

3・1 制御方式 上記の各ビットコンデンサ間の蓄積エネルギー流用の考え方に基づいた単相 3 ビットの瞬低補償制御方式を図 5 に示す。瞬低を検出すると, 系統電圧 V_s をあらかじめ保持している正常時の電圧 V_n と比較して低下量を算出し, 第 1 ビットのコンデンサ電圧 $V1$ と第 2 ビットのコンデンサ電圧 $V2$, 第 3 ビットのコンデンサ電圧 $V3$ の電圧から決定したしきい値から出力階調を決定する。また, 瞬低補償装置の各ビットのコンデンサ電圧の 2 進の関係からのずれを比較する。すなわち, $V1$ と $V2$ と $V3$ の初期充電電圧比は 4 : 2 : 1 なので, $V1/4$ と $V2/2$, $V3$ の大小関係を比較する。ただし, 補償装置の出力電圧と電流の極性によって, 充放電されるビットが決定されるため, 電流 I をサンプリングし, 補償する電圧との積の極性を判定し, 積が負の値であれば, $V1$ と $V2$ と $V3$ に -1 を乗じて大小関係を反転させて比較する。そして, 上記で決定した出力階調とコンデンサ電圧の大小関係から, 図 5 に示す条件に従って各インバータの出力パターンを決定する。その後, ここで選択された出力パターンをインバータロジック設定回路に出力し, インバータの駆動信号に変換する。

例えば図 5 において, 電流と補償電圧の極性が同一で出力階調 “1” の場合, $V1/4$, $V2/2$, $V3$ のうち $V3$ が最大であ

図5 ビット間エネルギー流用制御方式

Fig. 5. Interdependent use control of condenser energy.

れば、 $V3$ のエネルギーを使って補償することで、 $V1$ 、 $V2$ 、 $V3$ の電圧比は 4 : 2 : 1 により近づけることができる。同様に $V2/2$ が最大であれば、 $V2$ のエネルギーを使って $V3$ を充電しながら補償することで、 $V1$ 、 $V2$ 、 $V3$ の電圧比は 4 : 2 : 1 により近づけることができ、 $V1/4$ が最大であれば、 $V1$ のエネルギーを使って $V2$ と $V3$ を充電しながら補償することで、 $V1$ 、 $V2$ 、 $V3$ の電圧比は 4 : 2 : 1 の関係に近づけることができる。

従って、サンプリング毎に $V1/4$ 、 $V2/2$ 、 $V3$ の大小関係に従って、出力パターンを決定することで、 $V1$ 、 $V2$ 、 $V3$ の電圧比を 4 : 2 : 1 にできるだけ近づけながら補償することができる。

3.2 エネルギー流用効果の試算 ビット間エネルギー流用制御による補償時間の延長効果について検討した。負荷電圧が正常時から 10% 低下した時を補償終了とし、初期充電電圧をそれぞれ $4V_0$ 、 $2V_0$ 、 V_0 、合計が 1 pu とする。今仮に、電圧低下が V_0 の瞬低が発生すると、ビット間エネルギー流用制御無しでは第 3 ビットのみが使用され、第 3 ビットの電圧が $0.3V_0$ となったときに補償終了となる。エネルギーはすべて負荷のみで消費されると仮定し、第 1 ~ 3 ビットのコンデンサ静電容量を各ビットの充電電荷量を同じになるように、それぞれ C 、 $2C$ 、 $4C$ とすると、この時に使用されたエネルギー ΔE は

$$\Delta E = \frac{1}{2} \cdot 4C (V_0^2 - 0.3^2 \cdot V_0^2) = 1.82CV_0^2 \dots\dots\dots (1)$$

ビット間エネルギー流用制御によって第 1 ~ 3 ビットのコンデンサ電圧が均等に減少すると、補償終了時には合計電圧が (1) 式と同じ $0.3V_0$ になる。この時、それぞれ $0.17V_0$ 、 $0.086V_0$ 、 $0.043V_0$ となっているので、補償に使用されたエネルギー $\Delta E'$ は

図6 負荷電圧波形（ビット間エネルギー流用制御無し）

Fig. 6. Load voltage waveform (without the interdependent use).

図7 各ビットのコンデンサ電圧（ビット間エネルギー流用制御無し）

Fig. 7. Condenser voltage of each bit (without the interdependent use).

$$\begin{aligned}
 \Delta E' &= \frac{1}{2} \{ C (4^2 V_0^2 - 0.17^2 \cdot V_0^2) + 2C (2^2 V_0^2 - 0.086^2 \cdot V_0^2) \\
 &\quad + 4C (V_0^2 - 0.043^2 \cdot V_0^2) \} \\
 &= 13.97CV_0^2 \dots\dots\dots (2)
 \end{aligned}$$

従って、ビット間エネルギー流用効果によって $\frac{\Delta E'}{\Delta E} = 7.7$ (倍) の補償時間延長効果が見込まれる。20% 低下時のシミュレーション結果を図 6 に示す。シミュレーションでは 0.05 秒後に 20% の電圧低下を発生させ、これを補償した。図 6、図 7 はエネルギー流用制御を行わない場合の補償後の負荷電圧波形およびコンデンサ電圧を示し、図 8、図 9 は流用制御を行った場合の補償後の負荷電圧波形およびコンデンサ電圧を示している。図 7、図 9 中でコンデンサ電圧は 2 進の関係からのずれが分かるように $V1/4V_0$ 、 $V2/2V_0$ 、 $V3/V_0$ と規格化した値で示している。この結果から、エネルギー流用制御を行わない場合には 0.25 秒で補償不可能となるのに対して、エネルギー流用制御を行った場合には各ビットの電圧が均等に低下することによって、更に補償可能である。これにより補償時間の延長効果が確認でき、低下量の小さい瞬低の場合もビット間エネルギー流用制御によって、各ビットのエネルギーを均等に利用する事で、補償時間を延長する事が出来ることがわかる。

3.3 実験 実験時の主回路構成を図 10 に示

図 8 負荷電圧波形（ビット間エネルギー流用制御有り）

Fig. 8. Load voltage waveform (with the interdependent use).

図 9 各ビットのコンデンサ電圧（ビット間エネルギー流用制御有り）

Fig. 9. Condenser voltage of each bit (with the interdependent use).

図 10 実験装置の構成

Fig. 10. Experimental setup.

す。実験は 4 ビットの補償装置を試作し、400 V 系での単相補償とした。瞬低発生装置の後段に高速遮断器と、その遮断器に並列に補償装置を接続した。また、負荷には力率 0.9 の RL を用いた。実験時には初期充電を $V1 = 220$ (V), $V2 = 110$ (V), $V3 = 55$ (V) とし、第 4 ビットは未使用とした。

図 10 の実験装置において、初期状態では高速遮断器は閉極しておき、常時は高速遮断器を通して負荷に電力を供給する。その後、図 11 のように瞬低発生装置で 0.2 秒後に 20% の電圧低下を発生させる。補償装置で瞬低を検出すると、高速遮断器を開極して低下量を補償装置から出力する事で瞬低を補償する瞬低補償実験を行った。

補償後の負荷電圧波形は図 12、各ビットの規格化したコンデンサ電圧は図 13 の通りとなった。図 11、図 12 より、

図 11 負荷電圧波形（補償前）

Fig. 11. Load voltage waveform (before compensation).

図 12 負荷電圧波形（補償後）

Fig. 12. Load voltage waveform (after compensation).

図 13 各ビットのコンデンサ電圧

Fig. 13. Condenser voltage of each bit.

電圧低下を補償できており、図 13 より図 9 と同様に第 1 ～ 3 ビットがほぼ均等に低下していることから、ビット間エネルギー流用制御が働いており、低下量の低い瞬低に対して、全ビットのコンデンサ蓄積エネルギーを補償に利用することができた。ただし、図 12 において瞬低開始直後に補償できていない箇所が見られるが、これは高速遮断器の動作遅れによるものである。高速遮断器には開極トリガから接点が開き始めるまでの遅れ時間と接点があーク消弧できる距離にまで動く時間が必要となる。従って、瞬低発生後約 1/4 サイクルの間補償できない時間が存在し、これが図 12 の補償できていない箇所に現れているものと考えられる。

4. サグ補償

4.1 サグ補償制御 サグ補償ビットは第 1 ビット

(最大電圧ビット)が補償不可能(初期電圧の90%以下となった時とする)となった時、常に第1ビットと同じ動作をする様に制御すると、上記に述べたように初期蓄積エネルギーの利用効率が向上する。図5のビット間エネルギー流用制御回路において、第1ビットの電圧が90%以上の時には出力判定時に第4ビットはゼロ電圧出力とし、90%以下となった時に第4ビットの動作論理を常に第1ビットと同じにすることでサグ補償を行うこととした。

4.2 サグ補償効果の試算 サグ補償による補償時間延長効果を試算する。尚、サグ補償ビットの電圧を高くすると、補償時間の延長効果が大きくなるが、第1ビットと第4ビットの合計電圧が高くなり、補償電圧の精度が悪くなる。そこで第1ビットと第4ビットの電圧比を4:1とする。サグ補償ビットの静電容量については、補償時に第1ビットとサグ補償ビットに同じ電流が流れるため、以下の式が成り立つ。

$$C_1(3.6V_0 - V'_1) = C_4(V_0 - V'_4) \dots \dots \dots (3)$$

となり、 V'_1 と V'_4 の比が常に3.6:1を保つと仮定すると

$$V'_1 = 3.6V'_4 \dots \dots \dots (4)$$

(3)、(4)式より

$$C_4 = \frac{40}{9}C_1 = 4.4C_1 \dots \dots \dots (5)$$

となる。実際の実験装置構成を考え、 $C_4 = 4C_1$ として効果を試算する。各ビットの電圧比は常に一定と仮定すると、効率 η は

$$\eta = 1 - \frac{\sum_{k=1}^n \frac{1}{2} C_k V_k^2}{\sum_{k=1}^n \frac{1}{2} C_k V_k'^2} \dots \dots \dots (6)$$

また、サグ補償時に補償不可となる電圧 V'_1 および V'_4 は

$$V'_1 + V'_4 = 0.9V_1 \dots \dots \dots (7)$$

(6)式よりサグ補償を行わない場合、 $n=3$ で $\eta=0.19$ となる。また、サグ補償を行った場合、(4)、(6)、(7)式より $n=4$ で $\eta=0.373$ となる。

同様の条件でシミュレーションを行った。結果、各ビット電圧及び全電圧は図14の通りとなった。この結果、サグ補償によって補償時間は0.18秒から0.4秒に増加し、またこの条件時の補償終了時の消費エネルギーの初期蓄積エネルギーに対する割合は19%から35%に約1.8倍高くなることが見込まれる。ここで、消費エネルギーは各ビットのコンデンサ電圧から計算した。サグ補償を行わない場合は第1から3ビットの蓄積エネルギーで計算し、サグ補償を行った場合は第1から4ビットの蓄積エネルギーから計算した。

図14 サグ補償時の各ビットコンデンサ電圧変化

Fig. 14. Condenser voltage of each bit versus time in the use of sag compensation.

図15 負荷電圧波形(サグ補償ビット未使用)

Fig. 15. Load voltage waveform (without sag compensation bit).

図16 負荷電圧波形(サグ補償ビット使用)

Fig. 16. Load voltage waveform (with sag compensation bit).

4.3 実験 図10と同様の装置で実験を行った。実験では図11と同様の方法で0.2秒後に80%の電圧低下を発生させ、それを補償する瞬低補償実験を行った。実験の結果、サグ補償を行わない場合の負荷電圧波形は図15の通りとなった。また、サグ補償を行った場合の補償電圧波形は図16の通りとなった。この結果、出力電圧が10%低下する時間は0.31秒から0.57秒となった。この時、消費エネルギーの初期蓄積エネルギーに閉める割合は16.9%から32.3%に増加し、サグ補償による補償時間の延長および初期蓄積エネルギーの利用効率向上の効果が確認できた。

5. ま と め

本稿では階調制御電圧による瞬低補償装置のエネルギー流用制御について次のような結論を得た。

- (1) 各ビットのコンデンサ電圧の低下を監視し、その比ができるだけ均等になるように制御することで補償時間を延長するビット間エネルギー流用制御方法を提案し、そのアルゴリズムを開発、実験により実証した。これにより最大電圧ビットを用いない階調出力に対して蓄積エネルギーの有効利用が可能となり、エネルギー利用効率を高めることができる。
- (2) サグ補償ビットを設けることによってビット間エネルギー流用制御では補償できない最大電圧充電ビットを補償することができ、高電圧を長く出力する必要が有る場合についても補償時間を延長する事ができた。これにより、瞬低補償装置の蓄積エネルギーの利用効率が向上するため、装置の小型化・低コスト化が可能となる。

(平成15年4月21日受付, 平成16年6月3日再受付)

文 献

- (1) A. Suzuki, A. Iwata, M. Yamada, N. Hatano, K. Yamamoto, H. Sasao, T. Kikunaga, K. Koyama, and M. Takahashi: "Voltage Transient Sag Compensator with Controlled Gradational Voltage (1)", National Convention Record, IEE Japan, No.4-036 (2002) (in Japanese)
鈴木昭弘・岩田明彦・山田正樹・羽田野伸彦・山本和生・笹尾博之・菊永敏之・小山健一・高橋 貢:「階調制御電圧による瞬低補償装置(1)」, 平14 電気学会全大 4-036 (2002)
- (2) M. Yamada, A. Iwata, A. Suzuki, N. Hatano, K. Yamamoto, H. Sasao, T. Kikunaga, K. Koyama, and M. Takahashi: "Voltage Transient Sag Compensator with Controlled Gradational Voltage (2)", National Convention Record, IEE Japan, No.4-037 (2002) (in Japanese)
山田正樹・岩田明彦・鈴木昭弘・羽田野伸彦・山本和生・笹尾博之・菊永敏之・小山健一・高橋 貢:「階調制御電圧による瞬低補償装置(2)」, 平14 電気学会全大 4-037 (2002)
- (3) N.H. Woodley, L. Morgan, and A. Sundram: "Experience with an Inverter-Based Dynamic Voltage Restorer", IEEE Trans. Power Delivery, Vol.14, No.3, p.1181 (1999)
- (4) 瞬時電圧低下対策専門委員会:「瞬時電圧低下対策」, 電気共同研究 第46巻 (1990)
- (5) K. Koyama, T. Takeuchi, Y. Kishida, T. Oshige, T. Yoshizawa, and H. Sasao: "Development of 24kV-rated High Speed Circuit Breaker", T. IEE Japan, Vol.121-B, No.9, pp.1187-1192 (2001-9) (in Japanese)
小山健一・竹内敏恵・岸田行盛・大重豊実・吉澤敏行・笹尾博之:「24kV定格高速遮断器の開発」, 電学論 B, 121, 9, pp.1187-1192 (2001-9)

山 田 正 樹 (正員) 1972年11月22日生。1995年3月大阪大学工学部原子力工学科卒業。1997年3月同大大学院工学研究科原子力工学専攻博士前期課程修了。同年4月三菱電機(株)入社。研究用加速器、パワーエレクトロニクス機器の開発に従事。

鈴 木 昭 弘 (正員) 1962年2月23日生。1985年3月名古屋大学工学部電気工学科卒業。1987年3月同大大学院工学研究科電気工学専攻博士前期課程修了。同年4月三菱電機(株)入社。レーザ装置、パルス電源などの開発に従事。応用物理学会、レーザ学会会員。

岩 田 明 彦 (正員) 1961年1月14日生。1981年3月八代高専情報電子工学科卒業。同年4月三菱電機(株)入社。アーク溶接機、レーザ装置など各種電源機器の開発に従事。工学博士。

菊 永 敏 之 (正員) 1983年3月東京工業大学大学院理工学研究科電気・電子工学専攻博士課程修了。同年4月三菱電機(株)入社。先端技術総合研究所勤務。大出力マイクロ波・ミリ波電子管、パワーエレクトロニクスに関する研究開発に従事。2004年6月より同社姫路製作所勤務。主席技師長。工学博士。プラズマ・核融合学会会員。

吉 安 一 (正員) 1948年1月22日生。1972年3月東京大学大学院電子工学科修士課程修了。1974年三菱電機(株)入社。高圧遮断機、低圧遮断機、光デバイス、絶縁材料、二次電池、瞬低装置、燃料電池の開発に従事。現在、先端技術総合研究所技師長。工学博士。

山 本 和 生 (正員) 1971年12月10日生。1994年3月立命館大学理工学部電気工学科卒業。1996年3月立命館大学大学院理工学研究科修士課程修了。同年4月関西電力(株)入社。主として水力・変電関係の業務に従事。

羽田野 伸 彦 (正員) 1964年1月2日生。1987年3月大阪大学工学部電子工学科卒業。1989年3月同大大学院工学研究科修士課程修了。同年4月関西電力(株)入社。主としてパワーエレクトロニクスの研究に従事。