キセノンアークランプ用電源の回路構成の検討

非会員 草川 光博* 非会員 山本 典央**
正 員 奥村 益作***

Considerations on the Circuit Composition of Power Supply for Xenon Arc Lamp

Mitsuhiro Kusakawa*, Non-member, Norio Yamamoto**, Non-member, Mitsunao Okumura***, Member

In general, the power transistor and IGBT are used in the switching power supplies for Xenon Arc Lamp as power switching devices. Today it is demanded to simplify the switching power supplies. As the switching frequency becomes higher, simplification of the switching power supply can be attained. But the power transistor and IGBT cannot be used for high-frequency power switching applications. Therefore we propose to use the power MOSFET and its parallel operation. This paper presents considerations on circuit composition of power supply for xenon arc lamp.

キーワード：スイッチング動作，高周波，高出力，定電流

Keywords: switching operation, high frequency, high power, constant current

1. まえがき

通常，キセノンショートアークランプの電極間電圧は，アーク放電開始後の点灯状態では，直流 20～30 V とほぼ安定する。一方，安定したランプの発光を得るために低リップルの定電流電源が求められる。従来，ランプ点灯用スイッチング電源の方式としては，ハーフブリッジ，プッシュプルが多用されている。また，スイッチング素子は，パワートランジスタ，IGBT 等が使用されてきたが，これらは高周波化が難しく，よって簡素化が難しいとされる。しかしながら，近年では，大出力・簡素化が求められており，それらを実現するために①パワー MOSFET の 2 素子並列駆動②ドライブトランスレス方式で試作し，スイッチング周波数 50 kHz，負荷電流 25 A dc，リップル 5%（定格入力・出力時）以下の設計目標を達成したので報告する。

2. 回路構成の検討

〈2・1〉設計のポイント 従来，キセノンショートアークランプ用直流電源，とりわけ数百 W クラスでは，1 次巻線がパワートランジスタによってスイッチング励磁されるハーフブリッジ方式が用いられてきた。しかし，パワートランジスタはスイッチングロスが大きく，かつ，スイッチング周波数は 10 kHz から 20 kHz までに制限されている。また，スイッチングロスの低減は，スイッチングノイズが反比例的に大きくなるという二律背反の関係にあり，改善

すべき課題となっている。さらに，現状のハーフブリッジ方式では，スイッチング周波数が数 10 kHz 以上になるとスイッチング素子のキャリア蓄積時間のばらつきが原因で生じるトランスコアの偏励磁現象や，トランスコアの BH 特性が磁束密度の変動分のずれに伴いスイッチング素子の過大な発熱を招くクロスカレントコンダクション等の課題を残していた。これらのことが，パワートランジスタを用いたスイッチング電源の高周波化に大きな障壁になっていた。そこで，スイッチングロスの低減，および，回路構成の簡素化実現のために，高速スイッチングが可能なパワー MOSFET の PWM 制御の検討を進めた。

〈2・2〉設計目標，設計仕様 試作したスイッチング電源は，低リップルの定電流出力の実現，および，電気用品安全法の規制を満足するために，設計仕様目標を Table 1 のように決定した。なお，当該電源の全回路図を Fig. 1 に，パワー MOSFET の 2 素子並列駆動部，及び出力整流部の拡大図を Fig. 2，Fig. 3 に示す⁽¹⁾。

〈2・3〉試作電源の主要回路 試作したスイッチング電源装置は，パワー MOSFET の 2 素子並列駆動の安定化を図り，また回路構成の簡素化のためにドライブトランスレスとした (Fig. 2)。

入力回路の構成は，ラインフィルタ，突入電流防止用ト

Table 1. Design specification.

switching frequency	Fs	50kHz
no load DC output voltage	Eo	120V
maximum DC load current	Io	25A
line regulation at the rated load	Ic	5% or less
ripple rate at the rated input-output	Ir	5% or less

* パワーコントロール社代表

〒520-2152 大津市月輪 5-22-14 (T/F 077 545 8552)

** 滋賀県工業技術総合センター機械電子担当主任技師

〒520-3004 栗東市上砥山 232 (TEL 077 558 1500)

***E.S.Q 奥村技術士事務所代表工学博士

〒617-0825 長岡京市一文橋 2-23-1 (T/F 075 954 3155)

Fig. 1. Proposed circuit diagram of power supply ⁽¹⁾. Fig. 2. Circuit with parallel operation of power MOS-FET ⁽¹⁾. Fig. 3. Output rectifier circuit ⁽¹⁾.

ライアック、整流ダイオード、平滑コンデンサ、および1次巻線と2次巻線で構成されるトランスとした。また、出力回路 (Fig. 3) は、キセノンアークランプへ直流電流を供給するフォワード結合コンバータ (FCC) 方式とし、トランス、ダイオード、フライホール用ダイオード、負荷 (ランプ) に並列接続されたコンデンサ、およびフライホール用ダイオードとコンデンサとの間に直列接続された電流検出用抵抗 (Fig. 3 の 20) などで構成している。なお、スイッチング動作の制御は、電流検出用抵抗における電圧降下分を演算増幅器により増幅しこの出力をフォトカプラでスイッチング制御 IC へフィードバックし、スイッチング制御 IC によりパワー MOSFET のゲートパルス幅を制御する方

式とした。なお、演算増幅器の入力には、高周波ノイズを除去する為にバイパスコンデンサを配置した。また、この演算増幅器用電源は、スイッチング制御の安定化のために、トランスの補助巻線と半波整流回路によって構成した独立電源方式とした ⁽¹⁾。

3. 実動測定結果と特長

〈3・1〉 測定結果 Fig. 1 の回路構成で、出力電力 500 W, 出力電流 25 A_{dc}, 負荷時における電流変動率は 3% (50/60 Hz, 100/200 V $\pm$ 10% 入力時), また、電流脈動率は 4.6% (定格入力・出力時) が得られ、Table 1 の設計目標を満たした。

〈3・2〉 動作の特長

(1) 演算増幅器 (Fig. 1 の 21) の出力端子に接続された可変抵抗によって、スイッチング制御 IC へのフィードバック量を可変でき、これによりランプ負荷電流を任意に設定できる。

(2) 演算増幅器の非反転入力端子と負電源ライン間に、容量値を最適化したバイパスコンデンサを配置し、演算増幅器の非反転入力端子へ混入する高周波ノイズを除去し、スイッチング動作の安定化を図った (Fig. 1)。

(3) ドライブトランスレスによるパワー MOSFET のスイッチング動作において、ゲート・ソース間に蓄積される電荷を、エミッタフォロア PNP トランジスタが排出除去する。これは、パワー MOSFET の駆動時にゲート・ソース間の酸化皮膜の不要電荷を除去する効果がある。

4. まとめ

パワー MOSFET 2 素子並列駆動、およびドライブトランスレスで構成したキセノンアークランプ用スイッチング電源は、スイッチング周波数 50 kHz, 出力電力 500 W, 出力電流 25 A_{dc} が得られ、かつ電流変動率は 3% (50/60 Hz, 100/200 V $\pm$ 10% 入力時), 電流脈動率は 4.6% (定格入力・出力時) が得られ、設計仕様目標が実現可能であることを確認した。

(1) 回路構成は FCC 方式で半波整流の出力を行い放電灯の負荷へ直流を供給し低リプル率で達成した。

(2) 今後の課題は、パワー MOSFET 2 素子並列駆動の一層の安定動作と信頼性の確認、大出力化、小型化、および一層の低電流変動率と低リプル率化である。

(平成 19 年 1 月 18 日受付)

文 献

- (1) 草川光博 (特許権者): 「スイッチング電源装置」, 特許第 3789124 号