有限要素法によるスナバ回路を含む GTO の スイッチング特性解析

正員 坂 田 博 (愛媛大)

非会員 宮 本 宏 彰 (愛媛大)

正員 杉 本 健 二 (愛媛大)

准員 菊 池 和 彦 (愛媛大)

正員 磯 村 滋 宏 (愛媛大)

正員 正 田 英 介 (東京大)

Switching Characteristics Analysis of GTO with Snubber using Finite Element Method

Hiroshi Sakata, Member, Hiroaki Miyamoto, Non-member, Kenji Sugimoto, Member, Kazuhiko Kikuchi, Associate, Shigehiro Isomura, Member (Ehime University), Eisuke Masada, Member (The University of Tokyo)

Recent development in power electronics has made power semiconductor device larger and complicated, and device simulation is necessary to predict their characteristics. From the fundamental equations of semiconductor device, potential distribution and carrier concentrations can be solved using the finite element method. In this study, we make formulation for one dimensional analysis of a gate turn off thyristor (GTO) and simulate switching characteristics in order to know the effects of snubber circuit. In conclusion snubber condensor is necessary to suppress spike voltage, but increases the turn off loss of GTO.

キーワード：GTO, スナバ回路, 有限要素法, デバイスシミュレーション

1. ま え が き

近年の電力用半導体デバイスは、大型化かつ複雑化へと進みつつあり、デバイスの特性や内部現象をあらかじめシミュレーションによって予測することが必要となってきた。一般に、半導体の基本方程式から半導体の内部現象を数値解析する手法として、差分法と有限要素法が用いられている。ゲートターンオフサイリスタ(GTO)に関してはメーカーや大学で、一次元および二次元モデルに差分法を用いて解析が行われている⁽¹⁾⁽²⁾。一方、著者らは、複雑な形状にも対応でき収束性が良いなどの理由から、有限要素法を用いてGTOの内部状態の数値解析を行った⁽³⁾⁽⁴⁾。

実際のGTOを用いた回路のほとんどの負荷には誘

導成分が含まれているため、通常保護回路としてスナバ回路が用いられる。そこで、一次元モデルの数値解析を行い、スナバ回路定数とスパイク電圧、スイッチング損失などとの関係を中心に検討を行った⁽⁵⁾。なお、複雑な形状にも対応できるという有限要素法の利点は、二次元解析でないと生きてこないが、本論文のような目的には一次元解析でも十分対処でき、短い計算時間で結果を得ることができる。

同じようなテーマの論文として、差分法を用いたGTOの一次元数値解析で温度も変数としターンオフ失敗のメカニズムを扱ったもの⁽⁶⁾や、GTOチョップの回路シミュレーションからスナバ回路のパラメータの影響を論じたもの⁽⁷⁾などがある。それらに対し本論文は、同じGTOの一次元数値解析で温度は変数と

していないが有限要素法を用いている点、およびスナバ回路のパラメータの影響を検討するが、それをデバイスシミュレーションの一環として行っている点などにその特色がある。

2. 解析方法

〈2・1〉 基本方程式 一般に、半導体中の内部電位 V 、正孔密度 p および電子密度 n に関して、次の基本方程式が成立する。

$$\nabla \cdot \nabla V = \frac{q}{\epsilon}(p - n + N_d) \quad (1)$$

$$q \frac{\partial p}{\partial t} = -\nabla \cdot J_p - qR \quad (2)$$

$$q \frac{\partial n}{\partial t} = \nabla \cdot J_n - qR \quad (3)$$

(1)式はポアソンの方程式、(2)、(3)式はそれぞれ、正孔および電子の連続の方程式である。 N_d は半導体デバイス固有の不純物密度分布を示す。正孔および電子電流密度 J_p, J_n は、電界 $E (= -\nabla V)$ によるドリフト電流と、キャリア濃度勾配による拡散電流との和で、

$$J_p = q(q\mu_p E - D_p \nabla p) \quad (4)$$

$$J_n = q(n\mu_n E + D_n \nabla n) \quad (5)$$

のように表される。キャリアの再結合速度 R は、SRH (Shockley-Read-Hall) 型の再結合過程の場合、

$$R = \frac{pn - n_i^2}{\tau_p(n + n_i) + \tau_n(p + n_i)} \quad (6)$$

のように表される。

〈2・2〉 有限要素法近似 まず、デバイスの一次元モデルを、 N 個のメッシュに分割し、図1のように、番号 i の位置でのみ1となり、それ以外のノードの位置では0となるような関数を $\phi_i(x)$ で定義する。これを形状関数と呼ぶ。これを用いると、 V, p および n など時間と位置によって定まる関数 $f(x, t)$ は、図2のように曲線の分布を折線近似して、

図1 形状関数
Fig. 1. Shape function.

$$f(x, t) = \sum_{i=1}^N \phi_i(x) f_i(t) \quad (7)$$

のように表すことができる。

〈2・3〉 基本方程式の離散化 一次元デバイスモデルとして、図3に示すような不純物密度分布をもつGTOを考える。これを N 個のメッシュに分割し、図4のようなスナバ回路を含む動作回路での、過渡的な V, p および n の分布を求める。

まず、ポアソンの方程式の離散化を行う。(1)式の両辺に形状関数 ϕ_i を乗じて積分し、グリーン関数の定理を適用して行列の形に整理すると次のようになる。

$$K^V V - \frac{q}{\epsilon} M(p - n + N_d) = 0 \quad (8)$$

次に、正孔連続方程式の離散化をする。ここで、メ

図2 有限要素近似
Fig. 2. Finite element approximation.

図3 デバイスモデル
Fig. 3. Device model.

図4 動作回路
Fig. 4. Operating circuit.

メッシュ間では V , p および n は線形に変化し、電流密度 J_p および J_n は一定と仮定する。 V , p および n についてはこれは、有限要素法の表現で三角形の形状関数で折線近似したことに相当し、妥当な仮定と思われる。正孔電流密度(5)式に、アインシュタインの関係式

$$\frac{\mu_p}{D_p} = \frac{q}{kT} = \theta \quad \dots\dots\dots (9)$$

を用いて整理すると、メッシュ間の電流密度は、

$$J_{pi+1/2} = q(f_i^p p_i - g_i^p p_{i+1}) \quad \dots\dots\dots (10)$$

$$f_i^p = \frac{\mu_{pi+1/2}(V_{i+1} - V_i)}{h_i[\exp\{\theta(V_{i+1} - V_i)\} - 1]} \quad \dots\dots\dots (11)$$

$$g_i^p = \frac{\mu_{pi+1/2}(V_{i+1} - V_i)}{h_i[1 - \exp\{-\theta(V_{i+1} - V_i)\}]} \quad \dots\dots\dots (12)$$

のようになる。ポアソンの方程式と同様に、(2)式の両辺に形状関数 ϕ_i を乗じ積分してグリーンの定理を適用し、(10)式を代入して行列の形で整理すると、

$$-M \frac{\delta p}{\delta t} + K^p p - MR = 0 \quad \dots\dots\dots (13)$$

のようになる。

電子連続の方程式も正孔連続の方程式と同様に変形すると、メッシュ間の電流密度および行列の形で表した方程式は次のようになる。

$$J_{ni+1/2} = q(f_i^n n_i - g_i^n n_{i+1}) \quad \dots\dots\dots (14)$$

$$f_i^n = \frac{\mu_{ni+1/2}(V_{i+1} - V_i)}{h_i[\exp\{\theta(V_{i+1} - V_i)\} - 1]} \quad \dots\dots\dots (15)$$

$$g_i^n = \frac{\mu_{ni+1/2}(V_{i+1} - V_i)}{h_i[1 - \exp\{-\theta(V_{i+1} - V_i)\}]} \quad \dots\dots\dots (16)$$

$$M \frac{\delta n}{\delta t} + K^n n + MR = 0 \quad \dots\dots\dots (17)$$

ただし、(8)、(13)、(17)式で、 K^v , K^p , K^n および M は $N \times N$ の係数行列、 N_d は $N \times 1$ の定数行列、また ψ , p , n および R は $N \times 1$ の変数行列である。

更に、(13)、(17)式の時間微分項の差分にクラנק・ニコルソン法を適用すると、

$$-M \frac{p - p^*}{\Delta t} + \frac{1}{2} (K^p p - MR + K^{p*} p^* - MR^*) = 0 \quad \dots\dots\dots (18)$$

$$M \frac{n - n^*}{\Delta t} + \frac{1}{2} (K^n n + MR + K^{n*} p^* + MR^*) = 0 \quad \dots\dots\dots (19)$$

のようになる。ここで、 Δt はタイムステップ幅で、時間 Δt 前の計算値を p^* および n^* として、(18)、(19)式を解く。以上の(8)式から(19)式にいたる空間および時間に関する離散化式の導出は、複雑かつ冗長となりここでは要点のみを記したので、詳しくは文献(3)を参照されたい。

〈2・4〉 境界条件 (8)、(18)、(19)式の連立方程式は、電極に接する番号においては成立しないので、外部との接続、すなわち主回路、スナバ回路およびゲート回路の回路方程式が境界条件として代わりに付け加わることになる。まず、カソードおよびアノード電極付近の p および n は、常に熱平衡時の値を取り一定とする。内部電位に関しては、カソードの番号の電位 V_k を 0、アノードの番号の電位を V_a とすると、外部から見たアノード・カソード間電位 V_{ak} は、主回路条件から次のようになる。

$$V_{ak} = V_a - V_{ad} = V_c - rI - L \frac{dI}{dt} \quad \dots\dots\dots (20)$$

V_{ad} : 拡散電位

スナバ回路は、図4に示すように抵抗、ダイオードおよびコンデンサをGTOに並列に挿入したものとする。ここで、回路方程式を以下の二つの場合に分けて考え、コンデンサ電圧 V_s を変数とし(20)式に更に以下の式も追加する。

(1) ダイオード D が逆デバイスの場合

$$V_a - V_{ad} = V_s + r_s I_s = V_s + C_s r_s \frac{dV_s}{dt} \quad \dots\dots\dots (21)$$

$$I = I_a + I_s \quad \dots\dots\dots (22)$$

(2) ダイオード D が順バイアスの場合

$$V_a - V_{ad} = V_s + r_s I_r \quad \dots\dots\dots (23)$$

$$r_s I_r = V_a + C_s r_s \frac{dV_s}{dt} \quad \dots\dots\dots (24)$$

$$I = I_a + I_r + I_d \quad \dots\dots\dots (25)$$

ここで、(1)または(2)の場合分けの判断は、スナバ回路の抵抗 r_s の両端電圧 ($V_a - V_{ad} - V_s$) とダイオードの電圧降下 V_d との比較で行う。

次に、ゲート電極の位置をNエミッタ層とPベース層の接合部に近く、不純物密度の高いPベース層内のノードに定め、ゲート条件は、そのノードを流れる電流にゲート電極より注入される電流を加えることで表現する。ゲート電極より注入される電流密度は、デバイスの断面積を S とすると次のような式になる。

$$J_g = \frac{E_g + V_{ga} - V_g}{S r_g} \quad \dots\dots\dots (26)$$

V_{ga} : 拡散電位

更に、(8)、(18)、(19)式の連立方程式および以上の境界条件の式にニュートン法を適用し、 V , p および n を要素とする $3N \times 1$ の変数行列 X を考え、三つの式を一括して、

$$A \Delta X = B \quad \dots\dots\dots (27)$$

とし、 ΔX が収束するまで(27)式の計算を繰返し、電圧および時間を進めて解析を進めていく。

3. 解析結果

〈3・1〉 スイッチング特性とスナバ回路の動作

本解析において用いた回路条件を表1に示す。また、メッシュ数 $N=56$ 、タイムステップ幅 $\Delta T=0.1\mu\text{s}$ とした。様々な L , C_s , r_s を用いて行った解析結果を以下に示す。ここで解析の対象としたGTO, 日立GFF90Bの定格は1,200V, 90Aである。

図5に $r_s=5.0\Omega$, $L=3.0\mu\text{H}$ とし, C_s を変化させたときのスイッチング波形を示す。同図において C_s を増加させると, スパイク電圧が抑えられている

表1 回路条件
Table 1. Circuit conditions.

V_c (V)	r (Ω)	E_g (V)	V_d (V)	r_d (Ω)
100.0	10.0	2.0	1.3	1.5

図5 スイッチング波形
Fig. 5. Waveforms of GTO switching.

ことがわかる。しかし, C_s を大きくし過ぎるとターンオン時において過電流が流れることから適当な値を選ぶ必要がある。図6にスナバ回路の有無による $V-I$ 特性の違いを示すが, この図からもスナバ回路によりスパイク電圧が抑えられていることがわかる。

図7に $r_s=5.0\Omega$, $C_s=0.04\mu\text{F}$, $L=3.0\mu\text{H}$ のときのスナバ回路の動作波形を示す。オフ状態ではコンデンサ C_s に電荷が蓄えられているため, スナバ回路には電流が流れていない。ターンオン時には V_a に伴ってコンデンサ C_s に蓄えられた電荷が電源と逆向きに放電される。このとき I_d に電流が流れていないことから, ダイオード D は逆バイアス状態であることがわかる。ターンオフ時にはインダクタンス L によるエネルギーがコンデンサ C_s に蓄えられるためスパイク電圧が抑制される。このとき I_d に電流が流れていることから, ダイオード D は順バイアス状態であることがわかる。図7には各部の電力の時間的推移も示す。ここで, 主回路電力 P_a , ゲート回路電力 P_g , スナバ回路電力 P_s は以下の式を用いて求めた。

$$P_a = V_{ak} I_a \dots\dots\dots (28)$$

$$P_g = r_g I_g^2 \dots\dots\dots (29)$$

$$P_s = r_s I_r^2 + r_d I_d^2 + V_d I_d \dots\dots\dots (30)$$

図6 $V-I$ 特性
Fig. 6. $V-I$ characteristics.

図 7 スナバ回路の各部波形と損失
Fig. 7. Waveforms and losses of snubber circuit.

スイッチング時の電力は、目盛りを縮小した主回路電力 P_a が大部分を占めていることがわかる。

〈3・2〉 スナバ回路とスイッチング損失 次に、コンデンサ C_s の値とスイッチング損失との関係について述べる。ここで、ターンオン損失 W_{ON} を正のゲートパルスを与えてから定常になったときまでの電力、ターンオフ損失 W_{OFF} を負のゲートパルスを与えてから時間の終りまでの電力と定義する。また、ターンオン損失 W_{ON} 、ターンオフ損失 W_{OFF} はそれぞれ、ターンオン、ターンオフ時の主回路全損失 W_a 、ゲート回路全損失 W_g 、スナバ回路全損失 W_s の和で表される。ここで、それぞれの全損失は (31) 式で求める。

$$W_x = \int P_x dt \dots \dots \dots (31)$$

$x: a, g$ および s

図 8 に $r_s=5.0 \Omega$ のときのコンデンサ C_s に対する各損失 W と、スパイク電圧 V_p の変化を示す。コンデンサ C_s が増加するにつれて、ターンオン損失 W_{ON} は増加し、ターンオフ損失 W_{OFF} は減少している。これは、ターンオン、ターンオフ損失の大部分を占める主回路損失の増減が影響しているためである。ターンオンのときは、コンデンサ C_s が放電するので、

$$I_a = I - C_s \frac{dV_s}{dt} \dots \dots \dots (32)$$

(a) オン過程

(b) オフ過程

図 8 コンデンサ C_s に対する各損失
Fig. 8. Effect of condenser C_s on ON/OFF losses.

となり、 C_s の値が大きくなるにつれて主回路電流 I_a が増加し、主回路損失が増加する。ターンオフのときは、コンデンサ C_s が蓄電されるので、 C_s の値が大きくなるにつれて主回路電流 I_a が小さくなり、主回路損失が減少する。スパイク電圧 V_p については、コンデンサ C_s の値が大きくなるにつれて、抑制されていることがわかる。このように、コンデンサ C_s の値を大きくすると、スパイク電圧が抑えられる反面、スイッチング損失は増加するので、それらを総合して最適値を選んでいくことが望ましい。なお、 r_s についても同様に解析したが、あまり変化が見られないため $r_s=5 \Omega$ として解析した。

4. 差分法との比較

最後に有限要素法と差分法の比較をする。図 9 にそれぞれの解析法を用いた応答波形を示す。有限要素法

を用いたほうが、ターンオフ時のスパイク電圧やテール電流の波形が正確に表されていることがわかる。

更に、時間微分で用いるタイムステップ幅を0.1, 0.05, 0.025 μ sの3通りに、ニュートン法の収束判定の相対誤差の上限を0.01, 0.001, 0.0001の3通りに変化させ、スナバ回路のある・なしと合わせて18の組

(a) 差分法

(b) 有限要素法

図9 有限要素法と差分法の比較
Fig. 9. Comparison of FEM with FDM

表2 FEMとFDMの計算時間
Table 2. CPU time of FEM and FDM.

スナバ回路なし			収束条件		
計算時間(s)			0.01	0.001	0.0001
タイムステップ幅	0.1 μs	FEM	42.21	53.85	66.28
		FDM	発散	70.31	75.80
	0.05	FEM	78.78	110.58	143.83
		FDM	90.28	116.36	166.43
	0.025	FEM	84.72	135.17	172.72
		FDM	発散	167.47	発散

スナバ回路あり			収束条件		
計算時間(s)			0.01	0.001	0.0001
タイムステップ幅	0.1 μs	FEM	29.84	40.30	54.35
		FDM	34.07	発散	72.42
	0.05	FEM	発散	77.63	110.90
		FDM	73.48	98.00	136.70
	0.025	FEM	41.34	105.98	153.80
		FDM	126.74	156.55	発散

合せの条件で、有限要素法(FEM)と差分法(FDM)の比較を行ってみた。表2はそれらの計算時間の比較であるが、1箇所を除いて有限要素法のほうがCPU時間が短く、発散しにくいことがわかる。また、図9で見られたように、有限要素法のほうがスパイク電圧が明瞭であり、細かな数値振動も少ないという全般的傾向であった。スナバ回路なしの実測波形は難しいので真の解を得ることはできないが、GTOの一次元モデルでの一連の計算実験を通じて、有限要素法は差分法に比べてより収束しやすく、より自然な応答が得られ、計算時間も短くすむことがわかった。

5. あとがき

GTOの一次元モデルを対象に、半導体の基本方程式から有限要素法を用いて、そのスイッチング特性の数値解析を行った。ダイオードを含むスナバ回路を想定し、スパイク電圧の抑制などより現実に近い数値計算ができた。現在、主回路電圧、電流の増加と、実測波形との比較を行っている。本論文で示したように外部回路も含めたデバイスシミュレーションが可能となれば、回路とデバイス双方の最適設計も可能となるものと期待される。

本研究に際し、御助言御討論をいただいた日立製作所日立研究所八尾 勉氏に謝意を表します。また、卒論生として本研究に参加尽力された小西教央氏(現、日本ビクター)ならびに田淵二三男氏(現、香川県庁)にも感謝いたします。なお、数値計算には、愛媛大学情報処理センターFACOM M770/6を使用したことを付記する。

(平成4年6月22日受付、同5年1月14日再受付)

文 献

- (1) 小坂・高田・八尾・桜田・橋本:「2次元過渡シミュレータ STAP 2-BM によるパワーデバイス特性解析」, 電気学会半導体電力変換研究, SPC-91-59, 53 (平3)
- (2) 正田・戸辺・藤井・中島:「ターンオフサイリスタの2次元シミュレーション」, 同上, SPC-86-82, 44 (昭61)
- (3) 坂田・磯村・正田:「有限要素法によるダイオードのスイッチング特性解析」, シミュレーション, 6-3, 34 (昭62)
- (4) H. Sakata, S. Isomura & E. Masada: "Numerical Analysis of GTO using Finite Element Method", Proc. of 2nd IPEC-TOKYO, p. 1038 (1990)
- (5) 坂田・菊池・田淵・宮本・磯村・正田:「スナバ回路を含むGTOの一次元デバイスシミュレーション」, 平4 電気学会全大, p. 5
- (6) A. Nakagawa & H. Ohashi: "A Study on GTO Turn-off Failure Mechanism—A Time and Temperature Dependent 1-D Model Analysis", IEEE Trans. Electron Devices, ED-31, No. 3, 273 (1984)
- (7) H. Ohashi: "Snubber Circuit for High Power Gate Turn Off Thyristors", IEEE Trans. Industr. Applic., IA-19, No. 4, 655 (1983)

坂 田 博 (正員)

昭和24年1月1日生。48年3月東京大学大学院工学系研究科電気工学専攻修士課程修了。同年4月関西電力(株)入社。52年4月愛媛大学工学部電気工学科助手、現在に至る。主として、電力用半導体デバイスのシミュレーションおよびパワーエレクトロニクスの研究に従事。シミュレーション学会、IEEE 会員。

宮 本 宏 彰 (非会員)

昭和44年8月23日生。63年4月愛媛大学工学部電気工学科入学、現在に至る。主として、GTOの一次元数値解析の卒業研究に従事。

杉 本 健 二 (正員)

昭和42年1月20日生。平成3年3月愛媛大学大学院工学研究科修士課程電気工学専攻修了。同年4月(株)四国総合研究所入社。4年4月愛媛大学大学院工学研究科博士課程物質工学専攻入学、現在に至る。主として、電力用半導体の二次元数値解析の研究に従事。

菊 池 和 彦 (准員)

昭和43年7月21日生。平成3年3月愛媛大学工学部電気工学科卒業。同年4月同大学大学院工学研究科修士課程電気工学専攻入学、現在に至る。主として、GTOの二次元数値解析の研究に従事。

磯 村 滋 宏 (正員)

昭和11年1月17日生。35年3月東京大学大学院数物系研究科電気工学専攻修士課程修了。同年4月日本楽器製造(株)入社。39年5月科学技術庁金属材料技術研究所入所。52年4月愛媛大学工学部電気工学科教授、平成4年4月同工学部長、現在に至る。主として、デバイスシミュレーションおよび半導体材料の研究に従事。工学博士。電子情報通信学会、応用物理学会会員。

正 田 英 介 (正員)

昭和12年12月9日生。40年3月東京大学大学院数物系研究科電気工学専攻博士課程修了。同年4月同大学工学部電気工学講師、41年同助教授、57年同教授、現在に至る。主として、電気機器および制御システムの研究に従事。工学博士。59、60年電気学会編修理事、平成4年度同東京支部長。シミュレーション学会、IEEE、VDE 会員。