正弦波共振電流出力時の電圧形ハーフブリッジインバータの ロスレスキャパシタスナバの評価

学生員 長 井 聡 (神戸大)

正 員 中 岡 睦 雄 (神戸大)

Evaluations of Voltage-Fed Series-Resonant Half-Bridge Inverter with Lossless Capacitor Snubbers Operating under Sinusoidal Resonant Output Current Condition

Satoshi Nagai, Student Member, Mutsuo Nakaoka, Member (Kobe University)

キーワード：電圧形直列共振ハーフブリッジインバータ、ロスレスキャパシタスナバ、ゼロ電圧ソフトスイッチング、高周波正弦波共振電流出力、電流遅れモード、パワー MOSFET の Spice モデル、RF プラズマ応用

1. ま え が き

電圧形直列共振ハーフブリッジインバータやそれを中間リンクにもつ高周波リンク DC-DC コンバータにおいて出力電流が出力電圧に対して遅れモードとなる場合、ロスレスキャパシタスナバをブリッジアーム内の各スイッチに並列接続することによりターンオフ時ゼロ電圧ソフトスイッチング(ZVS)が可能となり、ターンオン時ゼロ電圧・ゼロ電流ハイブリッドソフトスイッチングが実現される。その結果、パワーデバイススイッチングロス、そのピークストレス、EMI ノイズの低減が可能となる。しかしながら、正弦波共振電流出力時における定量的な詳しい解析と評価が重要となるが、十分なされているとはいいがたい。本報告は回路シミュレータとして MicroSim Corp. の Pspice を使用してパワー MOSFET のデバイスモデルを考慮した電圧形ハーフブリッジインバータ回路のシミュレーション解析を行い、ロスレスキャパシタスナバの効果に基づくソフトスイッチング動作の明確化とスイッチングロスの定量的な算定について述べている。

2. 回路と解析条件

図 1 に正弦波遅れ電流を取り出す負荷時の電圧形ハーフ

図 1 正弦波電流出力電圧形ブリッジインバータ
Fig. 1. Voltage-fed half-bridge inverter.

ブリッジ高周波インバータ回路を示す。これは E クラスと D クラスの混合の回路トポロジーとみられる。回路解析に際し、ロスレスキャパシタスナバの効果が発揮できる直列負荷共振系において共振周波数以上のインバータ周波数（ほぼ 50% デューティ）で動作している場合を想定し、負荷を例として周波数 100 kHz、振幅 10 A、遅れ位相角 35° の正弦波電流源としている。スイッチングパワーデバイスにはメーカよりデバイスモデルが公表されているパワー MOSFET (IRF 150) を使用し、デッドタイムは約 800 nsec に設定している。なお、スイッチングパワーデバイスのパラメータは付録のネットリスト中に記述している。

3. シミュレーションによる回路評価

図 1 のインバータにおいて MOSFET の出力内容とは別のロスレスキャパシタスナバ C_{s1} , C_{s2} ($C_{s1} = C_{s2} = C_s$) の容量を変化させた場合のスイッチングロスの算定結果を図 2 に示す。図 2 より、ロスレスキャパシタスナバの容量を 5 nF 以上に設定すればターンオフ過渡ロスが約 1/4 に低減されることがわかる。しかし、ロスレスキャパシタスナバの容量が 30 nF 以上になると固定のデッドタイム期間に充放電が完了せずキャパシタ短絡モードが発生しターンオンロスが急激に増加する。なお、正弦波負荷電流振幅が小さくなるとターンオフロスの減少する割合が少なくなる

図 2 スwitchingロスの算定値
Fig. 2. Calculated values of switching losses.

(a) スイッチ S2 のターンオフ時の v - i 軌跡

(b) スイッチ S1 のターンオン時の v - i 軌跡

図 3 スイッチング動作時の v - i 軌跡
Fig. 3. v - i locus at switching transition.

が、その場合でもロスレスキャパシタスナバの効果が十分であることを確認している。

S2 のターンオフ時の v - i 軌跡を図 3(a) と S1 のターンオン時の v - i 軌跡を図 3(b) に示す。図 3(a) よりロスレスキャパシタスナバを接続することによりスイッチング動作時の v - i 軌跡が電圧・電流軸に接近し、ゼロ電圧ソフトスイッチング動作が実現されることがわかる。一方図 3(b) よりロスレスキャパシタスナバの容量が 0 および 25 nF の場合は v - i 軌跡が第 1 象限能動領域を通過せず、ターンオンロスが発生しないが、ロスレスキャパシタスナバの容量が 50 nF の場合はキャパシタ残存電荷の短絡モードが発生し v - i 軌跡が第 1 象限を通過することとなり、ターンオンロスが発生することが明確に示されている。S2 のターンオフ時電圧波形を図 4(a) と S1 のターンオン時電流波形を図 4(b) に示す。これらの図においてロスレスキャパシタスナバの容量を 50 nF とした場合、デッドタイム期間が終了し、スイッチ S1 がターンオンする時に有限ピーク値をもつキャパシタ短絡電流が流れ、 dv/dt が急激に増加することが明確に示されている。

ここで、キャパシタ短絡モードが発生しないロスレスキャパシタスナバ C_{S1} , C_{S2} ($C_{S1}=C_{S2}=C_s$) の最大容量値 C_{smax} はデッドタイム期間 t_d 中の出力電流が i_{td} で一定とみなすと

$$C_{smax} = i_{td} \cdot t_d / 2E \quad (E: \text{直流電源電圧}) \quad \dots\dots\dots (1)$$

から求められる。したがって、負荷電流振幅とその遅れ位相角が変化する場合でも i_{td} が最小となる最悪の条件下で $C_s \leq C_{smax}$ を満たすように C_s の値を設計すれば常にソフトスイッチング動作が実現できることとなる。

4. ま と め

回路シミュレータによる表題のインバータ回路の解析結

(a) スイッチ S2 のターンオフ時の電圧波形

(b) スイッチ S1 のターンオン時の電流波形

図 4 スイッチ電圧・電流波形
Fig. 4. Voltage and current of switches.

果から、ロスレスキャパシタスナバはパワー MOSFET などのスイッチングパワーデバイスのターンオフロスの低減に大きな効果があることが定量的に確認された。その上、その容量値は (1) 式で求められる値より小さく選定する必要があることを指摘した。

なお、この回路シミュレータにより高周波動作時の導通ロスの算定も同時に可能であるが紙数の都合上割愛した。次の機会に、実際上問題となるスイッチと直列に含まれる寄生インダクタンスを考慮した場合のロスレスキャパシタスナバによるソフトスイッチング効果とスイッチングロスの評価並びに周波数制御時の ZVS 評価などについて報告したい。

(平成 5 年 10 月 29 日受付)

付 録

回路解析時のネットリストを以下に示す。

```
BRIDGE INVERTER WITH LOSSLESS CAPACITOR SNUBBERS
.OPTIONS ACCT NOPAGE OPTS WIDTH=132 ITL5=10000
.TRAN 5nS 5.5uS 4uS 10nS UIC
VDC : 1 0 DC 100V
MS1 : 1 10 2 2 IRF150
MS2 : 2 11 0 0 IRF150
Cs1 : 2 1 25n IC=100
Cs2 : 0 2 25n IC=0
VGS1,10 2 PULSE(-12 12 5u 0.2u 0.2u 4.6u 10u)
VGS2,11 0 PULSE(-12 12 0 0.2u 0.2u 4u 10u)
D1 : 2 1 DIO
D2 : 0 2 DIO
ISIN 0 2 SIN(0 10 100K 0 0 -35)
.MODEL DIO D(IS=1E-14 N=0.1 XTI=0 EG=0)
.MODEL IRF150 NMOS(Level=3 Gamma=0 Delta=0 Eta=0 Theta=0
+Kappa=0 Vmax=0 XJ=0 Tox=100n Uo=600 Phi=.6 Rs=1.624m
+Kp=20.53u W=.3 L=2u Vto=2.831Rd=1.031m Rds=444.4K
+Cbd=3.229n Pb=.8 Mj=.5 Fc=.5 Cgso=9.027n Cgdo=1.679n +Rg=13.89
Is=194E-18 N=1 Ti=288n)
.PRINT TRAN V(1,2) ID(MS1) I(D1) V(2) ID(MS2)
.END
```

(著者略歴省略)