2. 5MHzで出力1 kWのフルブリッジ形 MOS-FET式電力インバータの電力損失と効率

学生員 鈴木 大 樹 (静岡大)
正 員 池 田 弘 明 (静岡大)
非会員 吉 田 博 文 (静岡大)

Power loss and efficiency in full-bridged MOS-FET DC-to-RF Power Inverter with Output Power of 1 kW at 2.5 MHz
Taiju Suzuki, Student Member, Hiroaki Ikeda, Member, and Hirofumi Yoshida, Non-member (Shizuoka University)

This paper describes the power loss and efficiency in full-bridged MOS-FET arrays, each consisting of parallel connected MOS-FETs, and those in an output power transformer whose output power is fed to a load at an output power of 1 kW at a frequency of 2.5 MHz. The power losses within the MOS-FET arrays and output power transformer are estimated based on their thermal resistances which have separately been obtained from the measurement. The drain efficiency is thus obtained from the DC input power, RF output power, and estimated power losses. The output power of the MOS-FET arrays was 1300 to 1400 W at a drain efficiency of 74 to 79 % at a frequency of 2.5 MHz when the DC voltage was 180 V.

キーワード：インバータ，MOS-FET，高周波，フルブリッジ

1. まえがき

MOS-FET式DC-RFインバータを短波帯で動作させれば，入出力変成器やフィルタが小形軽量化できるので，装置全体が小形軽量化される⁽¹⁾⁻⁽⁴⁾。しかし，回路が高周波に適するように作られていないと，この形式のインバータは安定な動作をしないので，短波帯で1 kW以上の大出力電力を取り扱うには特殊な高周波技術が必要である。

MOS-FET式DC-RFインバータには種々の回路方式が公知であるが，短波帯で数kWオーダーの高電力を発生するためのMOS-FET式DC-RF電力インバータには，フルブリッジ形構成が適切であると考えられる⁽⁵⁾⁻⁽⁸⁾。すなわち，フルブリッジ形インバータは短波帯で高い電力変換効率が得られ，回路構成が比較的単純である。更に，フルブリッジ形インバータは，これと同一の直流電圧で動作するハーフブリッジ形インバータに比べて約4倍の出力電力を取り出すことができ，約1 MHzの周波数で90%以上の出力電力効率を得ることができる⁽⁹⁾。プッシュプル形インバータはハーフブリッジ形インバータとほぼ同様の性能が得られるが，プッシュプル形インバータに使用されるMOS-FETのドレーン・ソース間電圧はハーフブリッジ形構成の場合に比べてほぼ2倍となる。このため，プッシュプル形インバータではドレーン・ソース間耐圧の高いMOS-FETを使用しなければならない欠点があり，大電力では高周波化が容易ではない。

フルブリッジのMOS-FET式DC-RFインバータで高周波出力電力を増加させるためには，複数のMOS-FETを並列接続

して各MOS-FETアレイを構成し，4個のMOS-FETアレイによりフルブリッジを構成すればよい。このような構成によりMOS-FETアレイのオン抵抗が減少し，電力容量が増加する⁽¹⁰⁾。

一方，短波帯では一般に，デバイス間を接続するリード配線のインダクタンスやMOS-FETの電極間キャパシタンスなどの寄生要素により出力電力効率が減少する。従って，これらの寄生要素を低く保って出力電力効率を高く保ち，且つ，MOS-FETと出力変成器の温度を125℃の許容範囲内に保つことができれば，出力電力を500W～2 kWにまで高くしても安定な動作が期待できると考えられる⁽¹¹⁾。

本文では，2.5MHzの短波帯で70%以上の電力変換効率を得ることができ，1 kWの出力電力を得ることができるフルブリッジ形MOS-FET式DC-RFインバータを設計，製作するに際して，最も重要と考えられる電力損失及び効率について記述する。本文では，特に損失電力による素子や部品の発熱に注目し，熱抵抗により損失電力を求めて電力変換効率を評価する方法を提案し，更に具体的な実施例として電力変換効率と，出力電力及び素子や部品の発熱の関係を求める。

2. 回路構成と動作

図1に，フルブリッジ形MOS-FET式DC-RFインバータの基本回路構成を示す。フルブリッジ形MOS-FET式DC-RFインバータにおいて，フルブリッジを構成するための4個のMOS-FETアレイ(以後，アレイと称する)では，それぞれ N

図1 フルブリッジ形インバータの基本回路構成
Fig.1. Circuit diagram of the full-bridged inverter.

個 (N : 正の整数) の MOS-FET が並列に接続されていて、電力容量が N 倍になっているものとする。また、図1において、駆動信号は、駆動入力変成器を通して駆動回路からフルブリッジに加えてある。アレイ1、4及びアレイ2、3は交互に逆相に駆動され、フルブリッジの動作をする。このとき、各ゲートバス（並列接続された MOS-FET のゲートを相互接続するためのバス）に与える駆動信号波形は方形波ではなく、正弦波としてある。これによって、アレイ1及び2或いはアレイ3及びアレイ4が同時にオンになって直流電源がスイッチング期間に短絡するのが避けられる。このとき、各 MOS-FET のドレイン、ゲート、ソースはそれぞれのバスに接続されていて、リードインダクタンスや寄生抵抗を減ずることができる構造としてある。寄生抵抗が大きいと損失が大きくなり、電力効率が低下するので、寄生抵抗には十分に留意してある。

通常、中波帯で 3 kW の高周波出力を得ることができるフルブリッジ形 MOS-FET 式 DC-RF 電力インバータでは、 $N=20$ に選ばれている⁽⁹⁾。しかし、短波帯ではリードインダクタンスや寄生抵抗などの寄生要素がわずかにあっても、電力効率に大きく影響するので、構造上生ずる寄生要素のため $N \leq 10$ に制限されることが多い。

出力変成器はフルブリッジ形 MOS-FET 式 DC-RF 電力インバータの出力端に接続されている。実験では、負荷抵抗は出力変成器の2次側に同軸ケーブルを介して直接、接続してある。

〈2・1〉 抵抗性負荷における動作 短波帯では出力変成器のコアの材質や巻線構造に依存して、出力変成器の電力伝送効率は低下することが多い。巻線の断面積と表面積を十分な値に選べば、巻線での損失は無視できる値にまで減らすことができるため、出力変成器の電力伝送効率は出力変成器のコアの材質のみにほぼ依存する。

負荷が抵抗性負荷である場合に、オン状態に保たれている各 MOS-FET アレイのドレイン・バスに流れ込む電流 I_D は (1) 式となる。

$$I_D = \frac{E}{R_L / n^2 + 2(R_{ON} / N)} \quad \dots\dots\dots (1)$$

ここで、 E 、 R_L 、 R_{ON} 及び N はそれぞれ印加直流電

圧、負荷抵抗、オン抵抗、及び各アレイにおける MOS-FET の並列接続個数である。また、出力変成器の1次対2次の巻線比は $1:n$ であると仮定している。

アレイ1、4と、アレイ2、3が交互にスイッチされるので、アレイ1、4内に定常状態で消費される損失電力は $I_D^2 \cdot 2(R_{ON} / N)$ の $1/2$ である。同様に、アレイ2、3内に定常状態で消費される損失電力も $I_D^2 \cdot 2(R_{ON} / N)$ の $1/2$ である。従って、定常状態で4個のアレイに消費される全損失電力 P_R は

$$P_R = I_D^2 \cdot 2(R_{ON} / N) \quad \dots\dots\dots (2)$$

で与えられる。

アレイ1、4がオンからオフになり、アレイ2、3がオフからオンになる期間、或いはアレイ1、4がオフからオンになり、アレイ2、3がオンからオフになる期間には過渡的に各アレイのオン抵抗が増加して損失電力が過渡的に増加する。

全 MOS-FET アレイのドレイン・ソース間キャパシタンスを充放電する際に生ずる損失電力 P_f は、次の (3) 式により与えられる⁽⁹⁾。すなわち、

$$P_f = \frac{24}{10} NC_f (E_O + E_D)^{1/3} (2E - 3E_D)(E + E_D)^{2/3} f + 4fC_s E^2 \quad \dots\dots\dots (3)$$

ここで、 C_f はドレイン・ソース間電圧が E_O のときに存在する各 MOS-FET のドレイン・基板間接合のキャパシタンスである。 E_D は接合の拡散ポテンシャル、 C_s は MOS-FET アレイの浮遊キャパシタンス、 f は動作周波数である。

フルブリッジ回路のレイアウト、並列接続される MOS-FET の数、及びゲート駆動電圧波形を適切にすれば、上記過渡期にアレイ内で生ずるスイッチング損失電力 P_s は他の損失に比べて十分に小さくできる。ここでは、損失電力 P_s は無視できるものと仮定する。この場合、損失電力 P_L は

$$P_L = P_R + P_f \quad \dots\dots\dots (4)$$

となる。損失電力 P_f は周波数に比例して増加するので、短波帯では一般に $P_f \gg P_R$ となり易い。

すなわち、駆動電力を除けば、各 MOS-FET アレイで消費される全電力は損失電力 P_L に等しく、他の損失は発生しない。本文のフルブリッジ形インバータでは駆動電力は 4 W であるので、他の損失電力に比べて十分小さく、無視できる。また、フルブリッジ形 MOS-FET アレイから出力変成器に出力される電力を出力電力 P_{OO} として取り扱うことにする。このときの電力変換効率 η_{DO} は次式によって定義される。

$$\eta_{DO} = \frac{P_{OO}}{P_L + P_{OO}} \quad \dots\dots\dots (5)$$

高周波増幅器のプレート効率に習い、 η_{DO} を本文ではドレイン効率と定義しておく。上述したように P_{OO} はフルブリッジ形 MOS-FET アレイの出力電力であるが、出力変成器の損失電力 P_T は除外してある。出力電力 P_{OO} は、次の (6) 式で与えられる。

$$P_{OO} = \frac{E^2}{\left\{R_L/n^2 + 2(R_{ON}/N)\right\}} \cdot \eta_{DO} \quad \cdots (6)$$

従って、ドレーン効率 η_{DO} は、

$$\eta_{DO} = 1 - \frac{P_L \left\{ (R_L/n^2) + 2(R_{ON}/N) \right\}}{E^2} \quad \cdots (7)$$

となる。

次に、出力変成器の損失 P_T を考慮に入れた電力効率 η_D は

$$\eta_D = \frac{P_O}{P_L + P_T + P_O} \quad \cdots (8)$$

となる。

ここで、 P_O は出力変成器から得られる出力電力である。

このとき出力電力 P_O は

$$P_O = \frac{E^2}{\left\{ (R_L/n^2) + 2(R_{ON}/N) \right\}} \cdot \eta_D \quad \cdots (9)$$

となる。従って、電力効率 η_D は

$$\eta_D = 1 - \frac{(P_L + P_T) \left\{ (R_L/n^2) + 2(R_{ON}/N) \right\}}{E^2} \quad \cdots (10)$$

となる。

〈2・2〉 直列共振負荷における動作 図1に示すフルブリッジ形MOS-FET式DC-RFインバータにおいて出力変成器の2次側にLCRより成る直列共振負荷が接続されているとする。ここで、負荷インピーダンス Z_L は

$$Z_L = R_L + j \left(\omega L_L - \frac{1}{\omega C_L} \right) \quad \cdots (11)$$

で与えられる。共振時には Z_L は抵抗成分のみになるが、高調波に対してはインダクタンス性の高インピーダンスになる。よって、駆動信号の基本周波数($\omega/2\pi$)成分に対応する電流のみが負荷に流れ、高調波成分の電流は阻止される。

従って、 $\omega L_L = 1/\omega C_L$ が成り立つ条件のもとでは、オン状態に保たれたアレイのドレーン・バスに流れ込む電流 I_{DR} は

$$\begin{aligned} I_{DR} &= \frac{4}{\pi} \cdot \frac{E}{\left\{ (R_L/n^2) + 2(R_{ON}/N) \right\}} \cdot \sin \omega t \\ &= \frac{4}{\pi} \cdot I_D \cdot \sin \omega t \quad \cdots (12) \end{aligned}$$

となる。

ここで、各アレイのドレーン・ソース間キャパシタンスの充放電電流は無視してある。

一方、このときのフルブリッジの全損失電力 P_{LR} のうち、オン抵抗による損失電力 P_{RR} は

$$\begin{aligned} P_{RR} &= \frac{1}{2} \cdot I_D^2 \cdot 2 \cdot (R_{ON}/N) \cdot \frac{16}{\pi^2} \\ &= \frac{8}{\pi^2} P_R \quad \cdots (13) \end{aligned}$$

となる。

更に、出力変成器の損失電力 P_{TR} が出力変成器の1次巻線

電流の2乗に比例するものと仮定すれば、(13)式と同様にして(12)式から

$$P_{TR} = \frac{8}{\pi^2} \cdot P_T \quad \cdots (14)$$

となる。

フルブリッジが適切に設計されていて、スイッチング損失電力 P_{SR} が無視できるものと仮定すれば、(4)式と同様に

$$P_{LR} = P_{RR} + P_f \quad \cdots (15)$$

となる。この場合も、 $P_f \gg P_{RR}$ となり易い。

(5)式と同様にして、このときのドレーン効率 η_{DOR} は

$$\eta_{DOR} = \frac{P_{OOR}}{P_{LR} + P_{OOR}} \quad \cdots (16)$$

となる。

ここで、 P_{OOR} は直列共振負荷が共振しているときの出力電力である。

出力電力 P_{OOR} は(12)式から求められ

$$P_{OOR} = \frac{8}{\pi^2} \cdot \frac{E^2}{\left\{ (R_L/n^2) + 2(R_{ON}/N) \right\}} \cdot \eta_{DOR} \quad \cdots (17)$$

となる。

従って、ドレーン効率 η_{DOR} は

$$\eta_{DOR} = 1 - \frac{\pi^2}{8} \cdot \frac{P_L \left\{ (R_L/n^2) + 2(R_{ON}/N) \right\}}{E^2} \quad \cdots (18)$$

となる。

出力変成器の損失 P_{TR} を考慮に入れた電力効率 η_{DR} は

$$\eta_{DR} = \frac{P_{OR}}{P_{LR} + P_{TR} + P_{OR}} \quad \cdots (19)$$

ここで、 P_{OR} は出力変成器から得られる出力電力である。

$$P_{OR} = \frac{8}{\pi^2} \cdot \frac{E^2}{\left\{ (R_L/n^2) + 2(R_{ON}/N) \right\}} \cdot \eta_{DR} \quad \cdots (20)$$

$$\eta_{DR} = 1 - \frac{\pi^2}{8} \cdot \frac{(P_{LR} + P_{TR}) \left\{ (R_L/n^2) + 2(R_{ON}/N) \right\}}{E^2} \quad \cdots (21)$$

となる。

3. MOS-FETアレイ及び出力変成器の状態と熱抵抗

〈3・1〉 MOS-FETアレイ 2.5MHzで動作するフルブリッジ形DC-RF MOS-FETインバータでは、設計に際して $N=6$ に選んだ。図1に示す各MOS-FETアレイにおいて、6個の高周波用MOS-FETが直結され、実効的なオン抵抗は各MOS-FETのオン抵抗の1/6に減少してある。

各MOS-FETアレイは $100 \times 200 \times 24 \text{mm}$ の大きさで表面積が 1064cm^2 の櫛形放熱板上に図2に示すような構造にマウントしてある。図3に示すように、実装状態にある各MOS-FET

図2 MOS-FETアレイの構造

Fig.2. Structure of the MOS-FET array.

図3 MOS-FETアレイの熱抵抗

Fig.3. Thermal resistance of the MOS-FET array.

アレイの熱抵抗は自然空冷時に0.70~1.25°C/Wに抑えることができた。本研究では、TO3形金属ケース入りのMOS-FETを能動素子として使用した。この金属ケースはMOS-FETのソースに接続されているので、ソース電極は厚さ100 μ mのテフロンシートを介して放熱板に固定し、放熱板に対して絶縁してある。各MOS-FETを放熱板に固定する一対のネジのうちの一つは、絶縁体ワッシャを介してソース電極から絶縁してある。いま一つのネジはプリント回路基板上のソースバスに直結してある。プリント回路基板の回路パターンが形成されていない裏面に放熱板をマウントし、インバータが安定に動作できるように、放熱板は共通接地電位に接続してある。

<3・2> 出力変成器 一方、出力変成器には高周波用フェライト・リングコア(外径68mm、内径44mm、高さ13mm)を使用している。10個のリングコアを5個ずつ積み重ねて相互に接着し、それぞれ高さ約65mmの大形リングコアを作り、これを2個並列に配置して1kW以上の高周波電力を取り扱うことができる高周波変成器を構成した。

1個のリングコアについて、損失電力とリングコアの温度上昇から熱抵抗を求めた。図4に示すように、60Hzの交流電圧を加えて求めた多数の測定値に基づいて、1.4~2.0°C/Wの熱抵抗が得られた。熱抵抗はリングコアの熱的性質によって決定されるが、高周波でも発熱メカニズムは低周波の場合とほとんど変わらないと考えられるので、高周

波でもこの値は妥当であると考えられる。リングコアのキュリー温度は200°C以下の低温であるため、コアを5 m/sec程度の風量で強制空冷して測定を実施した。この強制空冷の条件は、インバータ動作状態とほとんど同様である。

図5は、磁化と透磁率の飽和との関係を求めるため測定したグラフである。図5から、2.3~2.8MHzで、測定したフェライトリングコアは100AT/mの容量(0.12Wb/m²に相当)

図4 コアの熱抵抗

Fig.4. Thermal resistance of the core.

図5 磁気曲線

Fig.5. Magnetization curve.

図6 出力変成器の外観

Fig.6. Outside view of the output transformer.

を備えていることがわかる。巻線は1次側に直径30mm、肉厚1.5mmの銅パイプを使用し、2次側に1.4mmの直径を有するテフロン被覆銅線5本を並列使用し、スタックしたリングコアに一次巻線は1回巻き、二次巻線は2回巻いてある。これによって、巻線内での高周波抵抗を無視できる大きさに減じてある。このため、出力電力が1kW以下のとき出力変成器のフェライトリングコアは不飽和状態にある。出力変成器の1次側、及び2次側のインダクタンスは、それぞれ10.0μH、及び40.5μHである。図6には出力変成器の外観を示してある。

4. MOS-FETアレイ及び出力変成器の温度上昇から求めた損失電力

短波帯で1kW前後の電力を取り扱う場合、電圧、電流、或いは電力を10～20%以内の誤差で測定することは容易ではない。特に本文で取り扱うように出力が方形波である場合には、電気的方法は過剰な誤差を招きやすい。

フルブリッジ形MOS-FET式DC-RF電力インバータでは、損失電力はすべて素子や部品の発熱を招くので、素子の発熱から損失電力を間接的に測定できる⁽¹¹⁾。

インバータの電力損失は、主として次の各要素から成り立つ。

- (1) MOS-FETアレイ内での各MOS-FETの温度上昇による損失。
- (2) 出力変成器を形成するリングコアの温度上昇による損失。

MOS-FETアレイと出力変成器とは構造上、熱的に分離しているので、両者間の熱抵抗は無視できる。従って、MOS-FETアレイの温度上昇が出力変成器の温度上昇を招くことはない。また、出力変成器の温度上昇がMOS-FETアレイの温度上昇を招くこともない。よって、上記MOS-FETアレイの温度上昇と出力変成器の温度上昇を個々に測定することができる。以下に、それぞれの温度上昇、熱抵抗、及び電力損失の相互関係を記述する。

<4.1> MOS-FETアレイの損失電力 フルブリッジ形MOS-FET式DC-RF電力インバータを2.5MHzで動作させ、抵抗性負荷を接続したとき、測定した各MOS-FETアレイの温度上昇を図7に示す。

図7からわかるように、電源電圧が180Vのとき、各MOS-FETアレイの温度上昇は48℃～90℃であった。各MOS-FETを放熱器にマウントし、自然空冷しているため、温度上昇にばらつきがある。温度上昇 ΔT は次式により求めることができる。

$$\Delta T = K_M \cdot E^2 \quad \dots\dots\dots (22)$$

ここで、 K_M は定数である。

図7を参照すれば、1kWの高周波出力時に各MOS-FETアレイの温度上昇は最大90℃になる。更に、各MOS-FETアレイの熱抵抗が0.7～1.25℃/W(図3参照)であるとすれば、各

MOS-FETの損失電力は最大22W(129W/6個)になるので、MOS-FETの動作温度は許容できる値になる。

一方、MOS-FETアレイ内での各MOS-FETの温度上昇による損失電力 P_L は

$$P_L = \frac{\Delta T}{R_{THM}} \quad \dots\dots\dots (23)$$

となる。従って、損失電力 P_L は

$$P_L = \frac{K_M}{R_{THM}} \cdot E^2 \quad \dots\dots\dots (24)$$

となる。ここで、 R_{THM} は熱抵抗である。熱抵抗が0.70～1.25℃/Wであるとし、図7からMOS-FETアレイ全体の損失電力 P_L を求めて図8に示す。電源電圧が180Vのとき、MOS-FETアレイ全体の損失電力 P_L は154～514Wとなる。供給電源電力を1764Wとすると、MOS-FETアレイ全体の損失電力 P_L は供給電源電力の9～30%になる。

<4.2> 出力変成器の損失電力 同様に、フルブリッジ形MOS-FET式DC-RF電力インバータを2.5MHzで動作させ、抵抗性負荷を接続したとき、出力変成器を形成するリングコアの温度上昇を測定して図9に示す。電源電圧が180Vのとき、出力変成器のフェライトリングコアの温度上昇は43℃であり、温度上昇のばらつきはほとんど認められない。出力変成器の損失電力 P_T は主としてコア損により生じ、

図7 MOS-FETアレイの温度上昇

Fig. 7. Temperature rise of the MOS-FET arrays.

図8 全MOS-FETアレイの損失電力

Fig. 8. Loss power within the MOS-FET arrays.

巻線内の損失電力による温度上昇は無視できる。従って、温度上昇 ΔT は

$$\Delta T = K_C \cdot E^2 \quad \dots\dots\dots (25)$$

となる。ここで、 K_C は定数である。コア損による損失電力 P_T はMOS-FETアレイでの各MOS-FETの温度上昇と同様にし
て求めることができ、

$$P_T = \frac{K_C}{R_{THC}} \cdot E^2 \quad \dots\dots\dots (26)$$

で与えられる。ここで、 R_{THC} はコアの熱抵抗である。リングコアの熱抵抗は、図4に示したように、 $1.4 \sim 2.0^\circ\text{C/W}$ である。

(25)、(26)の両式から求めた熱抵抗にもとづいて、出力変成器を構成するリングコアの損失電力 P_T を求めて図10に示す。図10から電源電圧が180Vのとき、出力変成器での損失電力 P_T は214~306Wであった。この値は、供給電源電力の12~17%を占めている。

<4.3> MOS-FETの温度上昇により求めたドレイン効率の変化 MOS-FETのオン抵抗 R_{ON} は、近似的に次式で表される。

$$R_{ON} = R_{ON}^* \left(\frac{T_M}{T_O} \right)^2 \quad \dots\dots\dots (27)$$

図9 コアの温度上昇
Fig.9. Temperature rise of the cores.

図10 コアの損失電力
Fig.10. Loss power of the cores.

ここで R_{ON}^* は、基準温度 T_O のときのオン抵抗、 T_M はMOS-FETの動作温度である。

また、MOS-FETの動作温度 T_M は、基準温度 T_O に対する温度上昇 ΔT であり、次式で表せる。

$$T_M = T_O + \Delta T \quad \dots\dots\dots (28)$$

(22)、(27)、(28)の3式より、オン抵抗 R_{ON} は電源電圧 E の関数として表すことができる。

$$R_{ON} = R_{ON}^* \left(1 + \frac{K_M E^2}{T_O} \right)^2 \quad \dots\dots\dots (29)$$

図11は、フルブリッジ形インバータの出力電力 P_{OO} とドレイン効率 η_{DO} を示す。図11は、抵抗負荷を接続して求めたものである。図11において、出力電力 P_{OO} は、供給電源電力から全MOS-FETアレイでの損失電力(図8参照)を減算して求めた。電源電圧が180Vのときの出力電力 P_{OO} は1250~1610Wとなり、ドレイン効率は71~91%となった。また、図11の理論曲線(実線)を算出するにあたり、MOS-FETのオン抵抗は(29)式により求め、他のパラメータは表1に示す定数を使用した。

<4.4> 出力変成器の温度上昇により求めたドレイン効率の変化 フルブリッジ形インバータの出力変成器から得られる出力電力 P_O に出力変成器での損失電力 P_T を加算すれば、出力変成器の損失電力を除外した出力電力 P_{OO} 並びにドレイン効率 η_{DO} を求めることができる。まず、フルブリッジ形インバータの出力変成器から得られる出力電力 P_O と電力効率 η_D の測定値を図12に示す。図12では電源電圧が180Vのとき、出力電力 P_O は1090Wとなり、電力効率 η_D は62%であった。次に、出力変成器の損失電力を除外した出力電力 P_{OO} 、並びにドレイン効率 η_{DO} を図13に示す。出力電力 P_{OO} は、図12に示した出力電力 P_O に図10に示した出力変成器の損失電力 P_T を加算して求めた。図13では、電源電圧が180Vのときの出力電力 P_{OO} は1300W~1400Wとなり、ドレイン効率は74~79%となった。また、図13の理論曲線(実線)を算出するにあたり、表1に示す定数を使用した。

表1 パラメータ

Table 1. Parameters.

E_D (V)	0.5
E_O (V)	200
f (MHz)	2.5
C_i (pF)	190
C_s (pF)	10
N	6
n	2
R_{ON}^* (Ω)	2.5
R_L (Ω)	50
T_O (K)	300
K_M (K/V^2)	2.1×10^{-3}

図11 出力電力とドレーン効率

Fig. 11. Output power and drain efficiency.

図14 負荷抵抗値と出力電力

Fig. 14. Load resistance and output power.

図12 出力電力と電力効率

Fig. 12. Output power and power conversion efficiency.

図15 負荷抵抗値とドレーン効率

Fig. 15. Load resistance and drain efficiency.

図13 出力電力とドレーン効率

Fig. 13. Output power and drain efficiency.

5. 出力性能

〈5・1〉 抵抗性負荷 図11並びに図13に示した出力電力 P_{OO} とドレーン効率 η_{DO} は、負荷抵抗値 R_L を50Ωと一定とし、電源電圧 E の関数としてプロットしたものである。一般に、出力電力 P_{OO} 並びにドレーン効率 η_{DO} は、負荷抵抗値 R_L に依存する。図14及び図15は、負荷抵抗値 R_L の関数としてプロットした出力電力 P_{OO} 、及びドレーン効率 η_{DO} をそれぞれ

れ示す。出力電力の実測値は、電圧波形と電流波形との積により瞬時電力を求め、これを平均することにより求めた⁽¹²⁾。図14及び図15の理論曲線を算出するにあたり、表1に示す定数を使用した。

図14並びに図15に示すように、出力電力とドレーン効率は負荷抵抗に依存する。インバータ回路のリード配線のインピーダンス並びにMOS-FETアレイのオン抵抗は動作状態に依存し、場合によっては10Ω以上になることもあり得る。負荷抵抗が10Ω以下の場合もあり得るが、負荷抵抗 R_L を10Ω以下の小さな値に設定することは、一般に容易ではない⁽¹³⁾。

〈5・2〉 共振負荷 短波帯でインバータにLCR共振負荷を接続し、共振を取りながら負荷抵抗に1kW前後の高周波電力を供給すると、LC共振回路に10A前後の電流が流れる。

直列共振状態で出力電力は、(20)式により表されているように、抵抗性負荷の場合の $8/\pi^2$ 倍になる。(9)式を(20)式と比較すると、

$$\frac{P_{OR}}{\eta_{DR}} = \frac{8}{\pi^2} \cdot \frac{P_O}{\eta_D} \quad \dots\dots\dots (30)$$

となる。(13)式、(14)式の関係から

$$P_{RR} + P_{TR} = \frac{8}{\pi^2} (P_R + P_T) \quad \dots\dots\dots (31)$$

が得られる。一方、(4)式と(15)式を比較すると、 $P_f \gg P_R$

の条件下で $P_{LR} \approx P_L$ である。

従って、 $P_{LR} \ll P_{TR}$ ならば

$$(1 - \eta_{DR}) = (1 - \eta_D) \quad \dots\dots\dots (32)$$

が得られる。逆に、 $P_{LR} \gg P_{TR}$ ならば

$$(1 - \eta_{DR}) = \frac{\pi^2}{8} (1 - \eta_D) \quad \dots\dots\dots (33)$$

となる。実際には P_{LR} と P_{TR} とがほぼ同じオーダーであることが多いので、 $\eta_D = \eta_{DR}$ と考えてよい。

電力効率 η_{DR} が電力効率 η_D にほぼ等しいと仮定すれば、出力電力 P_{OR} は抵抗性負荷時の出力電力 P_O の 0.81 倍になる。上記の検討にもとづいて、抵抗性負荷時のインバータの性能から直列共振負荷時の性能を推論すると、出力電力がほぼ 1 kW となり、ドレーン効率は抵抗性負荷時と変わらず、70% オーダになると考えられる。

6. 検討および結言

<6.1> 検討

本文では、フルブリッジを構成する各 MOS-FET アレイの発熱による温度上昇、及び出力変成器の発熱による温度上昇に注目して、出力電力及び効率に関する性能評価を行ってきた。従って、(6) 式による出力電力 P_{OO} の算出では、実効負荷抵抗 R_L/n^2 、及び実効オン抵抗 $2R_{ON}/N$ が、単にフルブリッジに接続され、方形波状のスイッチングが行われる動作が理想であると仮定した。よって、このときに入力される電力のすべてが高周波として出力されれば、ドレーン効率が 100% であると定義している。オン抵抗損失を含む各電力損失より、入力電力のうちの η_{DO} (%) が出力に取り出されると考え、その時の損失電力の和を P_L であるとした。ここで、損失電力はオン抵抗を流れる定常電流、ドレーン・ソース間キャパシタンスの充放電、及びスイッチングの過渡期に生ずる電圧・電流積などによるものである。(6) 式から (21) 式に至る過程では、この考え方を拡張して表示している。

図 11 の測定においては、入力 DC 電流に含まれる AC リップル成分は十分に除去したが、DC 電源より見たインバータ回路のインピーダンスが低いこと DC 電源に与える影響が大きく、DC 入力電流が実際の値より小さく読み取られたのではないかと考えられる。このため、出力電力が見かけ上小さく、ドレーン効率が見かけ上高くなっている。一方、図 12 の測定においては、オシロスコープ上で負荷両端の高周波電圧電流積を読み取り、RF 出力電力を求めている。このとき、出力バスや出力伝送線路など、出力変成器以外の低インピーダンス部分での損失を無視しているので、読み取られた出力電力は実際の値より低くなっていると考えられる。一方、DC 入力電力も見かけ上低くなっているため、効率は理論値に合っていると考えられる。いずれにしても、短波帯高周波電力の測定であるので、10~20% の誤差は考えられる。通常、正弦波以外の高調波を含んだ高周波では測定時に 10~20% 程度の誤差はやむを得ないと考えられる。

一方、フルブリッジの動作波形モデルを解析する文献 (5) の方法も適用可能であるが、本文では文献 (5) の方法

を適用していない。動作波形モデル解析は、各 MOS-FET アレイの動作時において、ドレーン・ソース間の電圧波形、及びドレーン・ソース間を通して出力変成器の 1 次側に流れる電流波形に注目して出力電力を求める方法である⁽⁶⁾。しかし、本文では損失がすべて MOS-FET アレイ及び出力変成器の温度上昇に寄与すると仮定しているので、この仮定が成立する誤差範囲内で出力電力と電力効率の表示式は有効であると考えられる。

本文では空气中に配置された MOS-FET アレイ及び出力変成器の温度上昇を、それぞれ測定しているので、温度測定値の分散が大きい。電子部品の温度上昇を正確に測定する方法として、シリコン油中に浸した電子部品の温度上昇を、油の温度上昇を測定することによって測定する方法がよく知られている。しかし、本文では取扱う周波数が 2.5 MHz、出力電力が 1 kW であるため、入出力バスやリード線を延長させて MOS-FET アレイや出力変成器を個々に油浸した場合、出力性能を保持することが困難であると考えられる。そこで、空气中に配置した実装状態で、MOS-FET アレイや出力変成器の温度上昇の測定を行った。このため、複数回の測定を行って測定値の最大、最小値を求めてデータとして使用した。更に、本文で取扱う負荷は約 10 オーム ($50 \Omega/2^2$) であるため、出力バスを短くしても寄生インダクタンス成分を完全に除去できない。従って、短波帯の高周波で大電力を取扱う場合、波形測定や電圧、電流、電力等の測定においてはかなりの誤差を生じやすいので、本法が特に有効性を欠くとは考えられない。

<6.2> 結言

- (1) 短波帯の 2.5 MHz で出力 1 kW を得ることができるフルブリッジ形 MOS-FET 式電力インバータを取り上げ、電力損失と効率を求める一方法を示し、具体的なデータを得た。
- (2) 電力損失と効率は、フルブリッジを構成する MOS-FET アレイ及び出力変成器のみの電力損失によって決定されると仮定し、各電力損失を MOS-FET アレイ及び出力変成器の温度上昇から求める方法を提案した。
- (3) 上記によって実装状態で求めた各電力損失により、電力インバータのドレーン効率と出力電力をそれぞれ求め、予め設定したパラメータにより求めた計算値と比較した。両者はいずれも 10~15% の範囲内で一致している。メガヘルツ帯の高周波で約 10 オームの負荷インピーダンスをインバータに接続した時、両者の一致は通常、極めて困難であるので、本文の場合には比較的良好な一致を得たと言うことができる。
- (4) 動作原理を理解するため、抵抗性負荷時について電力効率及び出力電力を解析により求め、直列共振負荷に拡張した。この結果、本文で展開した理論によれば損失電力 P_L は損失電力の主たる成分になるが、これと同様に短波帯では出力変成器の損失も出力電

力効率を減ずる大きな要因になることがわかった。

- (5) 74~79%のドレーン効率を有し、出力電力が1.2~1.6kWの短波帯用フルブリッジ形MOS-FET式DC-RF電力インバータを試作し、2.5MHzで抵抗性負荷に高周波電力を供給した。その結果、総合性能として、180Vの印加直流電圧をフルブリッジに加えたとき、74~79%のドレーン効率で、2.5MHzで最大1.4kWの出力電力を安定に得ることができた。

本文に関して討論いただいた静岡大学工学部篠原茂信教授、本文の作成に協力された静岡大学工学部澤木年子氏、静岡大学大学院学生水谷陽子君、並びに同大学院学生石川純一君に感謝する。

(平成8年4月25日受付, 平成8年7月26日再受付)

文 献

- (1) A.Egawa, H.Ikeda, S.Shinohara, "MOS-FET DC-RF Power Inverter of New Current-Fed Type", *Proceedings of IECON'88*, pp.628-633 (1988)
- (2) M.K.Kazimierczuk and X.T.Bui, "Class-E DC/DC converters with a Capacitive Impedance Inverter", *IEEE Transactions on Industrial Electronics*, Vol.36, No. 3, pp.425-433 (August 1989)
- (3) M.K.Kazimierczuk and J.Jozwik, "Resonant DC/DC Converter with Class-E Inverter and Class-E Rectifier", *IEEE Transactions on Industrial Electronics*, Vol.36, No.4, pp.568-578 (November 1989)
- (4) M.M.Javanovic, W.A.Tabisz, and F.C.Y.Lee, "High-Frequency OFF-Line Power Conversion Using Zero-Voltage-Switching Quasi-Resonant and Multiresonant Technique", *IEEE Transactions on Power Electronics*, Vol.4, No.4, pp.459-469 (October 1989)
- (5) H.Ikeda, T.Suzuki, H.Yoshida, S.Shinohara, and K.Hayeiwa, "DC-to-RF MOS-FET Power Inverter with Output Power of 1 kW at 2.5 MHz", *Proceedings of 33rd Midwest Symposium on Circuits and Systems*, pp.1102-1106 (August 1990)
- (6) T.Suzuki, H.Ikeda, H.Yoshida, and S.Shinohara, "Optimum Load Impedance for Full-Bridged MOS-FET Power Inverter Operating at 1.0 MHz to 2.5 MHz", *Proceedings of 34th Midwest Symposium on Circuits and Systems*, pp.174-178 (May 1991)
- (7) H.Ikeda, T.Suzuki, K.Hayeiwa, H.Yoshida, and S.Shinohara, "Power Conversion Efficiency in DC-to-RF MOS-FET High Power Inverter Operating at 2.5MHz", *Proceedings of IEEE International Symposium on Circuit and Systems*, pp.3035-3038 (June 1991)
- (8) T.Suzuki, T.Yamamoto, H.Ikeda, H.Yoshida, S.Shinohara, and K.Hayeiwa, "DC-to-RF MOS-FET Power Inverter Operating at 7MHz", *IEEE 5th Annual Conference on Industry Application Society*, pp.199-202 (August 1991)
- (9) 池田弘明, 生岩量久, 「MOS-FETを使用した高電力高周波増幅器の設計」, 電気学会論文誌, 106-C巻, 2号, pp.17-24 (昭和61年2月)
- (10) 池田弘明, 生岩量久, 「出力10kWを有するMOS-FET式中波帯電力増幅器の試作」, 電気学会論文誌, 106-C巻, 7号, pp.127-134 (昭和61年7月)
- (11) 鈴木大樹, 池田弘明, 吉田博文, 篠原茂信, 「2.5MHz, 1kW出力電力インバータの熱的計測法による効率の解析」, 電気学会半導体電力変換研究会資料, SPC-90-75, pp.73-81 (平成2年11月)
- (12) H.Ikeda, T.Suyama, T.Suzuki, T.Yamamoto, H.Yoshida, S.Shinohara, A.Nakato, "Online Output Power Measurement of Full-bridged MOS-FET RF Power Inverter Operating at Shortwave Frequency", *Proceedings of IEEE International Symposium on Industrial Electronics*, pp.711-714 (May 1992)
- (13) 鈴木大樹, 池田弘明, 水谷陽子, 「インバータの負荷となるメガソニック振動子のインピーダンス特性」, 電気学会論文誌, 115-D巻, 11号, pp.1420-1421 (平成7年11月)
- (14) K.Hayeiwa and H.Ikeda, "Gate signal circuit design for full-bridged SEPP RF power amplifier with MOS-FETs", *SICE'87*, ES10-5, pp.1147-1150 Hiroshima (July 1987)
- (15) 生岩量久, 池田弘明, 「中波ラジオ送信機用DC/RF電力インバータにおけるMOS-FETのASOと耐雷対策」, 電気学会論文誌, 108-C巻, 5号, pp.347-354 (昭和63年5月)

鈴木 大樹 (学生員) 1965年5月21日生。1989年3月静岡大学工学部電子工学科卒業。1991年3月同大学院工学研究科電子工学専攻修士課程修了。同年4月同大学院電子科学研究科電子応用工学専攻博士課程入学と共に、無電

テレビ工業(株)入社、現在に至る。MOS-FETを使用した高周波電力インバータの研究に従事。IEEE, 電子情報通信学会会員。

池田 弘明 (正員) 1957年静岡大学工学部電子工学科卒業。同年NHK採用。1987年静岡大学教授、現在に至る。現在、LED光ファイバ伝送シ

ステム、MOS-FET RFインバータの研究に従事。工学博士。昭和57年東京都知事表彰、昭和63年オーム技術賞、平成3年高柳記念賞受賞。IEEE, 電子情報通信学会会員。

吉田 博文 (非会員) 1968年名古屋高等無線電信学校電

波通信科卒業。同年静岡大学工学部電子工学科文部技官、現在に至る。高周波大電力応用、光ファイバ通信、及び光技術応用の研究に従事。電子情報通信学会会員。