電力用S Iサイリスタの開発

正員 宮崎 聡	(東京電力)	正員 市川 文俊	(東京電力)
正員 岸部 英人	(東北電力)	正員 秋山 広一	(明電舎)
正員 川村 貴保	(明電舎)		

Development of a Static Induction Thyristor for Electric Power Application

Satoshi Miyazaki, Fumitoshi Ichikawa, Member (Tokyo Electric Power Co., Inc.)

Hideto Kishibe, Member (Tohoku Electric Power Co., Inc.)

Hiroyasu Akiyama, Takayasu Kawamura, Member (Meidensha Corp.)

It is desirable that ac/dc converter for system interconnection (such as High Voltage Direct Current transmission system) should have following performance. (1) The converter does not fail to carry out commutation even when a voltage dip or distortion has broken out in the ac system. (2) The converter is able to send power from a healthy ac system even when another ac side has completely failed. (3) The converter is able to reduce generation of harmonics power in the network. It is necessary to improve characteristics of power semiconductor devices besides adoption of self-commutated ac/dc converter and development of control scheme. IGBT (Insulated Gate Bipolar Transistor), IEGT (Injection Enhanced Gate Transistor), GCT (Gate Commutated Turn off Thyristor) and Static Induction Thyristor (SITH) will be able to refine the characteristics. Especially SITH has high di/dt and dv/dt critical ratio and high switching characteristics. It is expected to apply SITH to power system in the future.

From these background, 4.5kV-1kA SITH which consists of 70mm in diameter pellet with the planer gate structure has been developed. This SITH shows a normally-off characteristic because of a low concentration p-base layer under n-emitter, and has a pin-base structure. For lifetime control, electron irradiation and proton implantation were used. A 5kHz-frequency test in a chopper drive was achieved in condition of 2250V as a supply voltage and 270A as a rectangular on-state current. Adopting a hard drive operation, a snubberless turn-off drive of 1000A as an anode current was also achieved.

キーワード：S Iサイリスタ、S Iデバイス、パワーデバイス、半導体、パワーエレクトロニクス、電力

1. まえがき

電力系統へ連系する変換装置には、1)交流系統に電圧低下や波形歪みが発生しても転流失敗しにくい、2)交流系統が停止しても極力運転継続できる、3)発生高調波歪みを抑える等の制御性能を備えることが望まれる。このためには、自励式変換装置の適用、制御アルゴリズムの開発はもとより、IGBT、IEGT、GCT、S Iサイリスタなど自己消弧形パワー半導体デバイスの特性向上が必要不可欠となる。上記デバイスのうち、S Iサイリスタは、高耐量で高速スイッチング特性に優れており、将来の電力分野への応用が期待されているパワー半導体デバイスの一つと言える。このデバイスを用いて高周波スイッチング動作を行えば冒頭に述べた制御性能の向上に加え、高調波フィルタの小型化、高調波補償機能などの多機能化が期待でき、低周

波で動作させればGTOなど従来デバイスに比べ高効率化が可能となり、電力のみならず鉄道、一般産業分野への適用拡大が期待できる。

このような背景から、電力用S Iサイリスタとして表面ゲート構造による圧接形の耐圧4500V、可制御電流1000A級ノーマリーオフ・デバイスの開発を行った⁽¹⁾⁻⁽³⁾。

フィールドリミッティング構造により4500V耐圧を維持し、プロトン照射、電子線照射併用によるライフタイム制御やnバッファ層を有するpinベース構造の採用により低損失化・高速化を図り、270Aのチョップ試験により5kHzの連続動作試験を確認した。更にゲート駆動回路を低インダクタンス化することにより、スナバレス動作を単発試験で確認することができた。本論文では、主にS Iサイリスタの構造とその動作原理、特性改善技術、デバイス特性試験結果について述べる。

2. 開発目標

電力システムへの適用を視野に入れ、ピーク繰返しオフ電圧 4500 V、可制御オン電流 3000 A 級デバイス実現へ向けての前段として、4500 V-1000 A 級デバイスを開発することにした。動作周波数は限界性能を見極める上で 5 kHz を目標とした。高周波での連続動作試験は通常正弦波（可制御オン電流 1000 A の約 1/3 の実効値）を用いるが、ここでは等価の矩形波 270 A によるチョッパ試験で確認することにした。

3. 構造および動作原理

〈3・1〉 表面構造 図 1 に SI サイリスタペレットの外観写真を示す。ペレットの直径は 70 mm で、カソードセグメントは放射状に約 3000 本配置されている。ペレット中央とセグメントの配置されている外周部には、ゲート電極を取り出すための領域が形成されている。ペレットの端部には、幅 2 mm 程度の領域に電界緩和のためのフィールドリミッティングリングとフィールドプレート进行、4500 V の耐圧を確保している。

〈3・2〉 断面構造 SI サイリスタは、表面ゲート圧接構造によるノーマリオフタイプとした。図 2 にセグメント内部の構造、図 3 に不純物濃度分布を示す。セグメントは、ユニットセルを多数並列にした構成となっており、表面ゲート構造のエミッタ層直下に p-ベース層を形成し、ノーマリオフ特性を維持している。p ゲート層はゲート電極へ接続されている。ゲート電極は、図 2 に示すセグメント内の p ゲート層上に形成されたブランチゲート電極とセグメント周囲に形成されたトランクゲート電極で構成されている。セグメント表面には層間絶縁膜が形成され、その表面にカソード電極が形成されている。コンタクトホールを各 n エミッタ層上に形成し、複数の n エミッタ層をカソード電極で共通にしている。カソード電極は、熱緩衝板を介してケースのカソードポストで圧接される。低損失化のため、n バッファ層を有する p i n ベース構造が用いられている。n バッファ層と p エミッタ層はエピタキシャル成長で形成されている。p エミッタ層の表面には、p ゲート層と同時に p 型の高濃度層を形成している。ライフタイム制御は、電子線照射とプロトン照射を併用している。

〈3・3〉 ケース構造 図 4 にケース写真を示す。ポスト径は 6.6 mm である。従来の合金形ケースでは熱歪みにより変形したデバイスを均一に圧接することが難しく、応力集中により破壊する可能性があったが、アロイフリー構造を採用することにより、合金形の課題が改善され、熱伝導性の向上なども期待できる。このアロイフリー構造の中にペレットが配置される。

図 1 ペレット外観写真

Fig. 1. Appearance picture of pellet

図 2 セグメント構成図

Fig. 2. Segment structure

図 3. 不純物濃度分布

Fig. 3 Impurity concentration

図 4 ケース写真

Fig. 4. Case picture

〈3・4〉動作原理⁽⁴⁾ S Iサイリスタが阻止状態にある時、ゲート電圧を負から正にするとpゲート層からnエミッタ層のカソードに向けて順電流が流れ、主にチャンネル部を形成するp⁻ベース層の電位障壁が低くなり、カソードからアノードに向かって電子が流れだす。この電子は電界によって運ばれ、正孔に対する電位障壁を低くしてpエミッタ層から正孔を引き出す。引き出された正孔はnエミッタ層へ運ばれチャンネルの電位障壁をさらに低くし、カソードからの電子の注入を増倍する。この現象でS Iサイリスタは導通状態となる。

導通状態から阻止状態へ移行させるためには、ゲート電極に負の電圧を印加して電流を引き抜く必要がある。逆バイアス電圧により、チャンネル近傍にあるpゲート層から正孔を引き出し、チャンネルの電位障壁が高まる。電位障壁の上昇によりチャンネルがピンチオフすると、nエミッタ層からの電子の注入が停止し、pエミッタ層からの正孔注入が減少し、阻止状態になる。

4. 特性改善技術

筆者らは、4500V-1000A級S Iサイリスタ⁽¹⁾の実績をふまえ、開発目標（4500V-1000A-5kHz）を達成するための大電流化、高周波化をはかった。

また、S Iサイリスタの高周波駆動時の装置損失を低減させるため、スナバレス化の検討も行った。

〈4・1〉高耐压化のための改善技術^{(5) (6)} ベベル構造など端面の加工を施さずに耐压維持の信頼度を向上するためには、図5に示すフィールドリミッティング構造にする必要がある。このため、フィールドリミッティングリングの初期間隔や間隔の増巾ピッチを種々変化させたフィールドリミッティング構造に対して、電極長さや下地酸化膜厚の異なるフィールドプレートを適用した場合の耐压特性をデバイスシミュレーションと実験により検討した。

その結果、フィールドリミッティング構造に適したフィールドプレート構造を付けることにより、フィールドリミッティングリング単独の場合より高耐压化が図れることが分かった。

S Iサイリスタ適用の面からは、下地酸化膜は薄い方が微細加工精度が高く放電を抑制し易いことも分かった。最終的にフィールドプレートを有した逐次増巾型のフィールドリミッティング構造を採用した。

パシベーション膜をCVD酸化膜、CVD窒化膜、Siゴムの3層構造にすることにより、イオン進入を防ぎ、耐压の維持を図った。その結果、4500V以上の耐压を安定して維持することを確認した。図6に示す4500V-125℃-1000時間のブロッキング試験を行い、高い信頼性を持つことを確認した。

図5 フィールドリミッティングリングの写真
Fig.5. Field limiting ring picture

図6. ブロッキング試験結果
Fig.6. Blocking Test Result

〈4・2〉大電流化のための改善技術 大電流化を行うためには、面積を大きくする必要がある。大面積化することによりゲート・カソード間耐压の歩留まり低下が予測されるため、特にこの耐压に注目して製造プロセスの検討を行った。この結果、CVD酸化膜のパターン切れや、膜厚の均一性などの課題について、下地のアルミニウム・エッチング条件の検討、段差部のパターンの改良およびCVD酸化膜の成膜条件の検討により、面内均一性を図ることができた。ゲート・カソード間耐压の歩留まりの点から、耐压不良部を動作させないようにトリミング処理を行うことを考え、これを容易にするための複数のゲート・カソードをまとめてセグメント内に処理する方法を検討した。セグメント内のカソード配置方法としては、図7に示すように①セグメント長手方法に対し、カソードスリットを平行に配置する長スリット構造、②セグメント長手方法に対し、カソードスリットを垂直に配置する短スリット構造の2種類が考えられる。ゲート電極の配置方法としては、セグメントの周囲のゲート幹部にはトレンチを形成しメタル電極を付けるが、①セグメント内のゲート部には電極を形成しないトレンチハイブリッドゲート、②セグメント内のゲート

にもトレンチおよびメタル電極を形成する全面トレンチゲートの2種類が考えられ、これらを組み合わせた4種類のセグメント形状について、デバイスシミュレーションによる特性比較や予測されるプロセス上の問題点の検討を行った。解析の結果、オン電圧やターンオフ損失はセグメント形状による差異はなく、動作周波数は同等となることが分かった。特性面で大きな差が見られたのは、ターンオフ時の個々のゲート、カソードに流れる電流値で、掃引抵抗が大きくなるほど電流分担も悪くなり、セグメント形状により遮断耐量が異なることが分かった。実際の試作でも掃引抵抗が遮断耐量に及ぼす抵抗が大きいたことが確認された。以上の結果から短スリットー全面トレンチ構造を用いることにした。

〈4・3〉高周波化のための改善技術 高周波化を達成するためには、 n バッファ構造とライフタイム制御方法の適正化を図り、損失を低減することが必要不可欠と考え、これらをパラメータに種々のSIサイリスタを試作して定常損失やスイッチング損失の比較を行った。 n バッファ層は、厚い構造に比べ、比較的薄いバッファ層の方が、ターンオフ損失はやや大きくなるものの、ターンオン損失が大幅に低減できるためトータル損失も低くなること、ライフタイム制御は、電子線照射とプロトン照射の併用が良いことが分かった。

熱抵抗低減も高周波化に必要な不可欠な検討項目である。図8のようなアロイフリー構造によるSIサイリスタ本体とケースを試作し、熱抵抗の測定を行った。アノード側のモリブデンディスクの銀メッキ厚みを試験パラメータにし試作検討を行った。更にモリブデン厚みと熱抵抗の関係を解析し試作に反映させた結果、最終的に $0.015^{\circ}\text{C}/\text{W}$ の熱抵抗を実現することができた。この時の損失は計算により 2.3 kW となる。動作周波数 5 kHz における損失がこの 2.3 kW 以下になるよう適切なオン電圧とスイッチングエネルギーの関係を調べ、デバイス設計へ役立てることにした。

〈4・4〉スナバレス化の検討 変換装置の損失を低減するためには、スナバコンデンサの容量を抑える必要がある。目的達成のためには、配線インダクタンスを減らす必要があり、効果的な手法として、ゲート掃引抵抗の低減が考えられる。これを実現するためには、①ゲート取り出し電極を外周側にも付ける（両ゲート）構造の採用、②ゲート電極の厚膜化、③ゲート配線の低インダクタンス化（バー配線の適用）、④ゲート回路の改良（小型化、高速化）などを検討した。ゲート構造については、両ゲート構造が採用できるように、デバイスゲート集電極を見直し、ゲート圧接部品を新たに試作した。ゲート厚膜化についてもゲート掃引抵抗を下げつつ信頼性・歩留まりが低下しないレベルで適正化を図ることができた。配線については、ゲート、

図7 ゲート・カソード配置方法
Fig.7. Gate cathode arrangement method

図8 アロイフリー構造
Fig.8. Alloy free structure

カソード共従来のリード配線に換えてデバイスから、ゲート回路までをバー配線することが可能な改良ケースを新規に試作した。ゲート回路については、最終段のMOSFETやコンデンサに高速・低インダクタンスのものを採用するとともに、小型化して内部配線の低インダクタンス化を図った。

5. 基礎特性試験

〈5・1〉 静特性 特性改善技術をもとにSIサイリスタを試作し、順阻止特性を測定した。図9に、接合温度 125°C の順阻止特性を示す。大口径プレーナ接合において4

図9 順阻止特性

Fig. 9. Off-state voltage

(a) 125°C

(b) 室温

図10 順電圧特性

Fig. 10. On-state voltage

500Vの高耐圧化が実現されている。漏れ電流は25mA程度である。1500V程度まで電圧を増すにつれて漏れ電流が上昇しているが、1500Vから4500Vの間

における漏れ電流の増加は低い。

これはnバッファ層まで空乏層が到達する電圧が1500V程度であることと、プロトンの照射による欠陥密度のピーク位置をnバッファ層近傍のnベース層に設定していることに起因すると考えられる。すなわち、局所ライフタイム制御された領域まで空間電荷が達するより低い電圧では、電圧の上昇に伴ってこの輸送効率が局所ライフタイム制御のために上がり、空間電荷内で発生する電流が漏れ電流として現れ易くなる。言い換えると、局所ライフタイムの場所より空間電荷の境界が十分遠い、つまり低い電圧では、輸送効率は低い再結合領域のために低く、大きな漏れ電流として現れない。しかし空間電荷の境界が局所ライフタイム制御領域に近づくと、発生電流の上昇だけでなく輸送効率も上昇するために大きな漏れ電流として現れるものと考えられる。局所ライフタイム制御領域が空間電荷の中に取り込まれると輸送効率は変化せず、これと同時に空間電荷幅 W_{dip} の距離も変わらなくなるので、電圧依存性がほとんどなくなる。電圧上昇に伴い、漏れ電流は若干微増する。

図10に125°Cと室温のオン電圧波形を示す。ゲート順電流は、10Aである。室温ではアノードカソード間電圧が数十V上昇しないと点弧せず（S字特性）、オン電圧も10V以上と高くなっている。このS字特性は、ターンオフ性能を改善するために設計したnバッファ濃度やプロトン照射の影響で、pエミッタからのキャリア注入を抑制してしまうため、サイリスタ動作にいたる正帰還が起こり難しく、トランジスタのような動作になったためと考えられる。アノードショート構造によっても同様な挙動が報告されている⁽⁷⁾。電圧型インバータへの適用を考えた場合、ターンオン時のアノードカソード間電圧が2000V程度であるため、実用上の問題は少ないと思われる。

〈5・2〉スイッチング特性 図11は接合温度125°Cにおけるターンオン波形である。電圧2250Vからアノード電流上昇率(di/dt)550A/ μs でピーク電流1000A程度まで通電される条件で、ターンオンしている。この時の遅れ時間は200ns、立ち上がり時間は1200nsであった。ゲート電流は35A通電しているが、ピーク値に達する前にターンオンしていることが分かる。図12に接合温度125°Cのターンオフ波形を示す。ゲート・ドライブ条件は、ゲート逆電圧15V、ゲートターンオフ電流上昇率(dIG/dt)50A/ μs とした。スナバ容量1 μF で、アノード電流1000Aを遮断し、ピークオフ電圧3000Vまで印加している。

この時の蓄積時間は6 μs 、下降時間は1.7 μs 、テイル時間は2.7 μs であった。また、ゲートターンオフ電流 I_{GO} は、250A程度から飽和傾向を示し、そのピークは275Aでゲインは3.6であった。測定したSIサイリスタの諸特性を表1に示す。

図 11 ターンオン波形

Fig. 11. Turn-on waveform

図 12 ターンオフ波形

Fig. 12. Turn-off waveform

表 1 デバイスの諸特性

Table 1. Characteristics of devices

項 目	記号	値	単位
ピーク繰返しオフ電圧	V_{DRM}	4500	V
繰返し可制御オン電流	I_{TQRM}	1000	A
実効オン電流	$I_T(RMS)$	300	A
平均オン電流	$I_T(AV)$	270	A
ピークオン電圧	V_{TM}	5.1	V
ピークゲート逆電圧	V_{RGM}	20	V
遅れ時間	T_{gd}	0.2	μs
立上り時間	T_{gr}	1.2	μs
蓄積時間	T_{gs}	6.0	μs
下降時間	T_{gf}	1.7	μs
テイル時間	$T_{g\ tail}$	2.7	μs
臨界オン電流上昇率	di/dt	1000	A/ μs
臨界オフ電圧上昇率	dv/dt	3000	V/ μs
熱抵抗	$R_{th}(j-f)$	0.015	$^{\circ}C/W$

6. 連続動作試験

〈6・1〉動作回路 SIサイリスタの連続動作試験を行った。試験回路を図13に示す。実効オン電流300Aのインバータを想定し、10mHの誘導負荷を用い、電源電圧を2250V、平均オン電流270A、duty 1/3のほぼ方形波の出力が得られるチョップ回路とした。スナバコンデンサ容量は0.25 μ F、ターンオン時の電流上昇抑制用のインダクタンスは10 μ Hとし、両面水冷で5kHzの動作を行なった。フリーホイーリングダイオード(FWD)は、新たに試作した逆回復特性の良いダイオードを用い、直列動作することで責務の軽減を行なった。

図 13 試験回路

Fig. 13. Test circuit

〈6・2〉動作確認 図14にこの時の波形を示す。図15にターンオン時の、図16にターンオフ時の拡大波形をそれぞれ示す。ターンオン時のアノード電流は、電流上昇率200A/ μs で、620Aまで通電されている。これは、誘導負荷に蓄積されたエネルギーによる電流に、FWD

図 14 連続動作試験

Fig. 14. Continuous drive test

図 15 連続動作ターンオン波形
Fig.15. Continuous drive turn-on waveform

図 16 連続動作ターンオフ波形
Fig.16. Continuous drive turn-off waveform

D の逆回復電流等が重畳されたためである。

ターンオフ時のアノード電流波形は、スナバ回路の電流が含まれた波形になっている。ゲートターンオフ電流は125A程度で、アノード電流270Aを遮断している。この時のオフ電圧のピーク値は、3800Vであった。この条件で、5kHzの連続動作を確認することができた。

7. スナバレス試験

〈7・1〉 ゲート駆動回路 高周波動作においては、スナバ回路で発生する損失が大きくなるため、スナバ容量の低減が技術課題となっている。スナバ容量を少なくするためには、ターンオフ時の主電流面内ばらつきを低減する必要がある。主電流をゲートに転流するように、ゲイン1でドライブすることで、主電流の面内ばらつきを抑制できるものと考えられる。ここで図12のターンオフ波形に着目する。この波形のゲート電流は、ゲートドライブ回路とゲートリード線のイン

ダクタンスで電流上昇率が制限されている。このため、主電流に達する前にゲート・カソード接合近傍のキャリアが排出され、高抵抗化される。この抵抗のためゲート電流は制限されると考えられる。ゲイン1を実現するためには、印加するゲート逆電圧で主電流と同等の電流がゲートに通電できるだけの低抵抗をゲート・カソード接合が維持している間に、高速ドライブする必要がある。SIサイリスタはゲート構造が微細化されており、カソード電流をゲート部に転流するのに適したデバイス構造を有している。

〈7・2〉 試験結果 高速にゲート電流を通電するには、ゲートドライブ回路とゲートリード線の低インダクタンス化が必要である。低インダクタンス化を実現したデバイスのケース及びゲートドライブ回路の外観写真を図17に示す。

カソードとゲートのリード線（ケース内部を含む）を、ケースの径より広いバーで形成し、これを対向させるとともに、ゲートドライブのゲートターンオフ電流を供給するコンデン

図 17 スナバレス試験におけるゲート駆動回路
Fig.17. Gate drive ciucuit for snubberless test

図 18 スナバレスターンオフ波形
Fig.18. Snubberless turn-off waveform

サとMOSFETを並列動作し、これをカソードとゲートのバーに直結することで低インダクタンス化を行なった。この方法により、ゲート電流上昇率 $1.5\text{ kA}/\mu\text{s}$ 以上でゲイン1のドライブが可能となった。この時のターンオフ波形を図18に示す。電源電圧 2250 V で、アノード電流 1000 A を単発で遮断し、オフ電圧のピーク値は 4000 V 以上であった。この時の蓄積時間は $1\mu\text{s}$ 以下となり、スナバレスで動作することが確認された。

8. むすび

電力系統への適用を考慮して、 $4500\text{ V}-3000\text{ A}$ 級SIサイリスタの前段として $4500\text{ V}-1000\text{ A}$ デバイスを開発した。目標とする 5 kHz 動作を 270 A のチョップ試験で確認することができた。また、スナバレスで 1000 A を単発で遮断することを確認した。今後は、

- ①連続動作試験（図13）のスナバレス化
- ②大電流化が期待できる新たなプロセス技術
- ③SIサイリスタに適用可能な高速ダイオードの改良

の基礎検討を行う。更にSIサイリスタへの新半導体材料の適用可能性を調査し、技術課題を抽出する予定である。

（平成11年7月7日受付、平成11年10月4日再受付）

文 献

- (1) 宮崎・市川・岸部・森川・川村：「 4.5 kV 級SIサイリスタの低損失化」、第10回SIデバイスシンポジウム、SSID-97-15（平9）
- (2) 宮崎・市川・岸部・森川・三浦・川村：「 $4500\text{ V}/1000\text{ A}$ 級SIサイリスタの試作」、第11回SIデバイスシンポジウム、SSID-98-8（平10）
- (3) 宮崎・市川・岸部・山田・川村・森川：「 $4500\text{ V}-1000\text{ A}$ 級SIサイリスタの試作・試験」、第12回SIデバイスシンポジウム、SSID-99-7（平11）
- (4) 電気学会編：「パワーデバイス・パワーICハンドブック」、コロナ社（平8）
- (5) 松橋・久保・清水・宮崎・市川：「高耐圧素子のガードリング解析」、電気学会産業応用部門全国大会46（平8）
- (6) 松橋・清水・久保・宮崎・市川・岸部：「 4.5 kV 級SIサイリスタのフィールドプレートによる電界緩和解析」、電気学会産業応用部門全国大会27（平9）
- (7) M. Kekura et al. "Anode Short Structure for 4.5 kV PT-SITs.", Proc. ISPSD'97, pp65-68, (1997)

宮崎 聡

（正員）1962年2月1日生まれ。昭和59年3月中央大学電気工学科卒業。同年東京電力（株）入社。主として電力系統へのパワーエレクトロニクス技術の適用に関する研究に従事。

市川文俊

（正員）1959年3月31日生まれ。昭和56年3月芝浦工業大学電気工学科卒業。同年東京電力（株）入社。主として電力系統へのパワーエレクトロニクス技術の適用に関する研究に従事。

岸部英人

（正員）1959年2月22日生まれ。昭和56年3月秋田大学電子工学科卒業。同年東北電力（株）入社。主として電力機器へのパワーデバイスの適用に関する研究に従事。

秋山広一

（正員）1954年7月24日生。1979年3月東京都立大学工学研究科修士課程工業化学専攻修了。同年4月株式会社明電舎入社。主としてパワー半導体デバイスの開発に従事。

川村貴保

（正員）1953年12月31日生。1978年3月名古屋大学大学院工学研究科修士課程金属工学専攻修了。同年4月株式会社明電舎入社。主としてパワー半導体デバイスの開発に従事。