超高オフゲート利得GTOサイリスタ

正員 終 原 健 明 (鹿児島大)

Very High Off-gate Gain GTO Thyristor
Kenmei Kukihara, Member (Kagoshima University)

A new class of thyristor action is proposed for switching off currents with very small off-gate current. The new units exceed conventional GTO thyristors by ~ 100 times in off-gate gain. The unit consists of a main pnp-transistor, a control npn-transistor, a diode and a resistor. The two transistors form conventional thyristor equivalently. The control transistor has a bypass diode between its base resistor and emitter, to make base current very small in order to be absorbed with small off-gate current. The bypass diode puts away the restraint on amplitude factors of inner transistors, in contrast to conventional GTOs. The base resistor, deciding bypass ratio, frees transistor from deeply saturated states and realizes high speed actions. And also, the base resistor restricts inflow into off-gate from main current.

1. まえがき

GTO (Gate Turn-off) サイリスタはゲートに正負の電流パルスを与えて素子電流 I をオンオフする電力制御素子である。しかしオフのためのゲート電流 I_G が小さくない、即ちオフゲート利得 I/I_G が $10 \sim 20$ 程度しかないことが長年未解決とされてきた。この問題は FET や SI 素子あるいは IGBT など他原理の高特性素子を進展させ、既にこの形に解決されたといえる。

本案は、原理的な関心から、本来の GTO においてこの課題について調べ解決しようとするものである。

得られた素子はバイポーラー型なので低損失である。オフゲート利得は $100 \sim 10000$ と非常に高い。コントローラーは大幅に小型化される。無電源駆動も可能であり、素子内の電圧だけでもオンオフする。

2. ゲートターンオフの困難

サイリスタは瞬間のゲート電流だけでオン状態を維持できるがゲートオフ能力がない。従来の GTO はゲートの微細化によりオフ能力を与えようとしたものであるが、オフゲート利得の不足でコントローラー容量を小さくできていない。

オフ困難の原因は次のようである。ゲート・カソード間に負電圧 V_G を印加してゲートに負電流 I_G が注入され、これでサイリスタの内部トランジスタ作用のベース電流が引き抜かれてオフ動作が始まる筈である。ところがゲート電圧 V_G が外部電源に直列に加わる極性であるために素子電流がアノード A からコントローラーを経てカソード K へ向かう経路に流入して、オフゲート電流の効き目を打ち消してしまう。ゲート周辺の抵抗が流入を制限するが、発熱で抵抗付与にも限度がある。ベース電流とコレクタ電流が素子電流として一つの結晶内にあって渾然一体となっているのでベース電流だけをゲートから吸収するということは困難であった。

3. 高オフゲート利得化のための構成

以上は本質的な困難であるので、以下では素子電流が1本の経路を流れるという基本を外す。従来の素子結晶は単連結であるが、電流路を空間的に二分するために穴を設けて、まずベース電流とコレクタ電流とを峻別する。従って内部トランジスタ作用は、pnp 部 T_1 と npn 部 T_2 とに空間的に分離される。加えて、オフゲートで吸収されるべき T_2 のベース電流 I_{B2} を小さく設定しなければならない。その目的で、主トランジスタ T_1 のコレクタ電流の大半を通す並列分路 D を設けて、残る小電流 I_{B2} だけを制御トランジスタ T_2 のベースに通す。結果、図1に示す2トランジスタ+ダイオード構成となる。

図1. 超高オフゲート利得GTOの基本構成

Fig.1. Basic configuration of the very high off-gate gain GTO

分路となるダイオード D の電圧 V_D はトランジスタ T_2 のベース・エミッタ間の接合電圧 V_{BE2} とバランスしている。

また、分路 D にあった主電流が、ターンオフ時にゲート G へ偏移流入してくることを防止する抵抗 R をベース電流路に持たせる。抵抗 R は次の四つの役割を兼ねている。

(i) 抵抗 R はダイオード D への分流比を高めて、素子の

- ターンオフ時に吸収すべきベース電流 I_{B2} を減らす。
- (ii) ターンオフはゲート G の電位低下でなされるが、この時、 V_{BE2} が V_D とのバランスより低圧化する。R の電圧がこれを補い、ゲート G への主電流流入を少量に抑える障壁となる。
- (iii) ベース電流 I_{B2} の低下でトランジスタ T_2 は深すぎる飽和域を脱して、より高速な動作域に設定される。従来の GTO では、トランジスタ T_1 の電流全てが T_2 に流入するという幾何的条件から、増幅率の設定に不可避な制限 $h_{FE1}h_{FE2} = 1$ があったが、本案 GTO では分路 D の存在でこの制限は無くなる。
- (iv) トランジスタ T_1 の増幅率をも、 T_2 の増幅率増大に相応して増す。これは回路の電圧バランスによるものであるが、必要なら各所の微小抵抗、ダイオード特性、あるいはベース・エミッタ短絡抵抗 R_s 等でトランジスタの動作点を調整する。

試作した多くの例で、抵抗値 R だけの調整で両 h_{FE} は概ねバランスよく設定された。その他の調整は要らない程である。これは V_D と V_{BE2} とが均衡していること、および両トランジスタがベース電流を供給し合うことから互いにバランスのとれた動作点をとることによると考えられる。

図 1 の他に、電圧降下 V_{TM} は増さずにオフゲート利得だけを巨大化する構成としてインバーテッドダーリントン結合にてトランジスタを任意に増した構成も可能である。その系列の最少構成は既に Rischmuller⁽¹⁾ による考案があり、3 トランジスタ構成である。本案にくらべてオフゲート利得はトランジスタ 1 個の増幅率分だけ大きい、トランジスタを順次オフしていく経過を辿ることから同種素材での実測速度は数倍遅い。

4. GTO サイリスタ動作の実証試験

図 1 において電路を銅線にした等価な回路にて、高速スイッチングと高オフゲート利得が原理的実証の目標である。試作の一例は全電流を担う主トランジスタ T_1 に 2SA1012、制御トランジスタ T_2 は小定格でよいので 2SC2120 としたものである。素子電流 5A、ベース抵抗 $R=4.7\Omega$ で、オフゲート利得は $G \approx 30$ 、素子電圧 $V_{TM}=1.09V$ を得た。また蓄積時間は $t_{stg}=1.6\mu s$ 、降下時間は $t_f=270ns$ であった。

$R=100\Omega$ では $V_{TM}=1.15V$ 、 $t_{stg}=1.2\mu s$ 、 $G \approx 3000$ となる。

また $R=4.7\Omega$ で、図 1 に破線で示すエミッタ短絡抵抗 $R_s=5.6\Omega$ を付加すると $t_{stg}=250ns$ 、 $t_f=66ns$ まで高速化し、 $G \approx 3000$ 、 $V_{TM}=1.11V$ である。

5. オフゲート利得理論値

ターンオンの動作特性は通常 GTO と同等である。ターンオフ過程はゲート電位、即ち T_2 のベース・エミッタ電圧 V_{BE2} を下げてベース電流 I_{B2} をゲートに吸収して始まる。これで T_2 がオフして T_1 のオフに至る。 V_{BE2} ゼロ、即ち単なる短絡という無電源駆動でもオフ動作は高速である。

オフゲート利得最大値は、ゲート・カソード間を外部抵抗

R_G で短絡したとして、次のように算定される。ベース電流 I_{B1} に対するコレクタ電流 I_{C1} の増幅率 $h_{FE1}=I_{C1}/I_{B1}$ ($i=1,2$) はオン状態で $I_{B1}=I/(h_{FE1}+1)$ 。同様に $I_{B2}=I_{B1}/h_{FE2}$ 。従って、 T_2 のベース電流は

$$I_{B2}=I/((h_{FE1}+1)h_{FE2}). \quad (3)$$

T_2 のオフに必要なゲート電流最小値 I_G は、

$$I_G=I_{B2}+I_d, \quad (4)$$

ここで I_d は、オン状態でのダイオード電流 I_D の一部であって、ゲート電位の低下操作分 ΔV_{BE2} に応じて抵抗 R を経て流入してくる分である。 I_d は小さいのでダイオード電圧 V_D の微小低下を無視すると、 $I_d R = \Delta V_{BE2}$ 。ベース・エミッタ電圧 V_{BE2} はオン状態で $0.7 \sim 1V$ である。これを $0.6V$ 以下に下げるとベース電流は停止するので、 ΔV_{BE2} が $0.5V$ 程度で T_2 はオフとして、 $I_d \approx 0.5/R$ となる。抵抗 R にはオン状態で $I_{B2}R = V_D - V_{BE2}$ の関係がある。右辺は二項とも pn 接合電圧であるから $0.5V$ 程度以下である。従って $R \approx 0.5/I_{B2}$ 。これらと (4) からオフゲート電流値は $I_G \leq 2I_{B2}$ となる。従って、オフゲート利得 $G=I/I_G$ は (3) から $G \geq (h_{FE1}+1)h_{FE2}/2$ となる。 $h_{FE} \gg 1$ ととれるので、オフゲート利得はおおよそ、

$$G \approx h_{FE1}h_{FE2} \quad (5)$$

と評価される。 h_{FE} が 100 程度なら $G \approx 10000$ となる。

$G=I/I_G$ 最大値の実測値は、ゲートカソード間を短絡して素子をオフできる最大の抵抗値 $R_G=0.5/I_G$ から得る。右辺の $0.5V$ はオフ動作可能なゲート電位の推測最大値である。

実測された G 最大値はベース抵抗値 R に従って、数係数を除いて、概ね (5) の通りに変動して従来型 GTO にくらべて非常に大きい。抵抗値 R が大きいほど G はいくらでも増大するが、 h_{FE} が 100 を超える辺りからトランジスタは能動域に入り素子電圧 V_{TM} が急増する。

6. むすび

微少なオフゲート電流でターンオフできる GTO サイリスタ作用を提案し原理的な実証を示した。ほぼ理論的な算定通りに作動する。素子電流に分路を設けたことにより内部トランジスタの増幅率は独立変数となり、その動作点の選定でオフゲート利得、スイッチング速度、素子電圧のかねあいが設定される。

本案 GTO は、近年進展の他のパワー素子類とくらべて、オンオフの無電源駆動も可能である点が特質といえよう。

謝辞 尾ノ上卓郎氏、田中雅浩氏の協力に感謝する。

(平成 13 年 5 月 28 日受付)

文献

- (1) Klaus Rischmuller : U.S. Patent 4,426,590 (Jan. 17, 1984).