3 kV 600 A 4H-SiC 平型 pn ダイオードの静特性

正員 緒方 修二* 正員 高山 大輔*
 正員 浅野 勝則* 非会員 児玉 弘則**
 正員 菅原 良孝*

Study of Static Characteristic for 3 kV 600 A 4H-SiC Flat Package Type pn Diodes

Shuji Ogata*, Member, Daisuke Takayama*, Member, Katsunori Asano*, Member,
 Hironori Kodama**, Non-member, Yoshitaka Sugawara*, Member

3 kV 600 A 4H-SiC high temperature flat package type diodes have been developed for use in electricity supply, which are a pressure contact flat package type and include five 6 mm × 6 mm SiC diode chips. The flat package type diodes have excellent electrical performances at high temperature.

キーワード: SiC, 平型 pn ダイオード

Keywords: SiC, flat package type pn diodes

1. はじめに

Si パワー半導体素子の性能が Si の物性限界に直面し始めている現在, Si に比べて優れた物理特性を持つ SiC パワー半導体素子の開発が期待されている。特に電力変換装置に SiC 素子を適用した場合, 装置の小型化, 高効率化が期待できる。300 MW 級 BTB に SiC 素子を適用した時のメリットとして装置体積を 16%, 電力損失を 26% に低減できるという試算もある⁽¹⁾。しかしながら現在のところ, SiC 結晶にはマイクロパイプと呼ばれる結晶欠陥があり, 大電流を制御できるような大きな面積を持ったチップが作れないため, SiC 素子を使った大容量電力変換装置は報告されていない。

近年我々は逆回復損失の大幅に少ない超高耐压 SiCpn ダイオードを開発し, 高電圧, 高速インバータのフリーホイールダイオード(FWD)に適していることを明らかにした⁽²⁾⁽³⁾。そこで SiC チップを並列に配置して大電流を流すことができる平型 pn ダイオードを提案・試作し⁽⁴⁾⁽⁵⁾, さらに FWD として 4.5 kV 級 Si-IGBT と組み合わせた大容量インバータを開発することとした。本報告では試作した平型 pn ダイオードの静特性について検討した結果を報告する。

2. 平型 pn ダイオードの設計と製作

今回試作した SiCpn ダイオードは新構造のメサ JTE⁽⁶⁾を用いることで良好な順方向特性と高耐压を同時に実現している。この SiCpn ダイオードを 5 素子並列に配置することができる平型 pn ダイオード⁽⁴⁾⁽⁵⁾を試作した。図 1 にパッケージの外観写真を示す。本パッケージは SiC トランジスタと SiC ダイオードを集積することが可能のようにゲート端子をつけているが, 今回は SiC ダイオードのみを組み込んでいるため, ゲート端子は使用しない。

この平型 pn ダイオードは 300°C 程度の高温で動作させることを想定しており, パッケージの構成部品は耐熱性を考慮して選定している⁽⁵⁾。メイン電極は Cu 合金を用い, 酸化を防ぐために耐熱性の被膜で覆うようにした。又中間電極は上で述べた熱膨張率の他に, 高耐熱性及び低電気抵抗を考慮して材質を選定した。さらにスペーサー及びパッケージのガイシは高耐熱性及び高絶縁性を持ったセラミックスを用いた。以上の組み合わせにより 500°C の空気雰囲気中でも酸化しないことを確認できた。またダミーチップを用いて最大加圧力 490 N/mm² で加圧試験を行い, クラック発生の有無を目視で確認し, 問題のないことを確認している。

高温動作可能にすることにより電力変換装置に適用した場合, ヒートシンクの小型化, 簡略化を図ることができる。また高温でドリフト抵抗の増大により順電圧が大きくなる SiC ショットキーダイオード(SiCSBD)に比べて, SiCpn ダイオードの場合, 順電流が立ち上がるビルトイン電圧が高温では低減するため, ドリフト抵抗の増大と相殺し, 順電圧を低減できる。このように本平型 pn ダイオードを高

* 関西電力(株)総合技術研究所
 〒661-0974 尼崎市若王寺 3-11-20
 Technical Research Center, The Kansai Electric Power Company
 11-20, 3-Chome, Nakoji, Amagasaki 661-0974

** (株)日立製作所 日立研究所
 〒319-1292 日立市大みか町七丁目 1 番 1 号
 Hitachi research Laboratory, Hitachi, Ltd.
 1-1, Omika-cho 7-chome, Hitachi 319-1292

図 1 平型 pn ダイオードの外観

Fig. 1. Developed flat package type pn diodes.

温かつ高電流域で用いれば，冷却系を簡略化することにより電力変換装置を小型化でき，SiCSBD よりも順電圧降下を小さくでき高効率化することが期待できる。

3. 特性測定結果

3・1 ダイオードチップの静特性 試作したダイオードチップの静特性について検討する。

図 2 に今回試作したダイオードの断面図を示す。試作ダイオードチップの n-ドリフト層はエピタキシャルで形成し，濃度は約 $5 \times 10^{14} \text{ cm}^{-3}$ ，厚みは $75 \mu\text{m}$ である。チップの大きさは $6 \text{ mm} \times 6 \text{ mm}$ であり，活性領域の面積は 0.2 cm^2 である。このモデルに基づき ISE の TCAD で耐圧シミュレーションした結果と実際のチップの耐圧測定結果を図 3 に示す。チップの耐圧測定はフロリナート中で BERTAN 製 DC 電源 225 を用いて行った。シミュレーションでは $75 \mu\text{m}$ 厚では耐圧は 10 kV であるが，実測では 5 kV 付近でもれ電流が増大した。これは本来耐圧設計 10 kV であるが，ターミネーションに問題があるためと考えられる。

次にオン抵抗について検討する。上で述べたダイオードチップの構造で伝導度変調がない場合のオン抵抗を求め，実測値と比較して伝導度変調が起きているかどうかを判断する。コンタクト抵抗などは無視して，ドリフト層のオン抵抗のみを考えることとし，対象の素子耐圧は 10 kV とする。

ユニポーラデバイスのオン抵抗は次式で表される。

$$Ron \cdot S = \frac{4V_B^2}{\epsilon \mu E_C^3} \dots \dots \dots (1)$$

Ron : オン抵抗

S : 実効面積 0.2 cm^2

V_B : 耐圧 10 kV

ϵ : 誘電率 $9.7 \times 8.854E - 14$

μ : 移動度 $700 \text{ cm}^2/\text{Vs}$

E_C は絶縁破壊電界を表し，(2) 式⁽⁹⁾で表される。

図 2 ダイオードチップ断面図

Fig. 2. Cross-sectional structure of diode chip.

図 3 耐圧の実測値と計算結果との比較

Fig. 3. Comparison of measurement results and calculation results of reverse characteristics.

$$E_C = \frac{2.49 \times 10^6}{1 - \frac{1}{4} \log_{10} \left(\frac{N}{10^{16}} \right)} \dots \dots \dots (2)$$

N : 濃度 $5 \times 10^{14} \text{ cm}^{-3}$

上のモデルの値を入力して算出するとオン抵抗は， $100.3 \text{ m}\Omega\text{cm}^2$ である。

次に実測値から得られるオン抵抗について考える。図 4 はオン電圧の温度依存性を示す。室温での 20 A (電流密度 100 A/cm^2) におけるオン電圧は 4.2 V である。図 4 に V-I 曲線の接線の傾きを示すが，この傾きよりオン抵抗を求めることができ，その値は $4.9 \text{ m}\Omega\text{cm}^2$ である。よって (1) 式から求めた伝導度変調がない場合のオン抵抗と比べて，試作したダイオードチップのオン抵抗は $1/20$ 程度と小さく，十分な伝導度変調が起きていると考えられる。

3・2 平型 pn ダイオードの静特性 図 5 は平型 pn ダイオードの測定に使用した圧接装置である。定格最大プレス加重は 147 kN ，アタッチメント加熱温度は最大 200°C である。

図4 オン電圧の温度依存性

Fig. 4. Temperature dependence of forward characteristics.

図5 圧接装置

Fig. 5. Pressing and Heating equipment.

この圧接装置を使用して、チップを5個内蔵した平型 pn ダイオードの逆方向特性と順方向特性を測定した。その結果を各々図6と図7に示す。

もれ電流の測定には BERTAN 製 DC 電源 225 を用いた。もれ電流は 4.8 kV 以上では急激に増大したが、4.8 kV 印加時では 1×10^{-3} A/cm² 以下であり、実用レベルの値である。温度を高くするともれ電流は増大する。300°C でのもれ電流を 1×10^{-2} A/cm² 以下に抑えることとし、更にマージンを含めて定格耐圧を 3 kV とした。

オン電圧 V_F は 150°C で 500 A/cm² 通電時 4.9 V である。図4に示すように、1チップの場合、500 A/cm² 通電時のオン電圧は 150°C で 5.0 V であり平型 pn ダイオードのオン電圧とほぼ一致するので、各チップにうまく電流が分流していることがわかる。

ここで、Si ダイオードとオン電圧の比較を行う。バンドギャップの広い SiC では pn 接合のビルトイン電圧が高くなるが、薄いドリフト層における電圧降下が小さいので、2章で述べたように高電流密度では Si よりオン電圧が低くなるはずである。今回の SiCpn ダイオードは耐圧 10 kV 設計であるので、市販の高耐圧 Si ダイオードと比較する。6 kV、

図6 平型 pn ダイオードの逆特性

Fig. 6. Reverse characteristics of flat package type pn diode.

図7 平型 pn ダイオードの順特性

Fig. 7. Forward characteristics of flat package type pn diode.

1.7 kA 級高速スイッチング用ダイオード(型式 FD2000DU-120)の順電圧は $T_j = 125^\circ\text{C}$ 、電流 6.3 kA 時の瞬時測定値が 5.0 V である⁽¹⁰⁾。通常圧接型 Si ダイオードの活性領域の面積はパッケージの圧接部分の面積を若干上回る程度に設計される。圧接部分の直径が 130 mm であるので、6.3 kA 時の電流密度は約 47.5 A/cm² となる。図7に計算結果を黒丸印で付記する。SiCpn ダイオードの電流密度 47.5 A/cm² におけるオン電圧は室温でも 4 V を下回るの、高電流密度領域では SiCpn ダイオードは Si ダイオードよりも低いオン電圧になることがわかる。

4. 通電損失に関する 4H-SiC SBD との比較検討

電力変換装置の効率を上げるためには、通電損失とスイッチング損失を下げる必要がある。静特性に関係するのは通電損失であり、ここでは SiCpn ダイオードを用いた場合の通電損失について検討する。

4.1 温度依存を考慮したオン抵抗の比較 SiCpn ダ

図8 SiCpn ダイオードと SiCSBD の有効な電圧，オン抵抗領域

Fig. 8. Effective voltage and on-resistance domain of SiCpn diode and SiC SBD.

イオードや SiCSBD は順電流が立ち上がるまでにはそれぞれのビルトイン電圧に相当する順電圧が必要である。バンドギャップの広い SiC の pn 接合では約 2.5 V であり，約 0.5～1.0 V のショットキー障壁に比べて高い。一方，SBD では小数キャリアの注入がないので，ドリフト層の伝導度変調が起こらない。そのため，高耐圧，高電流密度でのドリフト層の抵抗による電圧降下は増大する。

図8は4H-SiCユニポーラデバイスの耐圧とオン抵抗 RonS の理論限界を示した図で，室温の値は(1)式より算出した。この限界直線は温度の2.0乗から3.1乗に比例すると報告されており⁽⁷⁾⁽⁸⁾，150℃の値は室温の値から上限3.1乗，下限2.0乗で計算した。今回の平形pnダイオードのオン抵抗とこの限界値を比較する。

3・1節で述べたようにオン抵抗はV-I特性の傾きで表され，十分な電流密度領域では伝導度変調が起こるため SiCpn ダイオードのオン抵抗は SiCSBD を下回る。

しかし SiCpn ダイオードは SiCSBD よりビルトイン電圧が大きいため，ビルトイン電圧を無視して傾きだけを比べても実際の装置に適用した場合のメリットを検討する際に実情に合わない恐れがある。SiCSBD の傾きはビルトイン電圧が小さいので，事実上原点からの傾きとみなせる。従って SiCpn ダイオードも原点からのオン電圧と電流密度の傾きをオン抵抗として求めて比較することとする。仮に 100 A/cm² のときのオン電圧を 1 V とすると，

$$\frac{\text{オン電圧 } 1 \text{ V}}{\text{電流密度 } 100 \text{ A/cm}^2} = 10 \text{ m}\Omega \cdot \text{cm}^2$$

に相当する。

平型 pn ダイオードの測定結果から算出した RonS を図8に黒丸印で示す。150℃ではより厳しい側の2.0乗の場合でも 400 A 以上の電流で本平型 pn ダイオードを使用すれ

図9 三相インバータでの1素子あたりの電流波形⁽¹¹⁾

Fig. 9. Current waveform per element of a three phase inverter⁽¹¹⁾.

ば SiCSBD よりオン抵抗が低くなることがわかる。このようにより厳しいオン抵抗の定義に基づいて算出しても，高電流領域では SiCpn ダイオードは SiCSBD よりも有利となる。さらに温度が高くなるにつれ，400 A より小さい電流でも SBD より低オン抵抗になる。

4・2 PWM インバータ適用時の通電損失の比較 電力分野で用いられるインバータは一般に PWM 方式の電圧形インバータであり，出力電流は正弦波であるので，常に SiCpn ダイオードが有利になる電流で利用できるわけではない。そこで，今回の平形 pn ダイオードを最大電流 600 A のインバータで使用した場合の通電損失⁽¹¹⁾を求め，同程度の耐圧の SiCSBD の通電損失と比較する。

図9に三相インバータでの1素子当たりの電流波形を示す。パルス幅変調信号のデューティ D の変化 ΔD は時間 t に対して次式で表される。

$$\Delta D = \frac{(1 + D \times \sin t)}{2} \dots \dots \dots (3)$$

この ΔD が出力電圧変化に相当するので，出力電流と電圧の関係を示す率率により，出力電流の任意の位相 x での出力電流 $I(x)$ と1パルスのデューティ $D(x)$ は次式で表される。

$$I(x) = I_{CP} \times \sin x \dots \dots \dots (4)$$

$$D(x) = \frac{\{1 + D \times \sin(x + \theta)\}}{2} \dots \dots \dots (5)$$

I_{CP} ：インバータ出力電流のピーク値

x ：出力電流の任意の位相

θ ：出力電流と電圧の位相差

従って線形近似した時の位相 x での飽和電圧 V_F は次式で表される。

$$V_F = V_F(I_{CP}) \times (\sin x) \dots \dots \dots (6)$$

$V_F(I_{CP})$ ：電流 I_{CP} の時のオン電圧

以上の式から FWD の定常損失 $P_{(f)AV}$ は次式となる。

$$P_{(f)AV} = \frac{1}{2\pi} \int_0^\pi (I_{CP} \times \sin x) \times (V_F \times \sin x) \times \left\{ 1 - \frac{1 + D \times \sin(x + \theta)}{2} \right\} dx$$

$$= I_{CP} \times V_F \left(\frac{1}{8} - \frac{D}{3\pi} \cos \theta \right) \dots\dots\dots (7)$$

しかし SiCpn ダイオードの場合、ビルトイン電圧を考慮する必要があるので、 $P_{(f)AV}$ は次式で表される。

$$\begin{aligned} P_{(f)AV} &= \frac{1}{2\pi} \int_0^\pi \left[(I_{cp} \times \sin x) \times \{ V_{bi} + (V_F - V_{bi}) \times \sin x \} \right. \\ &\quad \times \left. \left\{ \frac{1 - D \sin(x + \theta)}{2} \right\} \right] dx \\ &= I_{CP} \times V_{bi} \times \left(\frac{1}{2\pi} - \frac{D \cos \theta}{8} \right) + I_{CP} \times (V_F - V_{bi}) \\ &\quad \times \left(\frac{1}{8} - \frac{D \cos \theta}{3\pi} \right) \dots\dots\dots (8) \end{aligned}$$

$\cos \theta$: 力率

V_{bi} : ビルトイン電圧

ここでインバータの最大電流を $I_{CP} = 600 \text{ A}$ とし、素子の使用温度を 150°C とすると、図 7 より $V_F = 5.1 \text{ V}$ となる。 $M = 0.8$, $\cos \theta = 0.8$, $V_{bi} = 3 \text{ V}$ とすると、(8) 式より $P_{(f)AV} = 214 \text{ W}$ となる。

次に SiCSBD の場合を考える。SiCSBD のオン電圧は次式で表される⁽⁷⁾。

$$V_F = \frac{kT}{q} \ln \left(\frac{J_F}{A^* T^2} \right) + \phi_B + R_{on} J_F \dots\dots\dots (9)$$

k : ボルツマン定数 $1.38066 \text{ E} - 23 \text{ J/K}$

T : 温度 423 K

q : 電荷量 $1.60218 \text{ E} - 19 \text{ C} \dots\dots\dots (10)$

A^* : リチャードソン定数⁽⁷⁾ $146 \text{ A/K}^2 \text{ cm}^2$

ϕ_B : バリヤ障壁 $1.2 \text{ V(Ti)}^{(7)}$

R_{on} は (1) 式から導かれ J_F は SiCpn ダイオードと同じ 600 A/cm^2 とすると、 $V_F = 6.1 \text{ V}$ となる。SiCSBD の場合ビルトイン電圧は無視できるので、この V_F を (7) 式に代入して通電損失を求めると $P_{(f)AV} = 208 \text{ W}$ となり、SiCpn ダイオードの損失は SiCSBD の 1.03 倍となる。このように SiCpn ダイオードの通電損失が SiCSBD の通電損失よりも大きい原因は、今回の SiCpn ダイオードが本来耐圧 10 kV 設計であるが、ターミネーションに問題があり、定格 3 kV としていることによる。仮に SiCSBD を 10 kV 耐圧とすると $V_F = 59.2 \text{ V}$ となり、損失は 2028 W で SiCpn ダイオードの 9.5 倍になる。

平型 pn ダイオードの順特性測定結果から得られるオン電圧に基づき計算した損失に、SiCSBD の損失が等しくなる耐圧を計算した結果を図 10 に示す。図の曲線を境に SiCpn ダイオードと SiCSBD の損失が逆転する。曲線の上方が SiCpn ダイオードが損失で有利になる領域である。今回の SiCpn ダイオードは耐圧 10 kV 設計で、定格 3 kV としているが、 180°C 以上の温度で使用すれば耐圧 3 kV の SBD より損失が有利になる。従って適用するインバータの仕様で耐圧 10 kV が必要なければ、エピ層を今の設計より薄く

図 10 SiCpn ダイオードが SiCSBD より有利な耐圧領域

Fig. 10. Domain where SiCpn diode is more advantageous than SiC SBD.

することも可能であり、より特性を改善できる。今後ターミネーションの改善が進み、耐圧が向上すれば、SiCSBD よりも有利になる範囲がさらに拡大すると期待される。

5. ま と め

6 mm 角 SiCpn ダイオードチップを用いた高耐圧 4H-SiC 平型 pn ダイオードを設計・試作し、静特性を測定評価した。以下に主な結果を示す。

(1) 試作した 3 kV SiCpn ダイオードチップの順方向特性を測定し、電流密度 100 A/cm^2 では十分な伝導度変調が起こっていることを確認した。

(2) 平型 pn ダイオードのオン電圧は 150°C で 500 A/cm^2 通電時 4.9 V であった。また Si ダイオードとのオン電圧を比較し、高電流密度領域では SiCpn ダイオードは Si ダイオードよりも低いオン電圧になることがわかった。

(3) 平型 pn ダイオードは 150°C で 400 A 以上の電流で使用すれば SiCSBD よりオン抵抗が低くなることがわかった。

(4) 平型 pn ダイオードを最大電流 600 A のインバータで使用した場合の通電損失を求めたところ、損失が同耐圧の SiCSBD の 1.03 倍であることがわかった。これは SiCpn ダイオードが本来 10 kV 耐圧で設計されているのに、ターミネーションに問題があるため定格 3 kV 耐圧としているからである。将来ターミネーションの改善が進み耐圧が向上すれば、SiCSBD より有利になる範囲が拡大すると考えられる。

謝 辞

SiCpn ダイオードチップ製作に際し、ご協力を頂いた CREE 社 Ranbir Singh 氏、John W. Palmour 氏に感謝します。

●おことわり

(3)~(7) 式までは文献(11)を引用いたしましたが、(6)、(7) 式に関しては文献(11)の著者に確認の上、修正したものを使用しています。

(平成16年5月28日受付、平成17年3月22日再受付)

文 献

- (1) 菅原良孝：通信学論 C-II, Vol.J81-C-II, p.8 (1998)
- (2) Y. Sugawara, K. Asano, R. Singh, and J.W. Palmour: "6.2 kV 4H-SiC pin Diode with Low Forward Voltage Drop", *Materials Science Forum*, Vol.338-342 pp.1371-1374 (2000)
- (3) Y. Sugawara, D. takayama, K. Asano, R. Singh, J. Palmour, and T. Hayashi: "12-19 kV 4H-SiC pin Diodes with Low Power Loss", *Proc. of 2001 International Symposium on Power Semiconductor Devices & ICs*, pp.27-30, Osaka (2001)
- (4) Y. Sugawara and K. Asano: "1.4 kV 4H-SiC UMOSFET with Low Specific On-Resistance", *Proc. of 1998 International Symposium on Power Semiconductor Devices & ICs*, pp.119-122, Kyoto (1998)
- (5) Y. Sugawara, D. takayama, K. Asano, R. Singh, H. Kodama, S. Ogata, and T. Hayashi: "3 kV 600A 4H-SiC High Temperature Diode Module", *Proc. of 2002 International Symposium on Power Semiconductor Devices & ICs*, pp.245-248 (2002)
- (6) Y. Sugawara, K. Asano, and R. Saito: "3.6 kV 4H-SiC JBS Diodes with Low RonS", *Proc. of ICSCRM'99*, p.171 (1999)
- (7) A. Itoh, T. Kimoto, and H. Matsunami: "Efficient Power Schottky Rectifiers of 4H-SiC", *Proc. of International Symposium on Power Semiconductor Devices & ICs*, pp.101-106 (1995)
- (8) K. Asano, T. Hayashi, R. Saito, and Y. Sugawara: "High Temperature Static and Dynamic Characteristics of 3.7 kV High Voltage 4H-SiC JBS", *Proc. of International Symposium on Power Semiconductor Devices & ICs*, pp.97-100 (2000)
- (9) A.O. Konstantinov, Q. Wahab, N. Nordell, and U. Lindefelt: "Ionization Rates and Critical Fields in 4H SiC Junction Devices", *Materials Science Forum*, Vol.264-268 pp.513-516 (1998)
- (10) 三菱半導体データブック, pp.3-25 (1997)
- (11) 「トランジスタ技術 special」改訂 実践パワーエレクトロニクス入門, pp.89-90 (2004)

緒 方 修 二 (正員) 1989 年 3 月大阪府立大学卒業。同年 4 月関西電力(株)入社。変電所の変電工事務に従事。1995 年から同社総合技術研究所にて 8 kV 光サイリスタの長期信頼性、4.5 kV 級 IGBT インバータの開発研究に従事。現在同社電力技術研究所にて SiC 素子の開発研究に従事。

高 山 大 輔 (正員) 1996 年 3 月東北大学大学院工学研究科修士課程終了(電子工学)。同年 4 月関西電力(株)入社。変電所の計画に従事。1999 年から同社総合技術研究所にて SiC 素子の開発研究に従事。現在、同社電力システム技術センター副長。

浅 野 勝 則 (正員) 1991 年 3 月大阪大学大学院基礎工学研究科修士課程修了(電気工学)。同年 4 月関西電力(株)入社。SF6 ガスの放電解析、HVDC 用バルブの開発及び 8 kV 光サイリスタの長期信頼性評価、SiC パワー半導体素子の開発研究に従事。現在、同社電力技術研究所副主任研究員。

児 玉 弘 則 (非会員) 1980 年京都大学工学部工業化学科卒業、1982 年同大学院修士課程修了。同年 4 月(株)日立製作所入社。同社日立研究所にて、主にセラミックス材料、及び半導体実装技術関連の研究に従事。現在、同研究所企画室長。工学博士。

菅 原 良 孝 (正員) 1969 年東北大学大学院工学研究科修士課程修了(応用物理)。同年(株)日立製作所入社。発光素子と MOCVD 成長、各種パワーデバイス、パワー IC の開発に従事。1995 年関西電力(株)総合技術研究所客員主席研究員、HVDC 用 8 kV 光サイリスタ、発変電所パワー半導体素子の長期信頼性評価研究、SiC パワー半導体素子開発に従事。1998 年関西電力(株)に移籍し、現在、同社エグゼクティブリサーチャー。電気学会、応用物理学会、IEEE 会員。工学博士。国際シンポジウム ISPSD の論文委員長、実行委員長、組織委員長歴任。