UDC 621.318.57:621.316.925.2.014.7:681.326

論文

54-B 19

積形演算原理を適用したディジタル形電流差動リレーの検討

正員 牧野 淳 一 (日 立)

正員 三木 義 照 (日 立)

正員 佐野 和 汪 (日 立)

正員 岡村 正 巳 (東京電力)

非会員 仁井 嘉 司 (東京電力)

1. はじめに

ディジタル形制御用コンピュータの技術進歩は著しく、特に LSI 技術を駆使したマイクロコンピュータは年々高性能化、小形化および低価格化の方向をたどり、その適用範囲は急速に拡大しつつある。

電力系統の保護分野においてもディジタルコンピュータを適用する研究が 1960 年代後半から世界各国で開始され、事故検出の基本演算原理の開発、コンピュータシステムの電気所における耐雑音性検証および信頼性検討を主体に現在まで数種の試作装置が作られ特長、性能および問題点について報告されている。

保護装置にマイクロコンピュータを適用するメリットは次のような点にあると考えられる⁽¹⁾⁻⁽⁶⁾。

(1) IC の高集積度化および高性能化の進歩により、マイクロコンピュータの処理能力の向上、価格低減および小形化が年々急速に進んでいるので、マイクロコンピュータを適用した保護装置の価格性能比が従来装置以下になる可能性が非常に大きくなっている。

(2) 保護装置の信頼度を向上するための冗長構成および自動監視などの対策がアナログ装置と比較して行ないやすい。

(3) 電気量の位相と大きさの両情報を含む瞬時値情報を扱うことができ、かつ高度の計算を駆使できるので、多様化および複雑化しつつある電力系統の保護

装置のニーズに適している。

(4) 今後光を始めとしたディジタル通信網が電気所構内および電気所間の情報伝達手段として拡大していく傾向にあるが、ディジタルコンピュータによる保護装置は、このような通信網とのマッチングが容易であり、上位に属する給電指令系と結合して、方式の変更、整定値の変更などに従来形アナログ装置にない柔軟性が期待できる。

コンピュータを用いた保護継電装置では、電圧電流情報は波形をサンプリングした離散情報であり、これに適した演算原理が現在まで各種開発されている。

筆者らは今まで各種の演算原理を提案し、これらを種々の面から評価してきた。この結果二つの電気量の内積（電力）を検出する積形演算原理がディジタル処理には最も適しているとの結論に達し⁽³⁾⁽⁷⁾、この原理を応用した各種ディジタル形保護リレーの開発を行ってきた⁽⁴⁾⁽⁸⁾⁽⁹⁾⁽¹¹⁾。

この開発の一環として、最新の LSI 化 CPU を用いて、超高压系統および超々高压系統への適用を目的とした電流差動リレーを試作した。

本報告では電流差動リレーに適する演算原理の比較検討、積形演算原理を適用した、電流差動リレーの特性、試作した保護用マイクロコンピュータの能力、ハードウェアおよびソフトウェア構成について述べた。

2. 電流差動リレーに適した演算原理

電力系統の事故検出は、

- (a) 事故電流の大きさおよび変化量
- (b) 事故点までのインピーダンスおよびリアクタンス
- (c) 事故点の方向
- (d) 周波数、および上記の組合せ

Study of Digital-type Current Differential Relay using Product Calculation Principle. By Jun-ichi Makino, Member, Yoshiteru Miki, Member, Yoshihiro Sano, Member (Hitachi, Ltd), Masami Okamura, Member & Yoshiji Nii, Non-member (The Tokyo Electric Power Co., Inc.)

牧野淳一：正員，日立製作所

三木義照：正員，日立製作所

佐野和汪：正員，日立製作所

岡村正巳：正員，東京電力株式会社

仁井嘉司：非会員，東京電力株式会社

などによって行なっている。このような電流量を検出するための演算原理に要求される条件としては

- (1) 事故検出が高速であること
- (2) 検出精度が優れていること、
- (3) 種々の保護方式への適用が広いこと
- (4) 処理時間が短いこと

が必要である。

電流差動リレーは保護区間に流入する電流にキルヒホッフの第一法則を適用し、内部に事故がない場合には電流の総和が零であるが、内部事故が発生した場合には電流の総和が事故電流に等しくなるという原理に基づいている。第1図に2端子系における電流差動保護方式の原理を示す。このリレーに適する演算原理としては次の三つの方式がある⁽³⁾⁽⁴⁾⁽⁷⁾。

〈2・1〉 積形演算原理 第2図にこの原理の説明を示す。この原理は二つの交流入力 v と i の積を計算し、この結果、生ずる高調波を消去して、二つの入力量の有効電力 $V_m \cdot I_m \cdot \cos \theta$ を抽出して事故点の方向を検出する方式である。この原理は汎用性に優れ、ほとんど全ての保護リレーに適用できる。特長上の精度も良く、サンプリング周波数が基本波の2倍より大きい場合には誤差が生じないこと、およびサンプリング位相の影響を受けないなどの利点を有している。

〈2・2〉 面積積演算原理 第3図にこの原理の説

第1図 電流差動保護方式の説明

Fig. 1. Description of current differential relaying.

第2図 積形演算原理

Fig. 2. Product calculation principle.

第3図 面積演算原理

Fig. 3. Square calculation principle.

第4図 2サンプル演算原理

Fig. 4. Two sample calculation principle.

明を示す。この方式は交流量の絶対値を検出して応動する保護リレーに適している。図から明らかなように波形の全波整流と高調波除去の2ステップより成っている。この方式の特長は交流量の絶対値を簡単な計算で求めることができる点にあるが、サンプリング周波数が精度に大きく影響する点が欠点である。

〈2・3〉 2サンプル演算原理 第4図にこの原理の説明を示す。この原理は波形の連続する二つのサンプリング間隔の情報から交流量の大きさ、電力および位相差などの全ての情報を計算する方式である。この原理の特徴はサンプリング周波数の影響を受けず、少ないデータで事故検出を行なえるが、演算に時間がかかる点が欠点である。

〈2・4〉 演算原理の比較検討 以上述べた三つの原理の比較を第1表に示す。この表から総合的に判断して、積形演算原理が電流差動リレーに最も適している。

第 1 表 電流差動リレーに適する各種演算
原理の性能比較

Table 1. Performance comparison in processing
algorithm suitable for current differential relays.

比較項目	積形演算原理	面積演算原理	2サンプル演算原理
保護リレー構成上の制約(汎用性)	ほぼ全ての保護リレーが構成できる	大きさを検出するリレーのみ構成可能	ほぼ全ての保護リレーが構成できる
サンプリング周波数の影響(精度)	サンプリングの定理に従ったサンプリングであれば原理的に誤差なし	影響あり 1,200Hzで0.4%, 600Hzでは1.7%の誤差あり	サンプリングの定理に従ったサンプリングであれば原理的に誤差なし
所要サンプリング数(動作時間に影響)	最小2サンプル($\pi/2$ 離れたデータから大きく、電力などを計算できる)	基本波ベースで半サイクル間のデータ必要	2サンプル
演算式の複雑さ(高速処理性)	乗算1回と第2調波を除去するための加算数回	偶数調波を除去するための加算数回	乗算回数が多くなる
フィルタ効果(ひずみ波特性に影響)	積演算後偶数調波をフィルタで除去するので演算原理そのものにフィルタ効果有	整流後、偶数調波をフィルタで除去するので演算原理そのものにフィルタ効果有	フィルタ効果なし

3. 積形演算原理を適用した電流差動リレーの動作式と基本特性

第1図に示した2端子系送電線を保護対象とし、従来から母線保護などに実績のあるスカラー和抑制方式を適用した場合、積形演算原理に基づく電流差動リレーの動作式は次式で表わされる。

$$(\dot{I}_A + \dot{I}_B)^2 - k(\dot{I}_A^2 + \dot{I}_B^2) > K^2 \quad \dots\dots\dots (1)$$

ここで、 k は抑制係数、 K^2 は検出感度を決定する定数。

〈3・1〉 比率差動特性 比率差動特性はベクトル $\dot{I}_A$ と $\dot{I}_B$ が同相および逆相の場合の動作領域を示す特性である。 $\dot{I}_A$ と $\dot{I}_B$ の位相差を θ とすると、(1)式は次式に変換できる。

$$\dot{I}_A^2 + \dot{I}_B^2 + 2 \cdot \dot{I}_A \cdot \dot{I}_B \cdot \cos \theta - k(\dot{I}_A^2 + \dot{I}_B^2) > K^2 \quad \dots\dots\dots (2)$$

ここで、 I_A, I_B はベクトル $\dot{I}_A, \dot{I}_B$ の絶対値を示す。

$\theta = \pi$ (一方が流入, 他方が流出) のとき

$$(\dot{I}_A - \dot{I}_B)^2 - k(\dot{I}_A^2 + \dot{I}_B^2) > K^2 \quad \dots\dots\dots (3)$$

$\theta = 0$ (両方とも流入) のとき

$$(\dot{I}_A + \dot{I}_B)^2 - k(\dot{I}_A^2 + \dot{I}_B^2) > K^2 \quad \dots\dots\dots (4)$$

となり、(3)および(4)式を満足する領域が動作領域である。第5図に比率差動特性を示す。図から明らかに特性は放物線となり、抑制係数が小さくなるに従って直線に近づき、 $k=0$ のとき完全な直線となる。

〈3・2〉 位相特性 位相特性は二つの電流ベクトル

第 5 図 比率差動特性

Fig. 5. Ratio differential characteristic.

第 6 図 位相特性

Fig. 6. Phase characteristic.

ルが動作領域を形成する位相関係を示す特性である。 $\dot{I}_A$ を基準 (1.0 p.u.) とした場合(2)式は次のように変形できる。

$$(1-k)I_B^2 + 2I_B \cos \theta > 0 \quad \dots\dots\dots (5)$$

この式を満足する領域が位相面で表わした動作領域である。第6図に位相特性を示す。円の外部が動作領域であり、円の内部が不動作領域である。

4. 試作装置のハードウェアおよびソフトウェア構成

〈4・1〉 ハードウェア構成⁽¹⁰⁾ コンピュータを用いて保護リレーを構成する場合、特に次のような条件が要求される。

- (1) 演算処理の高速化
- (2) 入出力の高速化
- (3) 整定値変更への対応性
- (4) プログラムメモリーの不揮発性

上記、四つの機能のうち保護リレーとしての価格性能比に最も大きく影響する要因は(1)である。そこでこの度試作した電流差動リレーにおいて演算処理の高速化のために次に述べる方式を採用した。

(1) 高速度かつ高機能でマイクロプログラマブルな LSI 化 CPU の採用

第 7 図 マイコンコンピュータのハード構成
Fig. 7. Hardware configuration of microcomputer.

第 8 図 試作マイクロコンピュータ
Fig. 8. Experimental model of microcomputer.

(2) 電力系統の保護に適した命令体系の採用
(3) レジスタ間転送, 先行制御などの高速度処理方式の採用

(4) 回路素子の MSI 化および LSI 化の徹底

以上の詳細については, 稿を改めて報告する予定である。第 7 図に試作装置のハードウェア構成を示す。LSI 化 CPU を中核とした主処理装置, プログラムメモリー用の ROM, 入出力データメモリー用の RAM, 入出力インターフェイスおよび定数設定機構より成っている。第 8 図に 1 ボード (305×420 mm) に搭載した試作装置の写真を示す。

〈4・2〉 ソフトウェア構成⁽³⁾⁽⁸⁾⁽¹¹⁾⁽¹²⁾ 第 9 図に電流差動リレーの演算ブロック構成を示す。サンプリングされた電流データを入力した後, 差分フィルタで過渡直流分の除去を行ない, 動作力と抑制力を積演算原理を用いて導出する。動作力および抑制力中に含まれる高調波を積分フィルタで除去し, 動作力が抑制力を上まわっている時間がある一定値以上存在する場合に内部事故と判定し, リレー出力を出す。

〈4・3〉 試作装置のコンピュータとしての性能

第 2 表に試作装置のコンピュータとしての性能を示

第 9 図 電流差動リレーの演算ブロック構成
Fig. 9. Processing block diagram of current differential relay.

第 2 表 試作装置のコンピュータとしての性能
Table 2. Performance as computer of prototype equipment.

項 目	内 容	項 目	内 容
LSI のプロセス技術	SHOTTKY TTL	基本命令サイクル	0.3μs
ビット/チップ	4 ビットスライズ	16 ビット加算の実行時間	1.6μs
制御構造	マイクロプロگرام方式	16 ビット乗算の実行時間	7.0μs
臨 長	16 ビット+バリディ	2 端子電流差動リレーとしての処理時間/相	約 90μs
基本命令数	47	2 端子電流差動リレーとしてのメモリー容量/相	約 70ワード

す。2 端子系統の場合の処理時間は, 1 相あたり約 90 μs と極めて高速度であり, サンプリング周波数が 600 Hz の場合約 18 相分 (6 回線) の電流差動リレーの演算が可能である。

5. 電流差動リレーの特性検証

電流差動リレーの特性検証には筆者らが開発したデジタル保護・制御用の電力系統シミュレータを用いた⁽¹¹⁾⁽¹⁴⁾。第 10 図にこのシミュレータの構成を示す。

第 3 表にこのシミュレータの仕様を示す。保護対象は第 10 図の電気所 A と B を結ぶ回線のうち点線で囲った送電線であり, 電圧階級は 500 kV である。第 4 表に試作した電流差動リレーの各種整定値を示す。

サンプリング周波数は 300 Hz とした。サンプリング周波数はリレーの特性およびコンピュータが処理できる保護要素数を左右する最大の要因である。サンプリング周波数は保護リレーの特性面では特にひずみ波特性と動作時間に影響し, サンプリング周波数を高くすることにより特性を良好なものとする事ができる。しかし一方, 処理できる保護要素数の立場からはサンプリング周波数は低いほどよい。従ってリレー特

第 10 図 デジタル保護用電力系統シミュレータ

Fig. 10. Electric power system simulator for digital protection.

第 3 表 電力系統シミュレータの仕様

Table 3. Specification of electric power system simulator.

項 目	仕 様
線 間 電 圧	50V 実系統の 10,000 分の 1
常 時 潮 流	0.4A 可変実系統の 10,000 分の 1
最大事故電流	5A 実系統の 10,000 分の 1
送電線のインピーダンス	0.3 Ω/km
送電線のインピーダンス角	82.5°
過渡直流分の時定数	24 ms
サンプリング周波数	差電流リレー用に 300Hz (最高 1,200Hz まで可能)
アナログ-デジタル変換用ローパスフィルタの帯域	550 Hz を 30dB 減衰 1,150 Hz を 60dB 減衰
上記ローパスフィルタの過渡時間	3 ms
AD 変換器のビット数	12ビット (数値 11+サイン)
重畳できる高調波	第 2 調波以上を任意の割合で重畳可能
基本周波数の変動範囲	40~70Hz

第 4 表 電流差動保護リレーの各種整定値

Table 4. Setting values of current differential relay.

整 定 項 目	値
抑 制 係 数 k	0.25
検 出 レ ベ ル I_{P^2}	2.25 kA
事故継続確認カウンタ KK	2
差分フィルタにおける差分間隔	3.3 ms
積分フィルタにおける積分間隔	10 ms

性を低下させないでどこまでサンプリング周波数を低下させるかということがコンピュータリレーにとって大きな課題である。積演算原理では第 2 調波成分

を除去する必要がある。200 Hz より大きい値に選ぶ必要があり、基本波の半サイクルで第 2 調波成分を除去でき、かつ 200 Hz に近い 300 Hz を選定した。

(5・1) 静特性

(1) 比率差動特性および位相特性 試作装置について測定した比率差動特性および位相特性は第 5 図および第 6 図に示したものと同一である。

(2) ひずみ波特性 ひずみ波特性は電流差動リレーに設けたフィルタの周波数特性に依存している。本リレーでは次の 3 種類のフィルタから成っている。

- (a) 折返し誤差防止用のアナログ形低域フィルタ
- (b) 過渡直流分除去用のデジタル差分フィルタ⁽⁸⁾⁽¹²⁾⁽¹³⁾
- (c) 高調波除去用のデジタル積分フィルタ⁽⁸⁾⁽¹²⁾⁽¹³⁾

この 3 種のフィルタの特性と、総合の減衰特性を第 11 図に示す。差分フィルタにより 100~150 Hz (50 Hz ベースで第 2 および第 3 調波) 成分が増幅し、これらの成分の影響が最も大きくなることが明らかとなった。そこで第 2 調波と第 3 調波成分の影響について調べた結果を第 12 図から第 15 図に示す。この結果、次のことが明らかとなった。

- (a) 第 2 調波と第 3 調波の影響度はほぼ等しい。
- (b) 位相特性に対するひずみ波の影響の度合はひずみ率にほぼ等しい (ひずみ率 20% の場合、位相特性は 20% の影響を受ける)。

第 11 図 フィルタの利得特性

Fig. 11. Gain characteristics of filters.

第 12 図 第 2 調波重畳時の比率差動特性
Fig. 12. Ratio differential characteristic under second higher harmonic superimposition.

第 13 図 第 2 調波重畳時の位相特性
Fig. 13. Phase characteristic under second higher harmonic superimposition.

第 14 図 第 3 調波重畳時の比率差動特性
Fig. 14. Ratio differential characteristic under third higher harmonic superimposition.

第 15 図 第 3 調波重畳時の位相特性
Fig. 15. Phase characteristic under third higher harmonic superimposition.

第 2, 第 3 調波の影響については定性的に次のように考えることができる。入力に基本波成分の他に第 2 調波成分が重畳した場合, 積演算の結果,

(a) 基本波成分同志の積演算から直流分と第 2 調波成分が発生する。

(b) 基本波成分と第 2 調波成分の積演算から基本波成分と第 3 調波成分が発生する。

(c) 第 2 調波成分同志の積演算から直流分と第 4 調波成分が発生する。

上記の高調波成分のうち, 積分フィルタでは, 積演算の結果生じた第 2 および第 4 調波成分は除去できるが基本波および第 3 調波成分が除去されず影響を与える要因となる。

一方, 基本波成分の他に第 3 調波成分が重畳した場合には

(d) 基本波成分同志の積演算から直流分と第 2 調波成分が発生する。

(e) 基本波成分と第 3 調波成分の積演算から第 2 調波と第 4 調波成分が発生する。

(f) 第 3 調波成分同志の積演算から直流分と第 6 調波成分が発生する。

上記の高調波のうち第 2 および第 4 調波は積分フィルタで除去できるが, 基本波, 第 3 および第 6 調波成分が除去できず影響値となって現われる。

第 3 調波より高い次数の高調波に対しては, 入力部に設けた折返し誤差防止用のアナログ形低域フィルタでの減衰度がかなり大きく, このためリレー特性への影響度は第 2, 第 3 調波と比べて小さくなる。

高調波の影響はサンプリング周波数を高くすれば, 折返し周波数の値が高くなるので, 積演算後の高調波を除去することができ, このためにひずみ波特性を改善することができる。

(3) 周波数変動特性 1 端流入時の最小動作値の周波数変動特性を第 16 図に示す。周波数が低くな

第 16 図 最小動作値の周波数変動特性
Fig. 16. Frequency deviation characteristic of minimum operating value.

ると不完全動作領域が広がり、感度が低下する傾向を示しているが、50、60 Hz 付近では不完全動作領域は小さい。周波数が低下するに従って最小動作値が大きくなっている理由は差分フィルタの利得が低周波になるほど小さくなっているため、動作値に至る入力レベルを大きくしなければならないためである。また低周波ほど不完全動作領域が広がっているのは積分フィルタの利得が低周波に至るほど利得が大きくなっているためである。

〈5・2〉 過渡特性

(1) 比率差動特性 静特性と非常によく一致し不完全動作域もほとんど安定な動作が得られた。

(2) 動作時間 第 17 図に、動作時間特性を示す。最小動作値の 2 倍以上では目標とした 1 サイクル以内の高速動作が得られた。

動作時間の内訳は最小動作値の 2 倍の事故電流においてアナログローパスフィルタの遅延 3 ms、差分および積分フィルタの遅延 6.6 ms、事故継続確認用カウンタでの遅延 3.3 ms、事故発生位相角とサンプリングのタイミングによるばらつき 3.3 ms であり、合計約 13 ~ 16 ms の時間がかかっている。

第 17 図 動作時間および復帰時間特性

Fig. 17. Operating time and reset time characteristics.

第 18 図 内部事故時の応動例(その 1)

Fig. 18. An example of the relay behavior at an internal fault.

(3) 過渡応動例 以下の図では c 相の電流差動リレーの出力のみを示す。

第 18 図に保護区間の中間点における事故時の応動

第 19 図 内部事故時の応動例(その 2)

Fig. 19. An example of the relay behavior at an internal fault.

第 20 図 進展事故時の応動例

Fig. 20. An example of the relay behavior at an evolving fault.

第 21 図 外部事故時の応動例

Fig. 21. An example of the relay behavior at an external fault.

例を示す。動作時間は 17 ms である。

第 19 図に保護区間至近端事故時の応動例を示す。動作時間は 14 ms である。

第 20 図に至近端外部事故時から内部事故へ進展した場合の応動例を示す。外部事故では正規不動作であり、内部事故へ進展すると同時に 10 ms 程度の高速度で応動している。

第 21 図は外部事故時の例であり、正規不動作である。

そのほか各種の事故ケースに対しても非常に安定して高速度に応動することを確認した。

5. む す び

電力系統の保護継電装置をコンピュータ化する場合の演算原理の中で、精度、汎用性および高速度処理性の面で優れた性能を持つ積形原理を開発し、これを適用した超高圧主保護用の電流差動リレーを最新のマイクロコンピュータを用いて試作した。

本論文ではこの電流差動リレーの静特性、過渡特性およびマイクロコンピュータのハードウェアソフトウェア構成について述べた。

特性面からは超高圧および超々高圧電線の保護装置として十分実用に供しうるものとする。

コンピュータリレーについては本試作を含めた一連の試作を通じ、保護継電装置としての必要な機能、ブロック構成および保護性能を明らかにでき、コストおよび信頼度面でも急速に従来の静止形リレーに近づき

つつあることがわかった。

今後、実系統でのフィールドテストで更に耐雑音性能を主体に実用性を検証すると共に、自動監視を含めた信頼度向上対策についても検討を進めていきたい。

終りに、本研究に対して種々の御指導、御べんたつをいただいた東京電力の関係各位、ならびに有益な御討論と激励をいただいた、日立製作所大みか工場 瀬尾主任技師、および日立製作所日立研究所 奥田博士に厚く感謝の意を表します。また本研究の推進にあたり種々の業務を担当された日立研究所第 9 部 佐々木技師、野原技師、酒匂技師および千葉企画員に厚く感謝の意を表わします。

(昭和 52 年 10 月 17 日受付、同 53 年 9 月 11 日再受付)

文 献

- (1) 中島・横井：電学誌 97, 4, 13 (昭 52-4)
- (2) 中島・坪井・横井：OHM 57, 6, 52 (昭 40-6)
- (3) J. Makino, et al.: IEEE Winter Power Meeting No. C 75197-9 (1975-1)
- (4) Y. Miki, et al.: IEEE Trans. Power Apparatus Syst. PAS-96, 2, 602 (1977)
- (5) 鈴木・前田：三菱電機技報 50, 8 (昭 51-8)
- (6) W.J. Cheetham: International Conference on Developments in Power System Protection 291 (1975)
- (7) 岡村，他：昭 51 電気学会全大 No. 903
- (8) 中里，他：昭 51 電気学会全大 No. 907
- (9) 仁井，他：昭 51 電気学会全大 No. 910
- (10) 佐野，他：昭 52 電気学会全大 No. 1115
- (11) Y. Miki, et al.: IFAC Symposium 1977, p. 257 (1977-2)
- (12) 大浦，他：昭 51 電気学会全大 No. 918
- (13) 三木，他：電学論 B 97, 53 (昭 52-4)
- (14) 国府田，他：昭 51 電気学会全大 No. 883