次世代デジタルリレーにおける システム構築技術の高度化

正員 松田 高 幸 (東京電力)

正員 柳 橋 健 (東京電力)

正員 前田 隆 文 (東京電力)

非会員 大垣 健 二 (三菱電機)

正員 松 永 完 三 (三菱電機)

非会員 金子 精 二 (三菱電機)

Development of Digital System Technology Applied to Advanced Digital Relay

Takayuki Matsuda, Member, Ken Yanagihashi, Member, Takafumi Maeda, Member, (Tokyo Electric Power Company), Kenji Ohgaki, Non-member, Kanzo Matsunaga, Member, Seiji Kaneko, Non-member, (Mitsubishi Electric Corporation)

A digital relay is always required its complete operation when fault of electric power system occurs, and not to cause any maloperation when power system is normal. Considering the complex phenomena of power system and easy operation and maintenance, it is needed to improve the performance of digital process, friendliness of human interface, distinction of troubled hardware, and flexibility to constitute the digital relay system.

In this paper, authors propose to realize them with high reliability that, (1) Human interface using display connects to main and failsafe relay individually, (2) Data exchange between CPU's of multi-cpu system must be message type with check mechanism, (3) Software of each CPU must be based on multi-task system with protective mechanism, (4) Graphic language is very useful to the reliability of software, and (5) Self check can point out the troubled card or input channel.

キーワード：デジタルリレー，マルチ CPU，マルチタスク，プロテクト，ソフトウェア，マン・マシン

1. ま え が き

電力系統の保護リレーは、「系統事故の高速検出と必要最小区間の切離し」および「系統事故除去後の過負荷・周波数の上昇/低下・脱調などによる事故の影響の波及拡大防止」により電力の安定供給確保を図ることが責務であり、高度な性能と高い信頼性が必要とされる。このため、従来用いられていた電磁機械形やアナログ静止形のリレーは、十数年前より保護性能と信頼性に優れたデジタル形リレーに置き換えられるようになっている。

デジタルリレーは、系統の電圧・電流や開閉器などの情報をデジタル値に変換して取り込み、デジタル演算処理により保護判定を行い、遮断器に遮断指令を出力する

基本構成であるが、一般のデジタル処理システムと比較して、常時1ミリ秒レベルの周期の高速繰返し演算の実行による系統事故の高速判定、希頻度事故に対して確実に動作できる信頼度確保、長期使用において万が一、装置故障が発生したときにも誤動作しない信頼性確保などが特に重要である。

デジタルリレーにおいては、高性能と高信頼性を確保するために、従来よりハードウェアの選定、ハードウェア・ソフトウェアの構築方法などについて様々な配慮がなされてきたが、今後、保護性能・信頼性・運用保守性の一層の向上を図ってゆく必要がある。そこで著者らは、新しいハードウェア・ソフトウェア技術の進歩をふまえ、デジタルリレーの構築技術面から高度化検討を行った。

2. 現行のディジタルリレーのシステム構築技術と次世代への課題

〈2・1〉 現行ディジタルリレーのシステム構築技術

ディジタルリレーで使用する CPU は、当初の 4 ビットのビットスライス形から、16 ビット、更には 32 ビットの低消費電力ワンチップ形へと半導体技術の進歩とともに高性能・高信頼度化している。また、CPU 構成は、当初はシングル CPU 方式であったが、現在では処理性能向上の要求に対応するためのマルチ CPU 方式が主流となっている(図 1 参照)。

これらの CPU で構成される現在のディジタルリレーは、以下の考え方を適用してシステムを構築している。

(i) 単一の不良では不要に動作しないために、完全に分離したメインリレーとフェイルセーフリレーを設け、両者の動作判定の一致で遮断器を制御する二重歯止め構成とする。

(ii) 電力系統で事故が発生したときの誤不動作防止のために、所定の保護機能が維持されていることを常時チェックする自動監視を適用する。

(iii) ハードウェアの信頼性確保のために、ハードディスクなどの可動部品を使用しないことが基本である。従って、プログラムはすべて ROM に実装する。

〈2・2〉 次世代への課題 今後の電力系統の拡大や運用保守などを考慮すると下記の課題がある^{(1)~(4)}。

(1) 保護性能の向上 長距離送電、系統構成の複雑

化、ケーブル系統の増加、UHV 送電などによる電力系統の物理現象の複雑化に対応して、誤動作・誤不動作のない信頼度の高い保護を実現するために、保護性能の向上がいつそう必要である。

図 2 はディジタルリレーの処理量の推移例であるが、保護性能の向上や多様な機能に対応して処理量が増加するため、処理性能をいつそう向上させる必要がある。

(2) ヒューマンフレンドリーなマン・マシン 高度化・複雑化する保護装置の運用保守操作の容易化と、操作ミスの防止のために、マン・マシン機能の充実が必要である。また遠隔運用保守にも対応する必要がある。

(3) 障害の迅速な復旧 装置不良の復旧を早めて、電力供給の信頼性をいつそう高めることを保守員の負担が少ない方式で実現するために、故障部位を特定し、結果をわかりやすく表示する必要がある。

(4) 多様なシステムへ対応するシステム構築の柔軟性向上 今後の保護装置の高度化・多様化に柔軟に対応でき、増大する操作・表示や遠隔操作などに対応できる、新たなシステムとその標準化が必要である。

3. システムの基本構成

次世代ディジタルリレーは、現行ディジタルリレーのメインリレーとフェイルセーフリレーの分離、および二重歯止め構成などの基本的考え方を踏襲しつつ、以下に示す基本構成とする。

〈3・1〉 メインリレーとフェイルセーフリレーの構成

メインリレーおよびフェイルセーフリレーは、それぞれにおける演算性能向上のために、目的に応じて高性能 CPU を多数使用でき、機種に対応した柔軟な構成をとることができるマルチ CPU システムとする。この場合、従来以上に多数、かつ多様な機能が実装されることを考慮して、いつそうの高信頼度が確保できるように配慮する。

〈3・2〉 マン・マシンインタフェース機能の充実とその構成 CPU の演算処理能力の向上とメモリー素子の大容量化、および高性能表示部品を活用して、より使いやすいマン・マシンインタフェースを実現する。

このために適用するマン・マシンインタフェースとしては、増大する表示量と操作機能に対応することができ、豊富な表示能力があり、ハードウェアの標準化が図れることが必要であり、ディスプレイ形式の表示器を使用し、操作はディスプレイ画面上の表示に対して指でタッチ操作する方式とする。

また、ハードウェア構成の簡素化のために、メインリレーとフェイルセーフリレーのマン・マシンインタフェースの共用を図るが、メインリレーとフェイルセーフリレー間の独立確保のために下記の方式とする。

(i) マン・マシンインタフェースは、メインリレー側をパラレルバスで接続しフェイルセーフリレー側をシリアルバスで接続するなど、メインリレーおよびフェイルセーフリレーとの間を、それぞれ別の経路・異なる方式で接続

図 1 マルチ CPU ディジタルリレーの例
 Fig. 1. Example of multi-cpu digital relay.

図 2 ディジタルリレーの処理量の推移例
 Fig. 2. Example of increase of digital process.

図 3 次世代デジタルリレーの装置構成例
Fig. 3. Example of constitution of advanced digital relay.

する。

(ii) マン・マシンインタフェースとメインリレーおよびフェールセーフリレーとの間のデータは、データ量が少なく高速性もそれほど要求されないため、低速伝送とする。

(iii) メインリレーとフェールセーフリレーのシステム全体の監視機能およびデータセーブ機能は、マン・マシンインタフェースに組み込む方式とする。

以上の構成例を図 3 に示す。

4. マルチ CPU システム

〈3・1〉節で述べた柔軟性の向上と高信頼度化に対応するために考慮すべき主な事項は下記である。

- (i) CPU 構成に特別な制約がなく、容易に CPU を拡充できるマルチ CPU 方式
- (ii) CPU 単位でのソフトウェアを含めた標準化が容易なマルチ CPU 方式
- (iii) ソフトウェアの動作信頼度が高いマルチ CPU 方式

〈4・1〉 自律・並列方式 リレー演算の高度化に対応したアナログ入力と各種通信インタフェース、遠隔運用保守のための通信インタフェースなど、組み込む機能の種類と量が従来より増大する。従って、従来以上に多くの役割の CPU をシステムバスに接続する必要が生じるが、システムバスへ接続する CPU の組合せなどに特別な制約がなく柔軟性が高いことが必要である。

このため、データ転送が任意の CPU 間で平等に実施できるマルチ CPU システムとし、集中したシステム管理機構をもたず各 CPU が独自にシステムバスの使用に関する

図 4 メッセージ転送方式例
Fig. 4. Example of message transmission.

制御を実施し、各 CPU が任意に自律・並列的に動作できる方式とした。

本方式を信頼性の面からみると、特定の機能で発生した障害によりシステム全体が停止することがなく、またデータ転送の平等性により CPU 単位での標準化が容易であるなど、信頼性の高いシステムといえる。

〈4・2〉 マルチ CPU 間のデータ転送方式 多数の CPU をシステムバスへ接続するマルチ CPU システムにおいては、一つの CPU の不良の影響が同一バスに接続されている別の CPU に波及することを防止することが信頼性の面で必要である。

上記課題の解決には、不良データを誤って演算処理で使用するの防止が重要であり、CPU 間のデータ授受に検定機構を設けて情報交換の高信頼度化を図ることとした。具体例を図 4 に示す。

この方式は、通信の概念を応用して、転送データを一定

量の単位でパケット化し、一つのCPUより別のCPUへメッセージ転送する方式である。パケットには転送データとともに、あらかじめ定義した「転送元識別子」、「転送先識別子」、「情報別識別ID」をヘッダ部に載せて一括してデータ授受する。このため、種々の情報交換の厳密な検定が可能となる。適用した検定の主なものを下記に示す。

(i) 転送検定 CPUで許容される転送先であることを検定する。検定が合格した場合に、スイッチ制御によりデータがシステムバス上に流れる。

(ii) 受取検定 CPUで許容される転送元であることを検定する。検定が合格した場合に、スイッチ制御によりシステムバス上のデータが中間バッファに取り込まれる。

(iii) 内容検定 CPUで許容される情報であることを検定する。検定が合格した場合に、スイッチ制御により中間バッファ上の受信データがCPUで読み出し可能なメモリーに入る。

CPUは、上記検定にすべて合格した転送データを使用して所定の処理を実施する。

この方式における転送先を誤る確率を λ 、転送検定をすり抜ける確率を μ 、受取検定をすり抜ける確率を μ 、内容検定をすり抜けてこれを使用する確率を μ と仮定すると、誤った動作をする確率は $\lambda \cdot \mu^3$ となる。

検定機能がない場合の誤った動作をする確率は λ であり、 λ および μ はともに識別の比較検定を実施するディジタル回路のデータ誤り率に対応する値で1より十分小さいため、

$$\lambda \gg \lambda \cdot \mu^3$$

となり、検定機能の効果により誤った動作をする確率が極めて低くなる。

5. ソフトウェアの構築

次世代のディジタルリレーでは、ソフトウェア機能の高度化・多様化が進むため、ソフトウェアの生産性・信頼性の向上を図る必要があり、ソフトウェアおよびその設計の標準化、高級言語の適用による省力化と設計の容易化を図るとともに、複数のソフトウェア間の相互干渉により信頼度を低下させないことが必要となる。

〈5・1〉 マルチタスク方式 CPUには、リレー演算機能、自動監視機能など、起動条件などが異なる複数の機能を搭載する。機能の種類はCPUの能力向上に伴い、今後増す動向にある。従って、複数の標準ソフトウェアと個別機能のソフトウェアとを組み合わせることにより所望の機能を実現する方式が信頼性向上のために必要となる。

上記を実現するために、ソフトウェアの機能と実行条件と占有して使用するメモリー領域などのまとまりを一括してタスクとして定義し、複数のタスクを組を合わせて各CPUで必要なソフトウェアを構築するマルチタスク方式とすることとし、これによりタスク単位での標準化も可能とした。

〈5・2〉 ソフトウェアの動作信頼度の向上策 以上のような様々なタスクを組み合わせるCPUに実施するマルチタスク方式の場合、ソフトウェア動作信頼度を考慮すると、タスク相互間で悪影響することを防止する必要がある。例えばリレー演算機能と自動監視機能では、自動監視処理がリレー演算処理で使用するデータを破壊すること、あるいは、リレー演算処理が自動監視処理のデータを破壊することのないようにする必要がある。

このため、あるタスクが別のタスクのメモリー領域のアクセスを禁止するなどのプロテクト機構を具備したマルチタスク方式とする。プロテクト機構は、特に高級言語を用いた場合のスタック構造の分離保護においても有効となり、ソフトウェア製作・検証段階での誤りの検出にも効果が大きく、ソフトウェアの品質向上に有効である。

〈5・3〉 ハードウェアとソフトウェアの機能分担

上記マルチタスク方式を適用し、多様なタスクを容易にしかも高信頼度で組み込むためには、リレー演算などのソフトウェア設計の標準化が必要となる。このため、各CPUで処理機能の実行制御をつかさどる共通的なソフトウェア機能の固定化が有効である。主要機能は下記となる。

- (i) マルチタスクの起動制御・管理とプロテクト機構
- (ii) 他CPUとのデータ受け渡し
- (iii) 様々なハードウェアとのインタフェースのサポート
- (iv) ハードウェアの自動監視、不良情報の記録や回復処理

また、保護リレーでは繰返し演算を高速に実行するため、オーバーヘッド時間を極力少なくすることが必要である。

従って、固定化する共通的なソフトウェア機能のうち、実行アドレスと許容アドレス範囲を比較検定するなどのプロテクト機構や、他CPUとのデータの受け渡しのための自律データ転送機能とメッセージ検定機能と検定結果により制御されるスイッチ機能など、特に頻繁に機能する必要のある部分を中心にハードウェア化(LSI化)することにより処理を高速化して応答性を速めた。

また、この固定化するソフトウェアには自動監視機能における一過性の不良に対するリカバリー機能なども組み込み、リレー演算タスクではリレー演算に専念できる方式とした。

6. ソフトウェアの高信頼度化技術

第5章で述べたタスクのソフトウェアの信頼性向上には、生産・検証の面より考慮が必要である。

〈6・1〉 ソフトウェアのミスについて ソフトウェアのバグは基本的にはヒューマンエコーであり、大局的には下記ミスなどにより発生する。

- (i) 機能仕様作成上のミス
- (ii) ソフト体様書への展開ミス

(iii) プログラム作成ミス

これらの問題に対応するために、ソフトウェア一般においてはCASEツール、デザインレビュー、十分な検証などの手段を用いて、ミスがフィールドに持ち込まれることを未然に防止している。

ところでソフトウェアのミスは、人間が思考する表現からソフトウェアで必要な表現へと、同一機能の表現手段を変換する場合に発生することが多い。従って、必要とするソフトウェアの記述量を少なくし、ソフトウェアで必要な表現を人間が通常思考するときに用いる表現にできるだけ近づけることが望ましい。

〈6・2〉 アセンブリ言語と高級言語 従来デジタルリレーでは、必要な処理速度を確保するために基本的にアセンブリ言語が使用される。最近では、プロセッサの処理能力向上によりC言語などの高級言語も使用が開始された。

アセンブリ言語はプロセッサの機能の制御（例えば、レジスタの制御）まで記述する必要があるが、C言語ではこの記述は不要となるため、ソフトウェアの記述量は減少する。また、高級言語では、例えば通常使用する算術演算に近い表現形式が使用でき、更に構造化プログラミング手法などが適用できるなど、人間が考えやすい表現形式に進歩している。

この結果、同一機能を表現するために必要な記述量の減少と表現方式の改善によりミスが減少するといえるが、プログラムの流れの制御などを含めた全体機能を考えた場合、依然表現手段の変換が存在するゆえミスの要因は残り続ける。

更にコンパイラなどのチェックでは発見できないラベルなどの誤りを検証試験で突き止めるときには、高度な技術を使用する必要があるなどの問題も残る。

〈6・3〉 グラフィック言語 デジタルリレーでは、その機能を記述する展開接続図の表現手段が従来のアナログリレーの時代よりほぼ確立されており、慣れ親しんだ表現手段として定着している。

この特徴に着目して、デジタルリレーのソフトウェアの表現手段として、展開接続図で使用している表現手段を

用いる方式を適用した。例えば、展開接続図で使用するシンボルをグラフィックなアイコン（絵文字）とし、必要なシンボル間を線で表現する。必要なソフトウェアの記述がすべて完了する方式である。この場合、複数の言語の組合せで表現される機能が一つのシンボルで表現できるためソフトの記述量が少なく、更に表現の変換も不要なため、ミスが発生する要因が極めて少なくなる。

マルチCPU方式のデジタルリレーにおいては、例えばPCMキャリヤリレーの場合、アナログ入力部、リレー演算部、伝送制御部、シーケンス演算部などの各処理を別々のCPUに分担させて実行する。この場合、

- (i) アナログ入力部、リレー演算部は所定の機能が固定化されているため、ソフトウェアも固定化される。
- (ii) PCM伝送制御などのインタフェースはハードウェアの高速制御などのためにアセンブリ言語を必要とするが、機能が固定化されるゆえ、ソフトウェアも固定化される。
- (iii) シーケンス演算は電気所などの構成に応じた設計が必要となる。

などの特徴があり、ソフトウェア表現のグラフィック化は特にシーケンス演算などで有効となる。

更に次世代デジタルリレーのディスプレイ画面においても、画面を構成する表示要素をそのままグラフィック言語化すれば、画面を描くとソフトウェアが完成するため、極めてミスが少なく信頼性の高いソフトウェアを容易に作ることができる。

〈6・4〉 グラフィック言語システム例 上に示したグラフィック言語を体系化した具体例を示す。

(1) 描画によるソフトウェアの記述 グラフィックなシンボルをディスプレイ画面上に配置し、これを信号線で結線して展開接続図に描く。ここで描いた内容がメモリーに搭載するソフトウェアである。ソフトウェアの管理は、例えば1画面を1頁として頁単位で行う。これにより、ソフトウェアの流用が頁単位などで実施できる。

展開接続図描画上の誤り（例：結線のオープン、ショート）などの部位は、展開接続図上に色や枠で囲むなど認識

逆変換画面例

ソフトウェアオシロ例

図 5 検証時の画面例
Fig. 5. Example of display for test.

図 6 作業フロー例

Fig. 6. Example of software development process.

ミス発生箇所	アセンブラ	C言語	グラフィック言語
装置仕様	1	1	0.6
ソフトウェア仕様	2.3	1.6	
プログラム	4.3	2.2	—

注 1 : アセンブラ使用時の装置仕様段階でのミスの数を 1 とする。
 注 2 : グラフィック言語の場合、装置仕様とソフトウェア仕様の区別が無い。

図 7 試験で発見されたソフトウェアのミスの比較例

Fig. 7. Example of comparison of number of software bug disclosed by test.

が容易な方式で表示する。誤りがなければ展開接続図とソフトウェアが同時に完成する。

(2) ソフトウェアの組込みと実行 描画内容を直接メモリー (ROM) に搭載し動作させる。

(3) ソフトウェアの検証 ソフトウェアの動作検証では、メモリー (ROM) より逆変換して展開接続図の内容を表示させて、その図面上で下記内容などを確認する。

- (i) 展開接続図の全頁の時時刻刻の演算状況
- (ii) トリガ条件に対応した時間断面の展開接続図の全頁の演算状況
- (iii) 展開接続図の任意の信号の時間変化 (ソフトウェアオシロ)

演算状況は、展開接続図上の信号線などに動作状態を色で識別表現して表示する。この表示手法は、人間の思考に関連して次の利点がある。

- (i) メモリー (ROM) に搭載したソフトウェアの内容を展開接続図の形式で目視確認できる。
- (ii) 機能的に関連する複数の演算の状況を同時に画面に表示して比較などを実施できる。
- (iii) 展開接続図自体の動作の良否を確認できる。

図 5 に検証時の画面例を、図 6 に作業フロー例を示す。

〈6・5〉 ソフトウェアの信頼性向上 上記の例においては、展開接続図以後に必要なソフトウェアの作業が不要なこと、人間が判断しやすい展開接続図の表現形式以外のソフトウェア表現が不要なことにより、ミスの要因が極めて少なく、信頼性の高いソフトウェアを得るに有効な例である。PCM キャリヤリレー装置のシーケンスに相当するソフトウェアを開発したときに発生したソフトウェアのミスの数 (当社例) におけるグラフィック言語の適用効果の例を図 7 に示す。

7. マルチ CPU の不良部位の特定化技術

高度化・複雑化したディジタルリレー装置で不良が発生した場合のマルチ CPU システムでみられる現象や様相は複雑であり、迅速かつ的確に障害を復旧させるために、マン・マシン部へ不良部位を表示するためには、これに対応した不良部位の特定のための機構と手法が必要となる。

不良部位の特定が困難な要因は、CPU のハードウェアの異常により処理機能が障害を起こした場合と、処理機能の起動条件が成立しない結果、処理機能が障害を起こした場合の識別が困難であったことなどによる。

このため、過去の故障実績を分析し、不良部位推定アルゴリズムを求めてマルチ CPU の基本ソフトウェアに搭載した。次世代ディジタルリレーにて実現する不良部位特定化の手法は、次の 3 点である。

- (1) 不良検出機構の高度化
- (2) 不良要因による分類
- (3) 総合的な不良部位特定

(1) 不良検出機構の高度化では、ハードウェアによる不良検出機能の強化を図り、原因を分類・識別するために必要な詳細データを保持する機構を設けた。また、ソフトウェアにおいても、マルチタスクを活用して、装置固有の機能を実現するタスクのほかにシステム監視専用のタスク

を設け、各タスクの走行状態などを監視する。

(2) 不良要因による分類では、不良の内容を詳細に分類し、他CPUより検出したことが明らかなものを除外し、選別した不良通知および詳細データなどを下記(3)で示すシステム監視部に送る。

(3) 総合的な不良部位特定では、システム監視部を設けて全CPUの状態や不良通知の有無などを監視し、これらの情報より、装置の内部システム構成の情報を参照して、推定アルゴリズムにより総合的な判断を実施し、不良部位の特定もしくは不良と推定される範囲を提示する。

以上の手法を用いることにより、交換すべき不良カードの特定と不良入出力回路部位の特定が基本的に可能となった。

8. あとがき

本論文では、次世代デジタルリレーの構築を実現するために、システムとして基本的に具備すべき事項とそれを構築する技術について述べた。今後は、本検討結果をふまえて高信頼度で使いやすい高機能次世代デジタルリレーの実用化を進める予定である。

最後に、次世代デジタルリレーの開発と本論文の作成にあたって有益な指導と助言をいただいた、東京電力(株)および三菱電機(株)の関係諸氏に謝意を表す。

(平成5年12月2日受付)

文 献

- (1) 前田隆文・東 信一・大垣健二・松永完三・金子精二・安齊俊夫：「次世代デジタルリレーの開発」，平5電気学会電力・エネルギー部門大会，No. 361
- (2) 松田高幸・柳橋 健・前田隆文・渡部洋司・横山孝幸・関口勝彦・西谷泰周・伊藤八大：「次世代デジタルリレーの開発」，平5同上，No. 3
- (3) 前田隆文・大河原健治・小松親司・金子精二・関口勝彦：「次世代デジタルリレーのマンマシンインターフェイス」，平5電気学会全大，No. 1524
- (4) 前田隆文・小松親司・和知 功：「デジタルリレー自動監視における不良部位特定能力の検討」，平5同上，No. 1528

松 田 高 幸 (正員) 1943年1月1日生。1971年3月東京電機大学電気工学科卒業。1962年4月東京電力(株)入社。同社系統運用部において系統保護制御システムの開発に従事。現在、同部制御技術課長。

柳 橋 健 (正員) 1955年8月13日生。1980年3月静岡大学大学院工学研究科修士課程修了。同年4月東京電力(株)入社。水力発電設備の保守，系統運用業務を経て，系統運用部制御技術課において，系統保護制御システムの開発に従事。現在，同課課長(制御システム技術担当)。1991年電気学会論文賞受賞。

前 田 隆 文 (正員) 1956年3月23日生。1979年4月東京電力(株)入社。1980年3月東京都立大学工学部電気工学科卒業。変電設備の保守・工事・運用業務を経て，系統運用部制御技術課において，系統保護システムの開発に従事。

大 垣 健 二 (非会員) 1948年10月25日生。1967年3月兵庫工業高等学校電気工学科卒業。同年4月三菱電機(株)入社。主として，電力系統保護制御システムの設計に従事。現在，同社制御製作所電力系統部課長

松 永 完 三 (正員) 1953年2月25日生。1978年3月京都大学大学院工学研究科修士課程修了。同年4月三菱電機(株)入社，現在に至る。主として，同社制御製作所にて送電線保護継電装置のシステム設計に従事。

金 子 精 二 (非会員) 1955年7月12日生。1979年3月東京大学工学部電気工学科卒業。同年4月三菱電機(株)入社。主として，電力系統保護制御システムの設計に従事。