高速成長 4H-SiC エピタキシャル単結晶膜を用いた 高電圧ショットキーダイオードの開発

正員 土田秀一 (電力中研)

非会員 辻 崇 (富士電機総研)

非会員 藤澤広幸 (富士電機総研)

非会員 鎌田功穂 (電力中研)

非会員 直本保 (電力中研)

非会員 荻野慎次 (富士電機総研)

正員 泉邦和 (電力中研)

Fabrication of high-voltage 4H-SiC Schottky barrier diodes using epitaxial layers obtained at a high growth rate

Hidekazu Tsuchida*, Member, Takashi Tsuji**, Non-member,

Hiroyuki Fujisawa**, Non-member, Isaho Kamata*, Non-member,

Tamotsu Jikimoto*, Non-member, Shinji Ogino**, Non-member, Kunikazu Izumi*, Member

(*Central Research Institute of Electric Power Industry)

(**Fuji Electric Corporate Research and Development, Ltd.)

High-voltage Schottky barrier diodes (SBDs) are fabricated on 4H-SiC epitaxial layers obtained at a high growth rate (14~16 $\mu\text{m}/\text{h}$). The epitaxial layers are grown in a vertical radiant-heating reactor, with pre-growth and growth conditions controlled to reduce morphological defects. A good morphology with a low density of growth pits is achieved by applying to substrates pre-growth hydrogen etching under reduced pressure down to 4000 Pa. Two types of edge termination structures, B-implanted termination and junction termination extension (JTE), were tested for use in fabricating high-voltage 4H-SiC SBDs. A high blocking voltage of 1.2 kV was achieved when using a 10 μm -thick layer by applying B-implanted termination, despite the layer being grown in only 40 minutes. When using 27 μm -thick epitaxial layers, a 2.4 kV-9.1 $\text{m}\Omega\text{cm}^2$ SBD with B-implanted termination and 3.4 kV-16.0 $\text{m}\Omega\text{cm}^2$ SBD with JTE were successfully fabricated. We also succeeded in obtaining a 4 mm ϕ diode with an allowable leakage current, and a high yield rate exceeding 90% for the 1mm ϕ diodes.

キーワード：4H-SiC, エピタキシャル単結晶膜, 表面欠陥, ショットキーダイオード, 高電圧

Keywords: 4H-SiC, epitaxial growth, growth pit, Schottky barrier diode, high-voltage

1. はじめに

パワーエレクトロニクス技術を活用した電力変換装置の民生機器、産業機器、電力系統への急速な適用拡大を背景として、これらの電力変換装置の損失低減が望まれている⁽¹⁾。インバーター（コンバーター）機器においては、整流素子とスイッチング素子が対となって使用され、機器の損失低減のためには両素子の性能向上が必要である。現在、耐電圧が数百 V～数 kV 級の整流素子としては Si 系 pn ダイオードが適用されているが、比較的大きなスイッチング損失（逆回復電荷）を持つため、その損失低減が課題となっている。

SiC 単結晶は、Si 単結晶に比べて約 10 倍の絶縁破壊電界強度（ $\sim 3 \text{ MV}/\text{cm}$ ）を持つことから、数 kV 級の耐電圧領域においても低い特性オン抵抗を持つショット

キーダイオードを作製することが可能となる⁽²⁾。ショットキーダイオードでは、その構造上、逆回復電荷が極めて小さいことから、高速かつ低損失な整流が実現される。このため、SiC 単結晶を適用した高電圧ショットキーダイオードは、現有の Si 系 pn ダイオードを置き換えるための高性能パワー半導体素子として有望視されている。

これまで、多くの機関より Si の性能限界を超える高性能 SiC ショットキーダイオードの試作例が報告されている⁽³⁻¹⁰⁾。これらの SiC ショットキーダイオードは、SiC 基板上にエピタキシャル成長させた SiC 単結晶膜を用いて形成される。しかしながら、従来の SiC エピタキシャル単結晶成長手法では成膜速度が 3~5 $\mu\text{m}/\text{h}$ 程度に限定されていたため、10 μm 以上の膜厚のエピタキシャル単結晶膜が必要とされる耐電圧が 1 kV 以上の領域では、エピタキシャル単結晶成長の成膜速度の向上

が望まれている。最近では 10~30 $\mu\text{m/h}$ の高速成膜⁽¹¹⁻¹⁵⁾を実現した例が報告されているが、これらの高速成長膜を適用し、従来の比較的低い成長速度で得たエピタキシャル単結晶膜を用いた SiC ショットキーダイオードに匹敵するような特性（耐電圧 vs 特性オン抵抗の性能、高電圧印可時の漏れ電流など）を得るための結晶高品位化技術に課題が残されている。また、使用するエピタキシャル単結晶膜の理論耐圧に近い耐電圧を得るとともに、高電圧印可時の漏れ電流を低減するために、ショットキー電極周縁部における電界集中緩和技術を確立することが要求されている。

本論文では、従来よりも数倍速い成膜速度でエピタキシャル成長させた SiC 単結晶膜を用いて、高性能 SiC ショットキーダイオードを得ることを目的として、高速エピタキシャル単結晶成長における表面モフォロジーの改善、素子試作要素技術の開発を進めた結果を報告する。

2. 実験方法

<2.1> エピタキシャル成長 SiC 単結晶のエピタキシャル成長には、新しく開発した縦型輻射加熱式反応炉を用いた^(11, 12)。この反応炉は、高周波誘導加熱を与える縦型円筒形ホットウォールの内部に楔形のサセプタを配置する。基板は、成長面が斜め下方に向くようにサセプタ上に設置され、ホットウォールからの輻射によって加熱される。キャリアガスには H_2 、原料ガスには SiH_4 、 C_3H_8 、n 型ドーパントガスには N_2 を使用し、これらのガスを炉の下部より導入し、炉の上部より排出した。

エピタキシャル成長の基板には、市販の直径 50 mm ϕ の 8° off 4H-SiC(0001) ウエハを 1/2 にカットしたものをを用いた。 H_2 流量は 10 l/min とし、エピタキシャル成長時の炉内圧力は 5600~6300 Pa、成長温度（サセプタ上面温度）は 1530~1550°C に設定した。エピタキシャル成長の基板前処理として、高温 H_2 エッチングを 30~50 分間行なった。SiC エピタキシャル膜の表面モフォロジーの評価は、ノマルスキー光学顕微鏡ならびに原子間力顕微鏡 (AFM) により行なった。

<2.2> 素子試作 ショットキーダイオードの試作は 14~16 $\mu\text{m/h}$ の成膜速度で形成した膜厚 10 μm （ドーピング濃度: $\sim 7 \times 10^{15} \text{ cm}^{-3}$ ）または 27 μm （ドーピング濃度: $\sim 3 \times 10^{15} \text{ cm}^{-3}$ ）の n 型 4H-SiC エピタキシャル膜を用いて行なった。ショットキー電極周縁部の電界緩和構造として、B イオン注入ターミネーション⁽³⁾、あるいは JTE (Junction termination extension) を適用した 2 種のショットキーダイオードを形成した。

B イオン注入ターミネーションは、B イオン注入後に活性化アニールを行うことで形成した。イオン注入エネルギーと活性化アニール温度は、膜厚 10 μm の試料に対しては 33 keV, 1050°C (90 分)、膜厚 27 μm の試料に対しては 50 keV, 1700°C (30 分) とした。

JTE は、Al イオン注入により形成した。Al イオン

注入は最高で 180 keV にて行い、1700°C, 30 min のアニールにより活性化させた。イオン注入深さは約 0.5 μm 、JTE の幅は全体で 100 μm とした。

裏面のオーミック接触は、スパッタリングによって Ni を蒸着した後に、1000°C, 5 分の真空中アニールを行うことによって得た。ショットキー電極には Ni を用い、スパッタリングによる蒸着後に Ar 雰囲気中で 200°C, 5 分のアニール処理を行なった。ショットキー電極の直径は 0.2~4 mm とした。また、全ての素子において、表面パッシベーションとして熱酸化膜 (SiO_2) を用いた。

ショットキーダイオードの電流-電圧 (I-V) 特性の評価は、Hewlett Packard HP4142B 並びに Sony/Tektronics 370A, 371A を用いて行なった。

3. 実験結果

<3.1> エピタキシャル膜の表面モフォロジーの改善

SiC のエピタキシャル成長においては、研磨に起因する基板表面のダメージ層や研磨傷を除去することを目的に、高温 H_2 エッチングが成長前に適用されることが多い。図 1(a)~1(c) はエピタキシャル成長前に基板に対して種々の条件にて高温 H_2 エッチングを適用した場合のエピタキシャル膜表面のノマルスキー顕微鏡像を示す。高温 H_2 エッチングの時間は 40 分、エピタキシャル成長条件は成長温度 1545°C、炉内圧力 5600 Pa、原料ガス流量 SiH_4 : 30 sccm, C_3H_8 : 8 sccm、成長時間 2 h (膜厚約 30 μm) で一定としている。図 1(a) に示すように、高温 H_2 エッチングを 1545°C, 13300 Pa にて行なった場合にはエピタキシャル膜の表面にストライプ状の表面欠陥が数~数 10 μm 間隔で観測された。これに対して、高温 H_2 エッチングの温度のみを 1415°C に低下した場合には、図 1(b) に示すようにストライプ状の表面欠陥の長さが縮小化された。この場合の表面欠陥密度は $\sim 5 \times 10^4$ 個/ cm^2 である。さらに、高温 H_2 エッチング時の炉内圧力を低下させて 1415°C, 4000 Pa の条件とした場合には、図 1(c) に示すようにストライプ状の表面欠陥は観察されなくなった。残存する他種の表面欠陥の典型的な合計密度は 100 個/ cm^2 以下で、10 mm² 以上の表面欠陥の存在しない領域も存在する。

図 1(d) は高温 H_2 エッチング時の炉内圧力に対するエピタキシャル膜の表面ラフネスの関係を示す。高温 H_2 エッチングの温度は 1415°C としている。表面ラフネスは 10 $\mu\text{m} \times 10 \mu\text{m}$ の領域に対する AFM 測定により、自乗平均ラフネス (R_{rms}) として求めた。 R_{rms} は高温 H_2 エッチング時の炉内圧力を低下するにつれて小さくなった。このように、エピタキシャル膜の表面モフォロジーは、成長前処理としての高温 H_2 エッチングの条件に強く依存することが判明するとともに、4000 Pa 程度の低い圧力での高温 H_2 エッチングを適用することにより、再現性良く低い表面欠陥密度かつ高い平坦性のエピタキシャル膜を得ることが可能となった。また、エ

ピタキシャル膜の平坦性は、エピタキシャル成長条件（成長温度、C/Si 比）にも強く依存することが判明している⁽¹¹⁾。最近では、1400℃、4000 Pa での高温 H₂ エッチング、1540±10℃、～6000 Pa、C/Si 比：～0.8 のエピタキシャル成長を適用することで、成膜速度 15 μm/h 前後で得たエピタキシャル膜に対して R_{rms} が 0.2 nm 程度の値が得られている⁽¹⁶⁾。

図 1 (a) 1545℃、13300 Pa、(b) 1415℃、13300 Pa、(c) 1415℃、4000 Pa における高温 H₂ エッチングを実施後に成長させた 4H-SiC エピタキシャル膜表面のノマルスキー顕微鏡像、(d) 1415℃ での高温 H₂ エッチング時の炉内圧力とエピタキシャル膜表面のラフネスの関係

Fig. 1. Nomarski contrast of 4H-SiC epilayers grown after H₂ etching at (a) 1545℃, 13300 Pa, (b) 1415℃, 13300 Pa and (c) 1415℃, 4000 Pa. (d) Relation between epilayer roughness and reactor pressure for in-situ H₂ etching at 1415℃.

図 2 B イオン注入ターミネーションを用いた 4H-SiC ショットキーダイオードの模式図

Fig. 2. Schematic drawing of a 4H-SiC Schottky diode with B-implanted termination.

<3.2> 試作素子の I-V 特性 B イオン注入ターミネーション構造を適用したショットキーダイオードの断面構造を図 2 に示す。このターミネーション構造は、漏れ電流の増加を抑制しつつ電界緩和が実現可能な手法として報告されている^(3, 5)。B イオン注入ターミネーション構造を用いた場合の 4H-SiC ショットキーダイオードの I-V 特性を図 3 に示す。膜厚 10 μm のエピタキシャル膜を用いた場合 (B イオン注入エネルギー: 33 keV, 活性化アニール: 1050℃) には、逆方向電圧上昇時にある電圧にて突然的に電極の熱破壊が発生した。このことはターミネーション効果の不完全性を示す。しかしながら、短時間 (40 分) で成膜されたエピタキシャル膜を使用しつつも、直径 0.2 mm φ の電極に対する破壊電圧 (電極端部が熱破壊した時の逆方向電圧を破壊電圧として定義) として 1.2 kV が得られている。直径 4 mm φ の電極に対しても 800 V 以上の耐電圧 (破壊電圧は未測定) が得られており、面積 12 mm² 以上の高電圧ショットキーダイオードを形成可能なことが確認された。

膜厚 27 μm のエピタキシャル膜を使用した場合 (B イオン注入エネルギー: 50 keV, 活性化アニール: 1700℃)

図 3 B イオン注入ターミネーションを用いた 4H-SiC ショットキーダイオードの I-V 特性、(a) エピタキシャル膜厚 10 μm、(b) エピタキシャル膜厚 27 μm

Fig. 3. I-V Characteristics of 4H-SiC Schottky diodes with B-implanted termination fabricated on (a) a 10 μm-thick epilayer and (b) 27 μm-thick epilayer.

には、直径 0.2 mmφ の電極に対して、破壊電圧 2.4 kV、特性オン抵抗 9.1 mΩcm² が達成された。順方向特性における理論係数は 1.03、順方向電流 100 A/cm² に対するオン電圧は 2.3 V である。同一電極に対して C-V 測定を行った結果、ドーピング濃度は $2.67 \times 10^{15} \text{ cm}^{-3}$ と求められた。I-V 測定で求められた特性オン抵抗から基板部分の特性抵抗を差し引くと、エピタキシャル膜の特性抵抗（基板裏面のオーミック抵抗を含む）は 8.3 mΩcm² と求まる。この値は、エピタキシャル膜の実効キャリア移動度を 880 cm²/Vs と仮定した場合の理論特性抵抗 7.2 mΩcm²（ドーピング濃度 $2.67 \times 10^{15} \text{ cm}^{-3}$ 、膜厚 27 μm とし算出）に近い。なお、ここで得られた素子性能（2.4 kV-9.1 mΩcm²）は、従来の横型ホットウォール炉で成膜されたほぼ同一の膜厚ならびにドーピング濃度のエピタキシャル膜を用いて得られた SiC JBS (Junction barrier Schotky) ダイオードの性能（2.5-2.8 kV, 8 mΩcm²）⁽⁷⁾ に匹敵するものである。以上の結果は、従来よりも数倍速い成膜速度においても良質なエピタキシャル膜が得られていることを示す。

図 4 JTE ターミネーションを用いた 4H-SiC ショットキーダイオードの断面模式図

Fig. 4. Schematic drawing of a 4H-SiC SBD with JTE.

図 5 JTE ターミネーションを用いた 4H-SiC ショットキーダイオードの I-V 特性

Fig. 5. I-V Characteristics of a 4H-SiC SBD with JTE.

膜厚 10 μm のエピタキシャル膜を用いた場合の破壊電圧 1.2 kV は理想耐圧の 73% に相当するが、膜厚 27 μm のエピタキシャル膜を用いた場合の破壊電圧 2.4 kV は理想耐圧の 58% にすぎない。これらの結果は、膜厚 27 μm のエピタキシャル膜を用いた場合においては、電極端近傍における電界緩和が十分でないことを示す。

より十分な電界緩和を達成することを目的に、図 4 に示すように、ショットキー電極側から外側に向けて 3 段階の濃度変化（内側から、 6×10^{17} , 3×10^{17} , $1.5 \times 10^{17} \text{ cm}^{-3}$ ）を持つ JTE を適用したショットキーダイオードを形成した。図 5 は、膜厚 27 μm のエピタキシャル膜を用いた場合の I-V 特性を示す。直径 0.2 mmφ の電極に対して、破壊電圧 3.4 kV、特性オン抵抗 16.0 mΩcm² が得られた。順方向電流 100 A/cm² に対するオン電圧は 3.1 V である。同一条件で得られたエピタキシャル膜を使用しているにも拘わらず、B イオン注入ターミネーション構造を適用したショットキーダイオードに比べて特性オン抵抗ならびにオン電圧が若干大きくなっているが、その後の検証試験において、JTE ターミネーション素子の形成時に、基板裏面のオーミック接触抵抗に大きなばらつきが発生していたことが判明した。しかしながら、ここで得られた特性オン抵抗は、3.4 kV の耐電圧を持つ SiC ショットキーダイオードとしては、これまでの報告例の中でも最小のものである。破壊電圧 3.4 kV は理論耐圧の 89% に相当している。また、破壊電圧付近においてアバランシェ降伏に期待されるような可逆的な逆方向電流の増大が観測され、逆方向電圧 3.4 kV にて 1.4 A/cm² 以上の大きな逆方向電流耐量が確認された。以上のように、JTE を適用することにより、3.4 kV 級の SiC ショットキーダイオードにおいて、効果的な電界集中緩和構造を得ることができた。

4. 考察

図 6 は、電極径 1, 2, 4 mmφ（電極面積 0.79, 3.14, 12.6 mm²）の 4H-SiC ショットキーダイオードの逆方向電圧 600 V に対する漏れ電流のヒストグラムを示す。使用したエピタキシャル膜の膜厚とドーピング濃度は、それぞれ 27 μm, $\sim 3 \times 10^{15} \text{ cm}^{-3}$ である。電界集中緩和構造として B イオン注入ターミネーションを適用している。600 V に対する漏れ電流が 10 mA/cm² 以下であった素子の割合は、電極径 1 mmφ の場合で 94%, 2 mmφ の場合で 75% と良好な値が得られたが、4 mmφ の場合で 17% となった。このように、電極直径が 4 mmφ の素子においては急激に歩留まりが低下した。図 6 に示された逆方向電圧 600 V に対する漏れ電流が 10 mA/cm² 以下であった素子の割合に、結晶欠陥がランダムに分布するとした確率計算結果を当てはめると、素子に破壊的な影響を与えている欠陥の密度は 10~30 個/cm² のレベルと期待される。

図 6 B イオン注入ターミネーションを用いた 4H-SiC ショットキーダイオードの逆方向電圧 600 V に対する漏れ電流のヒストグラム

Fig. 6. Histogram of leakage current density at 600 V for 4H-SiC Schottky diodes with B-implanted termination.

図 7 4H-SiC エピタキシャル膜上の典型的な線状ピットのノマルスキー顕微鏡像

Fig. 7. Nomarski microphotograph of typical line-shaped growth pits on a 4H-SiC epilayer.

今回の素子試作に使用したエピタキシャル膜に残留していた主な表面欠陥として、波状ピットと線状ピットが挙げられる^(12, 17, 20)。ここで、波状ピットは図 1(C) の矢印部のように波紋形の凹凸を伴う表面欠陥、線状ピットは図 7 のように基板のオフカット方向 $\langle 11\bar{2}0 \rangle$ と平行な直線状の陥没を伴う表面欠陥の総称とする。この他、キャロット欠陥⁽¹⁴⁾と呼ばれる細長い三角形形状の表面欠陥も小数 (1 個/cm² 以下) ながら観察された。以前に報告されていたシャローピット^(18, 19)や三角形欠陥^(19, 20)は確認されない。キャロット欠陥と三角形欠陥については、素子特性に大きな影響を与えることが以前に報告されているが⁽²⁰⁾、今回使用したエピタキシャル膜では、これらの表面欠陥の密度は非常に小さいため、歩留まり低下の主要因として該当しないと考えられる。波状ピットについては、典型的な場合で数 10 個/cm² の密度で観察されたが、素子の電気的特性に与える影響は判別されなかった。このことは、以前の報告⁽¹⁷⁾と一致している。

線状ピットのステップフロー上流端には、図 7 に示すように、点状の穴または陥没が見られた。この点状の

穴あるいは陥没の大きさは様々で、穴径が 10 μm 以上に達するものから 1 μm 以下のものまでであった。10 μm 前後あるいはそれ以上の径の穴を伴う線状ピット [図 7(a)] に関しては、断面観察によって、その穴の位置 (エピタキシャル膜中) に含有物を伴う場合が多いことが確認された。このことから、この種の線状ピットの主な発生要因は、成長面上へのパーティクル付着と考えている。これらのパーティクルは、成膜に伴って反応炉内壁、あるいはサセプタ上に堆積した SiC が離脱し、反応炉内を浮遊することで発生する。今回の実験の初期段階において、この種の線状ピットの密度低減が課題となった。成膜時の炉内圧力を低下することによってガス流速を増大させて、炉内壁への不要なパーティクル堆積を軽減するとともに、炉内壁ならびにサセプタからの定期的なパーティクル除去を行うことにより、この種の線状ピットをほぼ完全に除去することが可能となった。

数 μm 以下の径の穴を伴う線状ピット [図 7(b)] に関しては、熔融 KOH による選択エッチングによって、それらの多くが基板に含まれるマイクロパイプ (c 軸方向に伝搬する中空孔を伴う大きなバーガーズベクトルを持つらせん転位) に対応することが判明している⁽²¹⁾。小さい領域に中空孔を伴わないらせん転位が集中している箇所においても、同種の線状ピットが確認されることがある。したがって、この種の線状ピットの密度は基板に含まれるマイクロパイプの密度よりもわずかに高くなる。この種の線状ピットの内、エピタキシャル膜中を貫通する中空孔を含むものについては、ショットキーダイオードの耐圧低下をもたらすことが判明している⁽²²⁾。今回使用した基板に含まれるマイクロパイプの密度は約 30 個/cm² であり、前述の素子に破壊的な影響を与えている結晶欠陥の密度の推測値 (10~30 個/cm²) におおよそ一致している。このように、マイクロパイプの存在が、今回の素子試作における歩留まりを制限している主要因と考察される。1 cm² 程度の素子面積を得るためには、マイクロパイプの低減技術の確立が急務である。

図 6 に示すように、小数の電極径 1 mm φ の素子においては、10⁻⁷ A/cm² レベルの小さい漏れ電流が確認された。しかしながら、漏れ電流の値に大きなばらつきが生じている。この理由として、マイクロパイプ以外の結晶欠陥あるいは残留する表面欠陥などの結晶上の課題と同時に、表面絶縁やショットキー電極/SiC 界面の不完全性などの素子形成プロセス上の課題が挙げられる。今後は、SiC ショットキーダイオードの漏れ電流のばらつきの原因を究明することが重要と考える^(23, 24)。

5. まとめ

高速成膜 (14~16 μm/h) により得た 4H-SiC エピタキシャル単結晶を用いて高電圧ショットキーダイオードの試作を行った。エピタキシャル成長においては、基板前処理として 4000 Pa 程度の低い圧力での水素

エッチングを適用することが成長膜の表面モフォロジーの改善に有効であることを明らかにした。素子試作においては、ショットキー電極近傍における電界集中を緩和するためのターミネーション構造の最適化を進めた。B イオン注入ターミネーションを適用した場合には、膜厚 27 μm のエピタキシャル膜を用いて 2.4 kV-9.1 $\text{m}\Omega\text{cm}^2$ のショットキーダイオードが得られた。JTE を適用した場合には 3.4 kV-16.0 $\text{m}\Omega\text{cm}^2$ のショットキーダイオードを得るとともに、逆方向電圧 3.4 kV にて 1.4 A/cm^2 以上の大きな逆方向電流耐量を確認した。

謝辞

エピタキシャル結晶成長の遂行にあたっては、(株)テクノサービスの高梨亮氏にご協力をいただいた。また、ショットキーダイオードの評価にあたっては、(株)富士電機総合研究所の上野勝典氏にご協力をいただいた。両氏に、深く感謝いたします。

(平成 13 年 5 月 21 日受付, 平成 13 年 12 月 6 日再受付)

文献

- (1) 菅原良孝, 「SiC パワーデバイスの開発状況 - Si 半導体の限界を超える新半導体」 電学誌 **118**, 5 (1998)
- (2) M. Bhatnagar and B.J. Baliga: "Comparison of 6H-SiC, 3C-SiC, and Si for Power Devices", IEEE Trans. on Electr. Dev. **40**, 645 (1993).
- (3) A. Ito, T. Kimoto, and H. Matsunami: "Excellent Reverse Blocking Characteristics of High-Voltage 4H-SiC Schottky Rectifiers with Boron-Implanted Edge Termination", IEEE Electr. Dev. Lett. **17**, 139 (1996).
- (4) T. Kimoto, Q. Wahab, A. Ellison, U. Forsberg, M. Tuominen, R. Yakimova, A. Henry, and E. Janzén: "High-Voltage (>2.5 kV) 4H-SiC Schottky Rectifiers Processed on Hot-Wall CVD and High-Temperature CVD Layers", Mater. Sci. Forum **264-268**, 921 (1998).
- (5) K.J. Schoen, J.M. Woodall, J.A. Cooper, Jr., and M.R. Melloch: "Design Considerations and Experimental Analysis of High-Voltage SiC Schottky Barrier Rectifiers", IEEE Trans. on Electr. Dev. **45**, 1595 (1998).
- (6) H. M. McGlothlin, D.T. Morissette, J.A. Cooper, Jr., and M.R. Melloch: "4 kV Silicon Carbide Schottky Diodes for High-Frequency Switching Applications", IEEE Device Research Conf. 1999, Santa Barbara, CA (1999).
- (7) F. Dahlquist, J.-O. Svedberg, C.-M. Zetterling, M. Östling, B. Breitholtz, and H. Lendenmann: "A 2.8 kV, Forward Drop JBS Diode with Low Leakage", Mater. Sci. Forum **338-342**, 1179 (2000).
- (8) D. Peters, K.O. Dohnke, C. Hecht, and D. Stephani: "1700 V SiC Schottky Diodes Scaled to 25 A", Mater. Sci. Forum **353-356**, 675 (2001).
- (9) R. Singh, S. Ryu, J.W. Palmour, A. R. Hefner, and J.-S. Lai: "1500 V, 4 A 4H-SiC JBS Diodes", Proc. of Inter. Symp. on Power Dev. and ICs 2000, Toulouse (2000).
- (10) Q. Wahab, E.B. Macák, J. Zhang, L.D. Madsen, and E. Janzén: "Improvements in the Electrical Performance of High Voltage 4H-SiC Schottky Diodes by Hydrogen Annealing", Mater. Sci. Forum **353-356**, 691 (2001).
- (11) 土田秀一, 鎌田功穂, 直本保, 泉邦和, 「縦型放射加熱式 VPE 装置による厚膜・低キャリア濃度 4H-SiC エピタキシャル成長」 電学誌 **A**, **121-A**, 2 (1998)
- (12) H. Tsuchida, T. Tsuji, I. Kamata, T. Jikimoto, H. Fujisawa, S. Ogino, and K. Izumi: "Characterization of 4H-SiC Epilayers Grown at a High Deposition Rate", Mater. Sci. Forum **353-356**, 131 (2001).
- (13) A. Ellison, J. Zhang, W. Magnusson, A. Henry, Q. Wahab, J.P. Bergman, C. Hemmingsson, N.T. Son, and E. Janzén: "Fast SiC Epitaxial Growth in a Chimney CVD Reactor and HTCVD Crystal Growth Developments", Mater. Sci. Forum **338-342**, 131 (2000).
- (14) K.G. Irvine, R. Singh, M.J. Paisley, J.W. Palmour, O. Kordina, and C.H. Carter, Jr.: "5.5 kV Bipolar Diodes from High Quality CVD 4H-SiC", Mater. Res. Soc. Symp. Proc. **512**, 119 (1998).
- (15) T. Kimoto, H. Yano, S. Tamura, N. Miyamoto, K. Fujihira, Y. Negoro, and H. Matsunami: "Recent Progress in SiC Epitaxial Growth and Device Processing Technology", Mater. Sci. Forum **353-356**, 543 (2001).
- (16) H. Tsuchida, I. Kamata, T. Jikimoto, and K. Izumi: "Growth of Thick 4H-SiC Epilayers in a Vertical Radiant-Heating Reactor", Mater. Res. Soc. Symp. Proc. **640**, H2.12.1 (2001).
- (17) A. Ellison: "Silicon Carbide Growth by High Temperature CVD Techniques", Doctoral Thesis, Dissertation No. 599, Linköping University (1999).
- (18) A.A. Burk, Jr. and L.B. Rowland: "The Role of Excess Silicon and in Situ Etching on 4H-SiC and 6H-SiC Epitaxial Layer Morphology", J. Crystal Growth **167**, 586 (1996).
- (19) J.A. Powell and D.J. Larkin: "Process-Induced Morphological Defects in Epitaxial CVD Silicon Carbide", Phys. stat. sol. (b) **202**, 529 (1997).
- (20) T. Kimoto, N. Miyamoto, and H. Matsunami: "Performance Limiting Surface Defects in SiC Epitaxial p-n Junction Diodes", IEEE Trans. on Electr. Dev. **46**, 471 (1999).
- (21) I. Kamata, H. Tsuchida, T. Jikimoto, and K. Izumi: "Structural Transformation of Screw Dislocations via Thick 4H-SiC Epitaxial Growth", Jpn. J. Appl. Phys. **39**, 6496 (2000).
- (22) I. Kamata, H. Tsuchida, T. Jikimoto, and K. Izumi: "Improvement in Electrical Properties of 4H-SiC Epilayers by Micropipe Dissociation", Jpn. J. Appl. Phys. **40**, L1012 (2001).
- (23) P.G. Neudeck: "Electrical Impact of SiC Structural Crystal Defects on High Electric Field Devices", Mater. Sci. Forum **338-342**, 1161 (2000).
- (24) T. Tsuji, R. Asai, K. Ueno, and S. Ogino: "Optical Beam induced Current Analysis of High-Voltage 4H-SiC Schottky Rectifiers", Mater. Sci. Forum **338-342** (2000).

土田 秀一

(正員) 1967 年 12 月 26 日生。90 年 3 月長岡技術科学大学工学部電子機器工学課程卒業。92 年同大学大学院工学研究科電気機器工学専攻修士課程修了。同年 (財) 電力中央研究所入所。SiC 結晶の気相成長, 赤外分光に関する研究に従事。工学博士。97 年応用物理学会講演奨励賞受賞。日本応用物理学会, 日本結晶成長学会会員。

辻 崇

(非会員) 1969 年 1 月 23 日生。91 年 3 月北海道大学工学部電気工学科卒業。93 年 3 月同大学大学院工学研究科電気工学専攻修士課程修了。同年 (株) 富士電機総合研究所入社。無機 EL ディスプレイ、SiC デバイスの研究に従事。日本応用物理学会会員。

藤澤 広幸

(非会員) 1963 年 8 月 12 日生。87 年 3 月東京工業大学工学部電子物理工学科卒業。同年 (株) 富士電機総合研究所入社。97～99 年米国メリーランド大学客員研究員。半導体材料、強誘電体、SiC デバイスの研究に従事。日本応用物理学会会員。

鎌田 功徳

(非会員) 1967 年 7 月 13 日生。92 年 3 月筑波大学第 3 学群基礎工学類卒業。94 年同大学大学院物質工学系修士課程修了。同年 (財) 電力中央研究所入所。SiC 結晶成長および結晶欠陥評価に関する研究に従事。2000 年応用物理学会講演奨励賞受賞。日本応用物理学会、日本結晶成長学会会員。

直本 保

(非会員) 1970 年 3 月 10 日生。93 年 3 月岡山大学理学部物理学科卒業。95 年 3 月岡山大学大学院理学研究科修了。98 年 3 月岡山大学大学院自然科学研究科修了。同年 (財) 電力中央研究所入所。SiC 結晶表面・界面の構造評価に関する研究に従事。理学博士。応用物理学会、日本放射光学会、日本物理学会、日本表面科学学会会員。

萩野 慎次

(非会員) 1956 年 6 月 26 日生。80 年 3 月東京大学工学部金属材料学科卒業。同年富士電機 (株) 入社。同年 (株) 富士電機総合研究所出向。90 年から 92 年米国バーデュー大学客員研究員。半導体発光素子、SiC デバイス、化学センサなどの研究に従事。日本応用物理学会会員。

泉 邦和

(正員) 1945 年 10 月 4 日生。68 年 3 月関東学院大学工学部 2 部電気工学科卒業。64～77 年 (財) 超高压電力研究所勤務。77 年 (財) 電力中央研究所入所。83 年横浜国立大学工学部研究員。89～90 年米国コネチカット大学客員研究員。主として、送変電機器の研究開発に従事。工学博士。92 年電気学会進歩賞、98 年同論文賞受賞。