溶融金属吸引法により作製した Au-Sn 充填貫通配線

正員 山本 敏* 正員 末益 龍夫*
 非会員 糸井 和久* 非会員 和田 英之*
 正員 滝沢 功*

Through-Hole Interconnections Filled with Au-Sn Solder by Molten Metal Suction Method

Satoshi Yamamoto*, Member, Tatsuo Suemasu*, Member, Kazuhisa Itoi*, Non-Member,
 Hideyuki Wada*, Non-Member, Takashi Takizawa*, Member

We have developed through-hole interconnections in silicon substrates, which can be applied for Micro Electro-Mechanical System (MEMS) devices or high-density packaging. The through-holes were formed by Deep Reactive Ion Etching (DRIE) and filled with Au-Sn solder by Molten Metal Suction Method (MMSM). The MMSM we have proposed is an unique and distinctive technology to fill high aspect ratio through-holes with conductive metal. We could make more than 18,000 conductive through-holes, 30 μ m in diameter and 300 μ m in depth, in a 4 inch silicon wafer by the MMSM. We report principle, filling process and optimization of the MMSM. We also present structure, fabrication processes and electrical characteristics of the conductive through-holes.

キーワード：貫通配線，金属充填，溶融金属吸引法

Keywords : through-hole interconnections, metal filling, Molten Metal Suction Method

1. まえがき

LSI の更なる高機能化，高密度化へ向けた実装・パッケージング技術の研究開発が，近年数多く報告されている。なかでも，デバイスが作製されている基板に貫通配線を形成し，垂直方向に積層する 3 次元積層実装においては，各要素技術の開発にもほぼ目処が立ち，実現に向けて着実に前進してきている^{(1)~(4)}。

一方，MEMS(Micro Electro-Mechanical System)分野や MOEMS(Micro Optical Electro-Mechanical System)分野においても，貫通配線形成技術は，デバイスの小型化や高機能化を実現する上で，非常に重要な技術であると考えられる。我々は，電子デバイスや MEMS デバイスの小型化，高機能化，また，それらを高密度実装する際に利用することを目的に，Si 基板に高アスペクト比の貫通配線を形成する技術を開発してきた。

Si 基板に貫通配線を形成する場合，大きく 3 つの要素技術が必要となる。基板に微細孔を形成する技術，孔壁に絶縁層を形成する技術，微細孔内に導電性物質を充填する技術である。Si 基板に微細孔を形成する技術としては，これ

までに DRIE(Deep Reactive Ion Etching)やレーザー加工が適用されている⁽⁵⁾⁽⁶⁾。また我々は，溶液によるケミカルエッチングの一種であり，アスペクト比が 100 を超えるような微細孔を，高密度に形成できる PAECE(Photo Assisted Electro-Chemical Etching)を開発した⁽⁷⁾⁽⁸⁾。孔壁に絶縁層を形成する技術としては，低温プロセスの観点から，PECVD(Plasma Enhanced Chemical Vapor Deposition)による SiO₂ 膜が検討されている。また，特に温度的な制約がなければ，熱酸化により SiO₂ 層を形成することもできる。孔内に導電性物質を充填する技術としては，Cu や Ni などの金属をメッキにより充填することが報告されている⁽⁹⁾⁽¹⁰⁾。また我々は，溶融金属吸引法(Molten Metal Suction Method ; MMSM)⁽⁷⁾⁽⁸⁾による金属充填や，真空印刷による導電性ペーストの充填⁽¹¹⁾を提案してきた。

その中で MMSM は，真空容器内において圧力差を利用して，1 度に多数の孔に溶融した金属を充填するというユニークな方法であり，充填できる金属に制限があるものの，高アスペクト比の微細孔に気密性良く金属充填ができる。しかしながら，これまで我々は，Si 基板への微細孔形成については詳細な検討をしてきたものの，MMSM に関しては基礎的な検討をおこなったのみで，系統的な実験や考察が不足していた。また，貫通配線を実際のデバイスに適用するには，MMSM における金属充填の歩留りをより一層向上す

* (株)フジクラ電子デバイス研究所
 〒135-8512 東京都江東区木場 1-5-1
 Electron Device Laboratory, Fujikura Ltd.
 1-5-1, Kiba, Koto-Ku, Tokyo 135-8512

る必要があった。

そこで本論分では、Si 基板に高アスペクト比の貫通配線を形成する技術のうち、MMSM による金属充填を中心に報告する。MMSM の原理やプロセスの最適化、また、充填歩留り向上のためにおこなった系統的な検討について詳述する。更に、実際に Au-Sn を充填して作製した貫通配線の構造や、基礎的な電気特性を評価した結果についても述べる。

2. MMSM の原理と貫通配線の作製方法

〈2・1〉 溶融金属吸引法(MMSM) MMSM の原理を、図 1 に示したプロセスフローの概略模式図を用いて説明する。まず、真空チャンバ内に、ヒーターを備えた容器と、微細孔が形成された基板を設置する。この容器には、ヒーターにより熱せられて溶融した金属が満たされている。初め、チャンバ内の圧力を数十 Pa まで減圧した後、基板を溶融金属内に浸漬する。この時、微細孔内部はチャンバ内と同程度の圧力まで減圧されている。次いで、チャンバ内の圧力を N₂ ガスなどにより大気圧程度まで加圧する。その際、微細孔内部とチャンバとの間に圧力差が生じるため、この差圧により微細孔内部に溶融金属が吸引充填される。最後に、基板を溶融金属内から引き上げ、冷却して充填が完了する。なお、基板をわずかに傾けて引き上げることで、基板上に溶融金属が残るのを防いでいる。

このように MMSM は、1 度に多くの微細孔に、また、比較的簡単に金属充填ができるという優れた特徴を有するが、その原理由に充填できる金属に制限がある。まず、充填作業を真空雰囲気中で行うため、融点近傍での蒸気圧が低い金属でなくてはならない。また、熱でのみ金属を溶かして充填するというプロセスであるため、高融点の金属を溶かせない、あるいは実際にデバイスが形成されている基板への適用では、デバイスへの熱的なダメージを考慮しなければならないなどの理由から、融点が 400℃程度以下の金

属が望まれる。更に充填した金属を電気的な配線として利用するため、それ自体の固有抵抗値が低いこと、また、吸引された金属が降温時に収縮してボイドが発生したり、孔から抜け落ちたりしないように、凝固収縮率が小さいことなどが必要である。これらのことを考慮していくつかの金属を検討した結果、In(融点 156℃)や Sn(融点 232℃)などの純金属、Au-Sn などの合金が充填可能であることを確認した。

〈2・2〉 貫通配線作製方法 次に、図 2 に示したプロセスフローを用いて、本実験における貫通配線の作製方法を説明する。

まず、4 インチ Si 基板に、DRIE により微細孔を形成した。この微細孔は、図 3 に示すように、直径が 30μm、深さが 350μm (アスペクト比≒11.7)の非貫通孔(ブラインドビア)である。この微細孔が 5mm 角チップ上に 84 個形成されており、更にこのチップが 4 インチ Si 基板上に 222 個面付けしてある。従って、4 インチ Si 基板上には、18,648 個の微細孔が形成されていることになる。

微細孔形成後、Si 基板表面および孔壁に厚さが 1μm 程度

図 1 MMSM による金属充填の模式図
Fig. 1. Schematic procedure of MMSM.

図 2 貫通配線の作製方法
Fig. 2. Schematic process flow of through-hole interconnections.

図 3 微細孔の模式図
Fig. 3. Cross-sectional image of holes.

の SiO_2 からなる絶縁層を形成した。本実験では、 1100°C のスチーム酸化、またはテトラエトキシシラン (tetra-ethylortho-silicate ; TEOS) を出発原料とする PECVD のいずれかの方法により SiO_2 膜を形成した。

絶縁層形成後、MMSM により微細孔内に金属充填を行った。本実験では充填金属として、共晶系の合金であり、光デバイスの実装などで実績のある $\text{Au}(80\text{wt}\%)\text{-Sn}(20\text{wt}\%)$ (融点 283°C) を適用した。まず、チャンバ内を 50Pa 程度まで減圧した後、微細孔が形成されている Si 基板を、治具を用いて溶融 Au-Sn 内に 1 分ほど浸漬した。このとき、溶融 Au-Sn の温度は 330°C で一定になるようにした。その後、チャンバ内を N_2 ガスにより大気圧程度まで加圧し、微細孔内に溶融 Au-Sn を吸引充填した。充填後、直ちに Si 基板を溶融 Au-Sn 槽から引き上げ、微細孔内に充填した Au-Sn が固化するまで十分に冷却した。

MMSM により Au-Sn を充填した微細孔はブラインドビアであるため、基板の表裏を貫通させるには Si 基板の研磨が必要となる。本実験では、 Si 基板両面を機械的に研磨することにより、貫通配線を形成した。

研磨後の基板表面は、貫通配線部を除いて Si が剥き出しになった状態なので、この部分に絶縁層を形成する必要がある。この絶縁層形成は、 Au-Sn の再溶融を防ぐために、 Au-Sn の融点以下の温度でおこなわなければならない。本実験では、TEOS を原料ガスとする PECVD により、基板温度を 200°C として、基板全面に SiO_2 を成膜した。その後、貫通配線部上の SiO_2 膜をエッチングにより除去し、更に金属膜からなるパッドや電気特性評価のための配線を施した。本実験では、 Cr および Au でパッドを形成した後、 Al によりダイジーチェーン回路を形成して電気特性を評価した。

3. 結果と考察

〈3・1〉 構造評価 本開発の初期においては、図 4 の断面 SEM (Scanning Electron Microscopy) 写真に示すように、全く Au-Sn が充填されていない微細孔や、途中までしか充填されていない微細孔が多数存在した。そのため、ウェハ内の充填歩留り (孔総数に対する良好な孔数の割合) は、50% 程度と大変低かった。この原因を明らかにするために、MMSM による系統的な充填実験、特に充填の様子を目視で観察し、メカニズム解明の一助にする目的で、同程度の大きさの微細孔を有するガラス基板を用いた充填実験をおこなった。その結果、基板を熔融金属内から引き上げる際に、一度微細孔内に充填された熔融金属が、孔の外に流れ落ちてしまっていることが判明した。更に詳細に調査した結果、この微細孔からの金属流出は、基板引き上げ時の基板の傾きが大きい方が、より顕著であることが明らかとなった。なお、図 4 に示した断面 SEM の観察から、ここでは図示していないが、孔内に残った金属は微細孔の先端まで完全に充填されていたことから、熔融金属中では圧力差により微細孔内に金属が完全に充填されていると考えられる。そこで、図 5 に示すように、微細孔の開口部に Au-Sn とぬれ性

図 4 微細孔の断面 SEM 写真 (A: 全く金属が充填されていないもの、B: 途中までしか充填されていないもの)
Fig. 4. Cross-sectional SEM images of hole, which was (A) unfilled and (B) filled in a part.

図 5 開口部に形成した金属パッド
Fig. 5. Metal Pads formed at opening edges of holes.

図 6 Au-Sn 充填後の微細孔の断面 SEM 写真
(チップ全体図)

Fig. 6. SEM images of holes filled with Au-Sn .

がよい金属からなるパッドを設け、孔内に充填された Au-Sn と開口部との密着性を高めることで、基板を引き上げる際の Au-Sn の流出を防ぐことを試みた。本実験では、厚さが 500nm のスパッタ Au 膜によりパッドを形成した。

図 6 および図 7 は、開口部に Au パッドを形成した微細孔に、 Au-Sn を充填した際の断面 SEM 写真である。図 6 はチ

図 7 Au-Sn 充填後の微細孔の断面 SEM 写真 (拡大図)
Fig. 7. SEM images of holes filled with Au-Sn.

図 8 研磨後の貫通配線の断面 SEM 写真
Fig. 8. SEM images of through-holes after grinding.

チップ全体の写真であり、図 7 は微細孔部分の拡大写真である。充填した Au-Sn 内部にボイドなどの欠陥は全くなく、またこれまで問題となっていた未充填孔も全く認められず、微細孔先端まで均一に充填できていることがわかる。充填後の基板を光学顕微鏡により観察した結果、ウェハ面内における充填歩留りは、作製した全てのサンプルで 99% 以上と大きく向上した。以上の結果から、微細孔の開口部に Au パッドを設けることで、MMSM における基板引き上げ時に発生していた微細孔からの Au-Sn の流出を防げることが明らかとなった。これは、図 7 に示した開口部の拡大図からもわかるように、充填した Au-Sn が Au パッドにぬれることで、基板との密着性が向上したためと考えられる。

Au-Sn 充填後、基板両面を機械的に研削し、更にポリッシュ加工することで、表裏を貫通する貫通配線を形成した。図 8 は、研磨後の Si 基板の断面 SEM 写真である。Au-Sn と Si という異種材料同士を同時に研磨するため、研磨ムラや開口部の凹凸などが心配されたが、研磨後の表面形状測定からは、開口部の凹凸は $0.1\mu\text{m}$ 以下と小さく、研磨面も非常に平坦であることが確認された。また、研磨後の基板表

図 9 デイジーチェーン回路
Fig. 9. A picture of daisy chain circuits.

図 10 貫通配線部の回路抵抗
Fig. 10. Electrical resistance of through-hole interconnections.

面をエネルギー分散型 X 線分析(Energy Dispersive X-ray analysis;EDX)により評価したところ、Au-Sn の研磨ダレによる Si 基板の汚染なども全く認められなかった。

〈3・2〉 電気的特性の評価 本実験で作製した貫通配線は、直径が $30\mu\text{m}$ と微細であり、また 1 チップあたり 84 本の貫通配線が形成されていることから、電気的特性の評価にはデイジーチェーン回路を用いることとした。このデイジーチェーン回路は、図 9 に示すように、チップ内の 84 孔全てを電気的に接続したものであり、途中何箇所かに外部への引き出し回路を設けてある。本実験では、作製した貫通配線の導通の有無や回路抵抗、また、Si 基板と貫通配線間の絶縁耐圧を評価した。

図 10 は、デイジーチェーン回路を含めた貫通配線の電気

図 11 絶縁耐圧の測定方法

Fig. 11. Measurement of breakdown voltage.

抵抗を示したグラフである。横軸は貫通配線の個数(孔数)を示しており、縦軸は抵抗値である。四角形でプロットした値が実測値であり、円形でプロットした値は、Au(80wt%)-Sn(20wt%)の比抵抗と微細孔の形状から、計算で求めた設計値(デジチェーン部も含む)である。貫通配線の本数が増加するのにはほぼ比例して、抵抗値も増加していることから、個々の貫通配線がチップ内で均一に形成できていることがわかる。しかしながら設計値と比較して、実測値は約 2 倍ほど大きい値を示している。この原因はまだ明らかとなっていないが、デジチェーン回路と貫通配線との電気的な接触不良、例えば裏面の研磨不足などが原因で、貫通配線とデジチェーンとの接触部分の抵抗が高くなっていることが考えられる。

次に、図 11 に示すような方法で、貫通配線部と Si 基板間との絶縁耐圧を調べた。特に MEMS 分野では、電極間に 100V を超えるような高い電圧を印加するデバイスが少なくないため、個々の貫通配線には高い絶縁耐圧が要求される。いくつかのサンプルを用いて測定した結果、絶縁耐圧の平均は約 550V であった。この値は、MEMS デバイスへの応用に十分であると考えられる。

4. むすび

Si 基板に高アスペクト比の貫通配線を形成する技術に関し、特に MMSM を中心に報告をした。MMSM による金属充填の歩留りを向上するために、充填方法の改善など系統的な検討をおこなった。その結果、直径が 30 μ m で、アスペクト比が 10 以上の微細孔に、ボイドなどの欠陥もなく、均一に金属を充填することが可能となった。実際に Au(80wt%)-Sn(20%)を充填して貫通配線を作製し、その基礎的な特性を評価した結果、本開発の目的である電子デバイスや MEMS デバイスの小型化、高機能化、また、それらの高密度実装に十分利用できる可能性があることを確認した。今後は、実デバイスへ応用に向けて、特に重要となる高周波特性や貫通配線部の寄生容量、また信頼性などを評価していく予定である。

(平成 15 年 1 月 17 日受付, 平成 15 年 6 月 26 日再受付)

文 献

- (1) M. Umemoto, K. Tanida, Y. Tomita, T. Ando, and K. Takahashi : "Super-Fine pitch Non-metallurgical bonding with NCP on the Three-dimensional Stacked LSI", *Proc. of MES 2002*, pp.55-58 (in Japanese) 梅本光雄・谷田一真・富田至洋・安藤達也・高橋健司 : 「3 次元積層 LSI における微細ピッチ NCP 圧接」, 第 12 回マイクロエレクトロニクスシンポジウム論文集, pp.55-58 (2002)
- (2) K. Okumura and N. Hayasaka : "Genuine Technologies for Tree-Dimensional (3D) LSI", *Proc. of SSDM*, Nagoya, Japan, September 17-20, pp.312-313 (2002)
- (3) K. Tanida, Y. Tomita, T. Morifuji, T. Ando, R. Kajiwar, N. Tanaka, T. Sato, K. Takahashi, and M. Bonkohara : "Superfine Flip Chip Interconnections in 20 μ m-pitch", *Proc. of 2002 International Conference on Electronics Packaging (ICEP)*, Tokyo, Japan, April 17-19, pp.333-338 (2002)
- (4) *Proc. of the 16th JIEP Annual Meeting*, pp.307-308 (in Japanese) 田子雅基・富田充洋・春原昌宏・藤井知徳・佐藤知穂・高橋健司 : 「3 次元実装における Cu 電極接合技術」, 第 16 回エレクトロニクス実装学術講演大会論文集, pp.307-308 (2002)
- (5) K. Takahashi, H. Terao, Y. Tomita, Y. Yamaji, M. Hoshino, T. Sato, T. Morifuji, M. Sunohara, and M. Bonkohara : "Current Status of Research and Development for Three-Dimensional Chip Stack Technology", *Jpn. J. Appl. Phys.*, Vol.40, pp.3032-3037 (2001)
- (6) N. Mashino, K. Murayama, T. Kurihara, M. Higashi, and M. Shimizu : "Development of Wiring Technologies for Chip-Level 3-Dimensional Assembly", *Proc. of MES 2001*, pp.327-330 (2001) (in Japanese) 真篠直寛・村山 啓・栗原 孝・東 光敏・清水満晴 : 「チップレベル 3 次元実装用配線技術の開発」, 第 11 回マイクロエレクトロニクスシンポジウム論文集, pp.307-308 (2002)
- (7) T. Takizawa, S. Yamamoto, K. Itoi, H. Nakamura, and T. Suemasu : "Research for Conductive Interconnections through Silicon Substrates", *Proc. of The Seventh International Micromachine Symposium*, Tokyo, Japan, October 31-November 1, pp.181-186 (2001)
- (8) T. Takizawa, S. Yamamoto, K. Itoi, and T. Suemasu : "Conductive Interconnections through Thick Substrates for 3D Packaging", *Proc. of The Fifteenth IEEE International Conference on Micro Electro Mechanical Systems*, Las Vegas, Nevada, USA, January 20-24, pp.388-391 (2002)
- (9) K. Kondo, T. Okamura, J. J. Sun, M. Tomisaka, H. Yonemura, M. Hoshino, and K. Takahashi : "High Aspect Ratio Copper Via Fill used for Three Dimensional Chip Stacking", *Proc. of 2002 International Conference on Electronics Packaging (ICEP)*, Tokyo, Japan, April 17-19, pp.327-332 (2002)
- (10) X. Li, T. Abe, Y. Liu, and M. Esashi : "High Density Electrical Feedthrough Fabricated by Deep Reactive Ion Etching of Pyrex Glass", *Proc. of The Fourteenth IEEE International Conference on Micro Electro Mechanical Systems*, Interlaken, Switzerland, January 21-25, pp.98-101 (2001)
- (11) "Interconnection Through-Holes Filled With Conductive Paste In Silicon Substrates Using Vacuum Printing Method", *Proc. of the 16th JIEP Annual Meeting*, pp.309-310 (2002) (in Japanese) 中村裕成・山本 敏・末益龍夫・滝沢 功・神原健二 : 「真空印刷法によるシリコン基板への導電性ペースト充填貫通電極」, 第 16 回エレクトロニクス実装学術講演大会論文集, pp.309-310 (2002)

山 本 敏

(正員) 1997 年 3 月埼玉大学工学部機能材料工学科卒業。1999 年同大学院理工学研究科機能材料工学専攻修了。同年、(株)フジクラ入社。現在、MEMS 分野におけるデバイスの研究・開発に従事。電気学会、応用物理学会会員。

末 益 龍 夫

(正員) 1987 年静岡大学工学部工業化学科卒業。同年、藤倉電線(株)(現(株)フジクラ)入社。以来、酸素センサ、MEMS 関連デバイスの研究・開発に従事。エレクトロニクス実装学会会員。

和 田 英 之

(非会員) 2000 年弘前大学理学部化学科卒業。2002 年同大学院理学研究科化学専攻修了。同年、(株)フジクラ入社。以来、MEMS 関連デバイスの開発に従事。

糸 井 和 久

(非会員) 1998 年 3 月明治大学理工学部電子通信工学科卒業。2000 年 3 月同大学院理工学研究科電気工学専攻修了。同年、(株)フジクラ入社。以来、MEMS デバイスの研究・開発に従事。応用物理学会、物理学会会員。

滝 沢 功

(正員) 1982 年上智大学理工学部電気電子工学科卒業。同年、藤倉電線(株)(現(株)フジクラ)入社。以来、半導体圧力センサ、MEMS 関連デバイスの開発に従事。エレクトロニクス実装学会会員。