超音波マイクロアレイセンサ用加算機能付き BBD の開発

正 員 田中 恒久* 非会員 莫 要武**
 非会員 土谷 明* 非会員 井上 幸二*
 非会員 有田 滋* 正 員 鈴木 義彦***
 正 員 山下 馨**** 正 員 奥山 雅則****

Development of BBD Adding-Delay Architecture for Ultrasonic Micro Array Sensor

Tsunehisu Tanaka*, Member, Yaowu Mo**, Non-member, Akira Tsuchitani*, Non-member
 Koji Inoue*, Non-member, Shigeru Arita*, Non-member, Yoshihiko Suzuki***, Member
 Kaoru Yamashita****, Member, Masanori Okuyama****, Member

Bucket Brigade Device (BBD) adding-delay architecture was proposed as the analog beamformer for piezoelectric micromachined ultrasonic sensor phased array. BBD adding-delay architecture were used both as delay and adding elements, and the input signals were distributed adding in the process of delay. This architecture was useful to reduce chip area, simplify system design, and realize on-chip integration. Combining piezoelectric micromachined ultrasonic array sensors and the analog delay-sum circuits successfully performed two-dimensional object detection.

キーワード：BBD, 超音波センサ, 遅延加算, フェイズド・アレイ

Keywords: Bucket Brigade Device Ultrasonic Sensor, Adding Delay, Phased Array

1. はじめに

近年ロボット関連の研究開発の発展が目覚ましい。工場内の組み立てロボットや無人搬送ロボットから、オフィス用や病院用の搬送ロボット、家庭用のお掃除ロボットや、ペット用ロボット、そしてより人間形に近づいたヒューマノイドといわれる 2 足歩行ロボットと多種多様なロボットの開発がなされている。ロボットが自分の位置や障害物を認知するためには、人の目にあたるセンサが必要であり、センサには CCD カメラや超音波センサ⁽¹⁾、レーザーセンサが複合的に組み合わせられて用いられている。

超音波センサを用いた空間計測システムの特徴は、外部

環境、安全性の点で優れている点である。超音波による計測方式がアクティブ型のため暗闇や逆光のような光の影響を受けずに測定できる。レーザーセンサと比較して法的な規制を受けることがなく、人体に対する有害性もほとんどない。またコストの点においてレーザーセンサは高価であるので、安価な超音波センサシステムが開発できれば、コスト的にも有用性は高まると考えられる。超音波による計測は音の特性上、空気中において測定距離 50mm から 3m 程度の計測に適しており、ロボット用近距離センサとして適している。

本研究において、ロボットや各種器具の近距離センサ用として小型・軽量・安価な超音波三次元計測システムの開発を目的にしている。目標とする大きさは、100mm×100mm×100mm 以下、重さ 500g 以下である。図 1 に作製した超音波センサモジュールを示す。この試作機は、送波子には火花放電器、受波子には超音波マイクロアレイセンサ⁽²⁾を用いている。この超音波センサモジュールは、送波子と受波子一体型のみであるが、今後はさらに信号処理回路も一体化して、単体でセンシングから信号処理まで行うモジュールを開発する予定である。リニアアレイセンサを用いた二次元計測もしくはエリアアレイセンサを用いた三次元計測法として、フェイズド・アレイ方式の遅延加算処理による電

* 大阪府立産業技術総合研究所
〒594-1157 大阪府和泉市あゆみ野 2-7-1
Technology Research Institute of Osaka Prefecture,
2-7-1 Ayumino, Izumi, Osaka 594-1157

** セイコーエプソン (株)
〒399-0293 長野県諏訪郡富士見町富士見 281
SEIKO EPSON CORPORATION

*** 281 Fujimi, Fujimi-cho, Nagano 399-0293
独立行政法人科学技術振興機構 研究成果活用プラザ大阪
〒594-1144 大阪府和泉市テクノステージ 3-1-10
Japan Science and Technology Agency

**** 3-1-10 Techno-stage, Izumi, Osaka 594-1144
大阪大学大学院基礎工学研究科
〒560-8531 大阪府豊中市待兼山町 1-3
Graduate School of Engineering Science, Osaka University
1-3 Machikaneyama-cho, Toyonaka, Osaka 560-8531

子走査がある。従来のコンピューターを用いたデジタル信号処理中心の計測システムでこの電子走査を行う場合は、センサ個数分の A/D 変換器と、高速メモリと高度な信号処理回路が必要であり、装置が大型化し、コストも高価である。本論文では、電子走査に使う遅延加算の信号処理をアナログ処理化する方法を提案する。前処理をアナログ処理化することで、A/D 変換器を大幅に削減でき、後処理のデジタル信号処理回路の簡易化が可能である。本研究では、超音波マイクロアレイセンサの開発と信号処理回路の小型化で、従来にない小型・軽量・安価な超音波センサシステムの開発を目指す。

2. システム設計

一般的な超音波計測では送波子と受波子を同一のセンサを使うことが多い。しかし本研究の超音波計測においては、受波子と送波子を分離した。その理由は、受波子に用いる超音波マイクロアレイセンサがダイアフラム型薄膜センサでありその構造上大きな音圧の送波に適しないためである。現在検討中の計測システムは、図 1 に示した超音波センサモジュールのようなシステムである。作製した超音波センサモジュールの大きさは、縦 100mm、横 70mm、奥行き 60mm、重さ 250g である。上部に火花放電器があり、下部に超音波センサ数 49 個の超音波アレイセンサがある。放電針の放電の中心から超音波マイクロアレイセンサの中心までの距離は 55mm であり、送波が直接受波子に入射しないようにスポンジで分離している。火花放電器の材料は 2 本の針と絶縁用テフロン樹脂と昇圧回路と乾電池であり、簡単に作製できる。放電は 2 本の針を間隔 6mm で対向させて行う。本火花放電器の音圧を無響音室にて B&K 社の 1/4inch マイクロフォンを用いて評価したところ距離 1m での音圧は 4.2Pa であった。図 2 に火花音源の音圧と距離の関係を示す。表より音圧 $P(\text{Pa})$ と距離 $a(\text{m})$ の間には、反比例する関係がある。

送波子に火花放電器を用いる理由は、他に火花放電器より良い送波子がないためであり、他に良い送波子が得られるまでは、本火花放電器を用いる予定である。

火花放電器の良い点は、

- ・ 送波される音波は無指向性の球面波である。
- ・ 送波される音波はインパルス波であるために、周波数帯域が広帯域に平滑である。
- ・ 周波数帯域が広帯域なために異なる共振周波数を持つ受波子にも使用可能である。

等が挙げられる。

図 3 に受波子に用いた超音波マイクロアレイセンサを示す。超音波マイクロアレイセンサの全体の大きさは 18mm×18mm である。素子周辺部には、50 個の電極パッドがあり、素子内部に 49 個のアレイセンサが配置されている。作製方法は、SOI(Silicon on insulator)を基板とした MEMS(Micro Electro Mechanical Systems)技術である。異方性エッチング液に TMAH を用いたシリコンバルク異方性エッチング技術に

図 1 超音波センサモジュール

Fig. 1. Ultrasonic sensor module.

図 2 火花音源の音圧と距離の関係

Fig. 2. Pressure of spark sound source.

Surface side

Back side

図 3 超音波マイクロアレイセンサ

Fig. 3. Ultrasonic micro array sensor.

より厚み 4μm のダイアフラム構造を作製した。

個々の超音波センサの大きさは 700μm×700μm である。超音波センサの配置は、1.7mm 間隔で、縦 7 列、横 7 行の格子状のエリアセンサになっている。超音波マイクロアレイセンサは、Q 値 80 の単振動型の共振子で共振周波数は 60～150kHz の中から設計によるメンブレンサイズの変更により所望の周波数を選択できる。

本研究の仕様は、最大測定距離 2m、空間分解能 5mm 以下、角度分解能 10 度以下である。超音波を用いた空気中の物体計測において、使用する超音波の周波数の選択は最も重要である。超音波の周波数を大きくすると、高い空間分解能が得られる反面、空気中での超音波の減衰が大きくなり長い測定距離が難しくなる。また周波数を低くすると外部環境の雑音の影響を受けやすくなる。超音波の周波数が

100kHz の場合、空気中の超音波の減衰は、距離 4m で音圧が 10 分の 1 程度になる。本研究に用いる超音波センサの感度、SN 比から、この減衰が限界である。空間分解能は、周波数 100kHz において 3.4mm である。角度分解能を上げる場合は、超音波の指向性を上げる必要があり、リニアアレイセンサにおいて開口径を大きくすると超音波の指向性を上げることができる。リニアアレイセンサの開口径 10.2mm、周波数 100kHz の場合、メインローブの半値幅は約 23 度であり、単体の物体の識別であれば、角度分解能 10 度が可能である。以上の条件により周波数 100kHz を最適値として選択した。

この超音波センサモジュールにおいて送波子の火花放電器から送波される超音波は無指向性の球面波でかつ広帯域な周波数特性を持つが、受波子の超音波マイクロアレイセンサの電子走査により指向性を持ち、高い Q 値により所望の周波数の単振動波に変換される。従ってこの超音波センサモジュールからの出力は、単振動として取り扱ってよい。評価時には正弦波を用いる。

次にフェイズド・アレイ方式の可変遅延回路を用いた二次元方向の電子走査について説明する。電子走査回路の概念図を図 4 に示す。リニアアレイセンサからの出力をアンプ回路に入力する。その出力を可変遅延回路に入力し、電子走査したい角度に応じた遅延を行う。その出力を加算器にて加算処理することにより、任意の方向への電子走査が可能となる。

アレイセンサ間隔を d とすると、走査角度 θ における隣接するアレイセンサ間の位相の遅れは、 $d \sin \theta$ である。この位相の遅れに対し、可変遅延回路にて位相の遅れのない信号に遅延時間を多くかけて、相対的に位相の遅れを除去して加算することにより、受信方向の電子走査が可能となる。隣接する可変遅延回路の遅延時間の差を τ_d 、センサ間隔を d 、走査角度を θ 、音速を c とすると(1)式の関係が成り立つ。

$$\tau_d = \frac{d \sin \theta}{c} \quad (1)$$

図 4 電子走査回路の概念図

Fig. 4. Block diagram of the front-end processor for ultrasonic imaging system.

また、音速 c と周波数 f_c と波長 λ の間には(2)式の関係が成り立つ。

$$c = f_c \lambda \quad (2)$$

センサ間隔は、グレーティングローブの影響を考えると、波長の 50%以下にする必要がある。この理由は、電子走査を行った場合、グレーティングローブが虚像として見えるためである。超音波マイクロアレイセンサのセンサ間隔は 1.7mm であるのでグレーティングローブの影響はない。

従来の電子走査では、センサを所望の電圧までアンプで増幅した後、各出力を A/D 変換器によりデジタル信号化して、高速メモリとコンピュータを用いて処理を行っていた。その場合装置が大がかりになり、高価でもある。本研究では可変遅延回路と加算回路をアナログ化し、専用 IC を開発した。可変遅延回路として使用できるのは、CCD(Charge Coupled Device)と BBD(Bucket Brigade Device)⁽³⁾⁽⁴⁾だが、CCD はビデオ信号用に最適化されており、音声帯域のような低速の転送には転送効率の点から不適である。BBD は音声帯域用として使用されており、今回の超音波信号の遅延回路として適しているために BBD を使用した。設計作製した加算機能付き BBD は、BBD の基本回路に超音波信号に対応した高速応答性と加算機能を付加して作製した。

BBD 回路構成について図 5 を用いて説明する。BBD 回路は、入力部、転送部、出力部から構成されている。MOS-FET を F 、キャパシタを C と記述している。入力部では、入力信号を入力容量 C_i に電荷として取り込み、転送部では、クロック信号 ϕ_1, ϕ_2 に同期してバケツリレー式に電荷を次段の転送容量 C_B に転送し、出力部では、ソースフォロア回路によって信号を外部出力する。転送部は、1MOS-FET 素子、1 キャパシタを 1 単位として、必要な個数だけ並列接続されている。そして本論文では、この 1 単位を 1 段と呼ぶこととする。転送部に入力されるクロック信号 ϕ_1, ϕ_2 は、ノンオーバーラップの 2 相信号である。奇数段の FET ゲートには ϕ_1 が、偶数段の FET ゲートには ϕ_2 が入力されている。

次に BBD 回路と加算回路を組み合わせた遅延加算回路について検討を行う。最初にセンサ毎に BBD を並列配置しそ

図 5 BBD 回路図

Fig. 5. Schematic of BBD analog delay line.

の出力を加算処理するシステムについて検討した。図 6 に BBD を用いた遅延加算回路構成図を示す。ある角度に電子走査する場合、入力 V_{i1} から V_{iN} までのそれぞれの遅延量をリニアに変化させなければならない。入力 V_{i1} の遅延量を大きくするためには、クロック f_{clk1} を小さくする必要がある。また入力 V_{iN} の遅延量を小さくするためには、クロック f_{clkN} を大きくする必要がある。図 6 において原理を解り易く理解するために、クロック周波数の違いを示すためにボックスに濃淡を付けた。それぞれの BBD アレイが違うクロック周波数、すなわち違う転送速度で動作していることが解る。この回路構成を半導体集積回路化する場合、以下の問題点がある。同一チップ上に違う周波数のクロック信号を入力するため、クロストーク等の不具合が発生する可能性がある。BBD の周波数を制御するためのクロックジェネレータが各 BBD に必要である。出力を加算するための加算回路が必要になり素子数が多くなることである。

上記の半導体集積回路化する場合のいくつかの問題点を解決するために、逐次遅延加算方式を考案した。図 7 にその回路構成図を示す。逐次遅延加算構成は、同一クロックで動作する遅延回路を直列に並べ、センサ間隔の比率と遅延回路数を対応させ入力を各遅延回路の間で加算していく方式である。いま入力 V_{i1} から V_{iN} までを遅延加算する場合、同一クロック f_{clk} で遅延時間を制御する。各遅延用の BBD は、同じ周波数で動作するため、ボックスの濃淡も同一色である。この方式ではチップ上の遅延回路を、同一クロックで動作させることができ、クロストークによる誤作動の可能性を低減できる。また BBD 回路に加算機能を付加することにより加算回路も省略することができる。

図 6 BBD を用いた遅延加算構成図

Fig. 6. Block diagram of conventional delay-sum architecture using BBD analog delay line.

図 7 逐次遅延加算構成図

Fig. 7. Block diagram of the distributed delay-sum architecture using BBD analog delay line.

3. 加算機能付き BBD の開発

BBD 回路に加算機能を付加する研究を行った。BBD は、電荷転送素子であるので、転送部に着目し電荷加算による加算機能を考案した。図 8 に加算器 BBD の概念図を示す。MOS-FET を F、キャパシタを C と記述している。

入力信号 IN_1, IN_2 は MOSFET を用いたゲート回路により電荷加算され出力信号 OUT_3 となる。出力信号電圧 ΔV_3 、入力信号電圧 $\Delta V_1, \Delta V_2$ の関係は電荷保存則から(3)式になる。

$$C_{B3}\Delta V_3 = C_{B1}\Delta V_1 + C_{B2}\Delta V_2 \quad \text{.....(3)}$$

転送容量 C_{B1}, C_{B2}, C_{B3} を同一値とした場合、 ΔV_3 は、

$\Delta V_1, \Delta V_2$ の和となる。本加算器は BBD を基本に単純な回路で構成でき、回路として有用性が高い。しかし BBD を加算器として用いる場合、転送容量に蓄積できる電圧のダイナミックレンジには制限があり、加算による電荷のオーバーフローが起こる可能性がある。このオーバーフローを防止するために、以下の 2 つの方法が考えられる。

1 つの方法は、転送容量 C_{B3} を C_{B1}, C_{B2} の和とする方法である。しかし、今回設計する BBD は 7 つの信号を加算する必要がある、この場合転送容量が、最大 7 倍となり転送容量のセル面積が大きくなりチップ面積の増大を招く。また、時定数からも転送容量は小さい方が高速応答性に有利である。

もう 1 つの方法は、減衰器を用いて、あらかじめ入力信号を減衰させてから、加算することにより、転送容量一定値に保ちながら、電荷のオーバーフローを防止することができる。

今回、BBD を用いた減衰器を新たに考案した。図 9 に減衰器 BBD の概念図を示す。

入力信号 IN_4 は MOSFET を用いたゲート回路により電荷を出力信号 OUT_5, OUT_6 に分割される。出力信号電圧 $\Delta V_5, \Delta V_6$ 入力信号電圧 ΔV_4 の関係は電荷保存則から(4)式になる。

$$C_{B5}\Delta V_5 + C_{B6}\Delta V_6 = C_{B4}\Delta V_4 \quad \text{.....(4)}$$

転送容量 C_{B4}, C_{B5}, C_{B6} を同じ値にすることにより、電荷保

図 8 加算器 BBD の概念図

Fig. 8. Concept of charge adding of BBD cells.

存則から、出力電圧 ΔV_5 , ΔV_6 は、入力信号電圧 ΔV_4 の 1/2 になる。今回の設計では、信号入力部全てに、この減衰器を 3 段並列接続することで、入力信号を 1/8 に減衰させた。その後に加算を行ったことにより、転送容量を一定にしながら電荷のオーバーフローを防止している。

BBD の回路設計には、アナログシミュレータ PSPICE を用いて、デバイスサイズの最適設計を行った。その結果、 $C_i=1\text{pF}$, $C_{B1}=2\text{pF}$, $W=32\mu\text{m}$, $L=8\mu\text{m}$ とした。加算機能付き BBD のチップ作製は、大阪府立産業技術総合研究所マイクロデバイス開発支援センターに設置されている CMOS プロセスにて行った。所有する半導体装置装置の精度上デザインルールは $8\mu\text{m}$ である。チップサイズは $5\text{mm}\times 5\text{mm}$ である。図 10 に加算機能付き BBD のチップ写真を示す。本チップには、8 列の 24 段 BBD が搭載されている。最先端の半導体工場にて作製する場合は、この 1/10 以下のデザインルールで作製できるため集積度は 100 倍以上になり、微小の遅延加算回路を製造可能である。

次に作製した加算機能付き BBD の評価を実施した。BBD の段数は 24 段である。最初に加算機能付き BBD の遅延特性を測定した。図 11 に遅延時間の周波数特性を示す。横軸

図 9 減衰器 BBD の概念図
Fig. 9. Concept of charge attenuator of BBD cells.

図 10 BBD のチップ写真
Fig. 10. Photograph of BBD adding-delay circuits.

が BBD に与えるクロック周波数(MHz), 縦軸が遅延時間(μs)である。クロック周波数は、400kHz から 10MHz まで変化させ、遅延時間を 1.2~30 μs まで測定した。図より、測定値は、周波数 400kHz~8MHz までほぼ理論値どおりになっており、加算機能付き BBD は、必要な周波数帯域において、良好な遅延特性が得られていることがわかった。

次に、加算機能付き BBD の転送効率について測定した。(5)式に転送効率の計算式を示す。

$$\eta = \frac{\Delta V_o}{\Delta V_i} = \eta_i \cdot \eta_t^M \cdot \eta_o \dots\dots\dots(5)$$

η は入出力比であり全体の転送効率である。 η_i は入力段の転送効率、 η_t は転送部 1 段あたりの転送効率、 η_o は出力段の転送効率である。M は BBD の段数で 24 である。BBD 評価では、転送部の転送効率が一番重要なので、 η_t の周波数特性について測定した。測定結果を図 12 に示す。図 12 から、 η_t は周波数 400kHz~10MHz において 0.997 以上を示し、作製した加算機能付き BBD は、良好な転送効率を示すことがわかった。

次に、加算機能付き BBD の加算特性の評価を行った。測定条件は、7 入力 BBD の入力端子全てに周波数 100kHz, 位相が同じ正弦波を入力した。入力信号の信号振幅は、 $V_{pp}=1.0\text{V}$, オフセット電圧は、 $V_{offset}=1.5\text{V}$ である。この条件では、理想的には走査角 0° に物体があることになる。測定は、制御クロックの周期を変化させながら、BBD からの出

図 11 遅延時間の周波数特性
Fig. 11. Delay time vs. frequency.

図 12 転送部 1 段の転送効率の周波数特性
Fig. 12. Transfer efficiency vs. frequency.

力信号振幅を測定した。測定値と比較検証するために遅延加算の理論計算を行った。以下にその計算式を示す。 n 段遅延の入力信号 V_{in} を(6)式に示す。ここで V_{i0} は 0 段遅延の入力信号電圧、 τ_d は(1)式で示した遅延時間である。

$$V_{in} = V_{i0} \cdot e^{-j\omega \cdot n\tau_d} \dots\dots\dots (6)$$

遅延加算後の BBD の出力信号 V_o を(7)式に示す。

$$\begin{aligned} V_o &= \sum_{n=0}^{N-1} \eta \cdot V_{in} \cdot e^{-j\omega(n\tau_d)} \\ &= \eta \cdot V_{i0} \cdot e^{-j\omega \left[\frac{N-1}{2} (t_d + \tau_d) \right]} \cdot \text{sinn} \left[N, \frac{\omega}{2} (t_d + \tau_d) \right] \end{aligned} \dots\dots\dots (7)$$

ここで、 $\text{sinn}(n,x)=\sin(nx)/\sin(x)$ とする。

従って、出力信号の入力信号比は、(8)式になる。

$$\begin{aligned} \left| \frac{V_o}{V_{i0}} \right| &= \eta \cdot \left| \text{sinn} \left[N, \frac{\omega}{2} (t_d + \tau_d) \right] \right| \\ &= \eta \cdot \left| \text{sinn} \left(N, \frac{\omega \cdot m \cdot \tau_{clk}}{4} + \frac{\omega \cdot d \sin \theta}{2c} \right) \right| \end{aligned} \dots\dots\dots (8)$$

リニアアレイセンサ 7 個の遅延時間 τ_{d7} と走査角度 θ の関係を求める。開口径は、 $d=10.2\text{mm}$ であるので(1)式より(9)式になる。

$$\tau_{d7} = 30 \times 10^{-6} \sin \theta \dots\dots\dots (9)$$

次に BBD のクロック周期 τ_{clk} すなわちクロック周波数 f_{clk} と走査角度 θ の関係を求める。リニアアレイセンサ 7 個の遅延用の BBD 段数は 24 である。転送クロックはノンオーバーラップクロックであり、1 クロック周期に BBD2 段の転送が行われるため、BBD のクロック周期は(10)式になる。

$$\tau_{clk} = \frac{1}{f_{clk}} = 2.5 \times 10^{-6} \sin \theta \dots\dots\dots (10)$$

作製した加算機能付き BBD の評価実験を行った。各入力に同位相の周波数 100kHz の正弦波を入力し、制御クロックを変化させて電子走査を行った結果を図 13 に示す。横軸は

図 13 加算機能付き BBD による電子走査の音場図
Fig. 13. Beamforming performance of BBD adding-delay circuit.

BBD に加えた制御クロックの周期であり、縦軸は入出力信号比である。図より実測値と理論値はほぼ一致しており、加算機能付き BBD は良好な加算特性を示すことがわかった。ただしクロック周期が $0 \mu\text{s}$ 付近で、測定値が理論値に差がある理由は、制御クロックを作製しているクロック発生器において、周波数 5MHz 以上では十分な特性が得られていないことが原因である。加算機能付き BBD を用いて正面物体を観測する場合、遅延量を 0 とすることは転送速度の点から無理であるので、正面観測用として各アレイセンサからの入力を単純加算する回路を付加する。受波子のリニアアレイセンサの設計上、角度分解能が 10 度であるので、BBD による遅延加算誤差は許容範囲内である。

4. 超音波計測

開発した加算機能付き BBD を用いて二次元計測システムを作製した。図 14 に測定システムの概略図を示す。超音波の送波子には火花放電器を用いた。今回の計測では、7 素子のリニアアレイを用いて二次元計測を行った。作製した超音波マイクロアレイセンサは 7 素子×7 素子の 49 素子のエリアセンサなので、7 行の内の 1 行を 7 素子リニアアレイとして使用した。各センサ間隔は 1.7mm である。アレイセンサからの出力信号は、プリアンプにて約 5000 倍に増幅され、加算機能付き 7 入力 BBD に入力される。電子走査は $-60^\circ \sim +60^\circ$ まで行う。走査角はクロック周波数にて変化させるが、原理的に走査角 0° すなわち真正面を走査することは不可能であるので、正面用として加算機能付き BBD から遅延機能を削除した単純加算回路を用いる。また BBD を用いる場合、前方右方向の $+3^\circ \sim +60^\circ$ と、前方左方向の $-3^\circ \sim -60^\circ$ の 2 個の BBD が必要となる。

BBD からの出力には、サンプリングノイズが含まれるため、ローパスフィルタ(LPF)を使ってノイズを除去する。そ

図 14 測定システムの概略図
Fig. 14. Schematic diagram of measurement system.

図 15 計測実験結果

Fig. 15. The beamforming performance of the ultrasonic sensing system.

してアナログ処理にて遅延加算演算された信号をデジタルオシロスコープにて取り込む。また比較検証のために、プリアンプからの出力信号もデジタルオシロスコープに取り込む。電子走査は、BBD を用いたアナログ処理と、ソフトウェアによるデジタル処理の 2 通りで行い、それぞれの測定結果を比較した。測定対象物は大きさ直径 30mm の球を超音波マイクロアレイセンサの前方左方向 -27° 、距離 125mm に配置した。火花放電器は超音波マイクロアレイセンサの上方向 55mm に配置した。計測結果を図 15 に示す。横軸は走査角、縦軸は信号振幅である。図より最大ピーク時の走査角を読み取ると、BBD による電子走査では -24° 、距離 117mm、ソフトウェアによる電子走査では -24° 、距離 110mm であった。BBD による電子走査、ソフトウェアによる電子走査とも、物体の位置付近である信号振幅の最大値付近が平坦になっているが、測定物体の大きさ、超音波のメインローブの広がりによるものと考えられる。BBD による電子走査では、物体が存在しない $+10^\circ \sim +60^\circ$ における信号振幅が角度とともに右肩上がりに増加しているが、原因は BBD の転送部と加算部の誤差であると考えられる。走査角が大きい場合は、BBD のクロック周波数が小さくなるためにサンプリングによる誤差が発生しやすいことと、実際の超音波による計測においては、信号の SN 比が小さいために、誤差が大きく現れることが考えられる。また加算機能付き BBD はアナログ回路であるために設計、プロセスの影響を受けやすいと思われる。そのため特性向上には設計、プロセス両面の改善及び最適化が必要である。今回の計測結果において、物体推定位置が、BBD で遅延加算した結果とソフトウェアにて遅延加算した結果とがほぼ等しかったことから、加算機能付き BBD の有効性が実証された。

5. まとめ

小型・安価な自律移動ロボット用対象物検知センサの開発を目的として、電子走査用信号処理回路のための遅延処理回路を開発した。遅延回路は BBD を基本に超音波信号に対応した高速応答性と加算機能を付加した加算機能付き BBD を考案した。加算の原理は BBD を用いた電荷の加算で

ある。また電荷の飽和を防ぐために減衰器を考案した。今回設計した加算機能付き BBD は、最大 7 入力の遅延加算が可能である。設計した BBD は、大阪府立産業技術総合研究所内デザインルール $8\mu\text{m}$ の CMOS プロセスを用いて作製した。評価の結果加算機能付き BBD は良好な遅延特性、転送効率、加算特性を示した。本回路を電子走査用信号処理回路に用いることにより、加算回路、A/D 変換器が削減でき、回路規模の小型化が可能である。作製した IC チップは、デザインルールが $8\mu\text{m}$ であるために 5mm 角のチップ内に 8 列の 24 段 BBD のテストパターンしか作製できなかったが、本回路技術を最新の半導体製造装置で作製することにより高密度な電子走査用信号処理回路の作製が可能である。本回路の超音波計測への応用として物体位置計測システムを構築し、空気中物体の二次元計測を行った。超音波リニアアレイセンサと加算機能付き BBD を組み合わせて電子走査実験を行った結果、加算機能付き BBD の有効性が実証された。

(平成 16 年 6 月 4 日受付, 平成 16 年 11 月 4 日再受付)

文 献

- (1) B. T. Khuri-Yakub, C. H. Cheng, F. L. Degertekin, S. Ergun, S. Hansen, X. C. Jin, and O. Oralkan: "Silicon micromachined ultrasonic transducers", *Jpn.J.Appl.Phys.*, Vol.39, pp.2883-2887 (2000)
- (2) K. Yamashita, H. Katata, M. Okuyama, H. Miyoshi, G. Kato, S. Aoyagi, and Y. Suzuki: "Arrayed ultrasonic microsensors with high-directivity for in-air use using PZT thin film on silicon diaphragm", *Sensors and Actuators A*, Phs.97-98C, 1-3, pp.302-307 (2002)
- (3) F. L. J. Sangster and K. Teer: "Bucket-brigade electronics-new possibilities for delay, time-axis conversion, and imaging", *IEEE J. Solid-State Circuits*, Vol. SC-4, pp.131-136 (1969)
- (4) T. Tanaka, A. Tsuchitani, K. Inoue, Y. Suzuki, S. Arita, A. Wakaiki, S. Aoyagi, K. Yamashita, and M. Okuyama: "Development of BBD for ultrasonic sensor array", *Technical Digest of the 18th Sensor Symposium* 2001, pp.347-350 (2001)

田 中 恒 久

(正員) 1967 年 1 月 20 日生。1990 年 3 月福井大学工学部応用物理学専攻卒業。同年 4 月から 1996 年 3 月まで松下電子工業 (株) 及び松下産業機器 (株) 勤務。1996 年 4 月から大阪府立産業技術総合研究所勤務。主に MEMS 技術を用いたマイクロデバイスの研究開発に従事。センシング技術応用研究会, 同 MEMS 技術分科会会員。

莫 要 武

(非会員) 1968 年 4 月 24 日生。1989 年 7 月中国華中理工大学卒業。1992 年 4 月中国上海科学技术大学修了。1997 年 12 月から 2003 年 3 月まで大阪府立産業技術総合研究所勤務。同年 4 月からセイコーエプソン (株) 勤務。博士 (理学)。

土 谷 明

(非会員) 1940 年 12 月 27 日生。1964 年 3 月京都工芸繊維大学工業短期大学部卒。1998 年 3 月まで松下電子工業 (株) 勤務。主に MOS 集積回路の拡散プロセス開発に従事。1998 年 4 月から大阪府立産業技術総合研究所勤務。主に CMOS プロセスの技術支援業務に従事。

鈴 木 義 彦

(正員) 1943 年 4 月 5 日生。1972 年 3 月大阪大学大学院基礎工学研究科博士課程修了。同年大阪府立工業奨励館 (現, 大阪府立産業技術総合研究所) 入所。2004 年 3 月まで大阪府立産業技術総合研究所勤務。現在, 独立行政法人科学技術振興機構研究成果活用プラザ大阪勤務。博士 (工学)。センシング技術応用研究会会員。

井 上 幸 二

(非会員) 1957 年 9 月 8 日生。1989 年 3 月大阪大学大学院基礎工学研究科博士後期課程修了。現在, 大阪府立産業技術総合研究所マイクロデバイス開発支援センター長。主にマイクロデバイス, センサシステムの研究開発に従事。博士 (工学)。センシング技術応用研究会会員。

山 下 馨

(正員) 1967 年 6 月 1 日生。1992 年 3 月大阪大学大学院基礎工学研究科博士前期課程修了。1994 年 4 月より大阪大学基礎工学部助手。現在, 大阪大学勤務。主に機能性薄膜を用いたマイクロメカニカルの研究開発に従事。博士 (工学)。応用物理学会会員。

有 田 滋

(非会員) 1938 年 8 月 14 日生。1964 年 3 月大阪大学大学院工学研究科修士課程修了。現在, 大阪府立産業技術総合研究所インキュベーターマネージャー。同マイクロデバイス開発支援コーディネーター。同フォトニクス開発支援コーディネーター。(株) プロアシスト技術顧問。博士 (工学)。

奥 山 雅 則

(正員) 1946 年 3 月 21 日生。1968 年 3 月大阪大学大学院基礎工学研究科博士課程修了。助手, 助教授を経て 1991 年同大学教授。強誘電体薄膜, Si-MOS 界面およびそのメモリ・センサへの応用に関する研究に従事。博士 (工学)。応用物理学会, 日本物理学会, センシング技術応用研究会会員。