SDB-SOIウエハを用いたセンサ用高温CMOS集積回路の試作

正員 松本佳宣 (豊橋技術科学大学)
 非会員 北山康夫 (豊橋技術科学大学)
 非会員 河村彰久 (豊橋技術科学大学)
 正員 石田 誠 (豊橋技術科学大学)

A study on high temperature CMOS circuits for sensor applications with SDB-SOI wafer

Yoshinori Matsumoto, Member, Yasuo Kitayama, Non-member, Akihisa Kawamura, Non-member,
 Makoto Ishida, Member (Toyohashi University of Technology)

High temperature CMOS circuits for sensor applications have been fabricated using Silicon-Direct-Bonding (SDB) SOI wafers. A novel SOI-MOSFET structure was fabricated on silicon film of 800nm in thickness above a buried oxide layer of 1 μ m in thickness. The MOSFET was designed in order to remove Kink-effect and parasitic bipolar transistor effect, and the fabrication process was optimized by process simulator(SUPREM III). The signal conditioning circuits (Operational amplifier and C-F converter) for sensor applications were designed and fabricated with the MOSFET. These MOSFET and signal conditioning circuits were operated up to 300°C. The temperature dependence of the MOSFET and the characteristic of the circuits were evaluated from room temperature to 300°C.

キーワード：高温用途、SOI-CMOS、SDB技術、センサ信号処理

1.はじめに

近年、自動車・航空産業、石油探索、地熱開発などの分野において高温下で使用可能なセンサ及び集積回路が必要とされているが、通常のパルクシリコン集積回路の動作温度範囲は-55°C~150°Cで、200°Cぐらいが限界である。これは、温度上昇に伴う接合リーク電流の増加、しきい電圧の変化、キャリア移動度の劣化、熱誘引のラッチアップなどがその原因である⁽¹⁾。このようなデバイス性能に関係したパラメータに加え、高温下においては金属配線のエレクトロマイグレーションの増大、パッケージのストレスや腐蝕、ゲート酸化膜の絶縁破壊などの劣化メカニズムも信頼性の面で問題となる。特に250°C以上の高温環境ではSiO₂ゲート酸化膜中のチャージトラッピングやSiO₂の絶縁破壊が問題とされ⁽²⁾⁽³⁾、窒化酸化膜が通常の酸化膜より信頼性が向上するという実験結果が報告されてきた⁽⁴⁾。

しかしながら近年、高品質なSiO₂膜は400°Cの高温環境下でもMOS技術の使用において十分な信頼性を持つという報告がされている⁽⁵⁾。また、配線、パッケージの劣化の問題は適切な配線材料やパッケージ材を使用することで解決できる⁽⁶⁾。高温におけるデバイスパラメータの変化は従来のパルクシリコンMOS技術を採用している限り解決不能な問題であるが⁽¹⁾、Silicon-On-Insulator (SOI) 構造を用いると各素子を完全に誘電体分離することができるためpn

接合面積を大幅に減らすことができ、高温でのリーク電流を抑え高温環境で動作可能な集積回路が実現できる⁽⁷⁾⁻⁽¹¹⁾。SOI技術には絶縁物埋め込み法 (SIMOX)、サファイア基板法 (SOS)、Silicon-Direct-Bonding (SDB) 法などがある。SIMOX、SOSを用いる集積回路はすでに報告されており⁽⁷⁾⁽⁸⁾⁽¹²⁾、特に次世代の集積回路用基板として有望なSIMOX法に注目が集まっている⁽¹¹⁾。

一方我々は、SOI構造を用いた高温用センサに着目しこれまで圧力、磁気、加速度センサを報告してきた⁽⁶⁾⁽¹²⁾⁻⁽¹⁴⁾。これらのセンサでは、場合によっては厚さ10 μ m以上のシリコン層や1 μ m以上の酸化膜が必要とされる。このような用途ではシリコン膜厚と酸化膜厚を広い範囲にわたって制御できるSDB法が最も優れている。我々は、将来的に同一SOI基板上に高温用センサと集積回路とを一体化した高温用スマートセンサの実現を目的としており、今回その前段階としてSDBウエハを用いて、高温用集積回路の試作を行ったので報告する。

センサプロセスとの整合性や現状での研磨技術等を考慮するとSDB基板のシリコン膜厚を薄くする事には限界があり、今回は膜厚0.8 μ mのSDB-SOI基板を用いた。この膜厚で正常な特性のMOSFETを得るためには基板接地などの構造上の工夫⁽¹⁵⁾と製作プロセスの最適化が必要である。このため、本研究では基板接地型のMOSFET⁽¹¹⁾を採用し、プ

ロセスシミュレータSupremⅢ等による計算と数度の試作を通してMOSFETの構造と製作プロセスの最適化を行った。さらにこのMOSFETを用いてセンサ用信号処理の基本回路であるオペアンプ、C-Fコンバータなどの回路を設計して動作特性を評価した。本論文では、これらSOI-MOSFETの構造、SOI-CMOSプロセス、試作したMOSFET及びリングオシレータ、オペアンプ、C-Fコンバータの特性について述べる。

2. SOI-MOSFET

図1に示すように標準的なCMOS回路で用いられる構造をSOI基板上に製作した場合、シリコン膜厚が $0.1\mu\text{m}$ 以上のいわゆる厚膜型MOSFETでは、以下に述べる要因によってMOSFET性能の異常を引き起こす。第一に、キンク効果及び寄生バイポーラ効果により、MOSFETの飽和領域においてドレイン電流が急激に増加する。第二に、製作プロセス上MOSFETのチャネル部の端にできるバズピークのため、両端においてメインのMOSFETと並列に寄生

図1 厚膜型のSOI-MOSFETの断面図

Fig. 1. Cross-section of thick film SOI-MOSFET.

図2 基板接地型SOI-MOSFETの構造と断面図

Fig. 2. Layout and cross-section of SOI-MOSFET with body contacts.

MOSFETが形成され、ドレイン-ソース間のリーク電流を増加させる。第三に、上部Si層と中間SiO₂層の界面に形成されるバックチャネルによりリーク電流が発生する。

SDBウェハを用いた場合、上部Si層と中間SiO₂層の間の界面単位は 10^{11}cm^{-2} 程度と低く、埋め込み酸化膜厚は $1\mu\text{m}$ と厚いため、バックチャネルの効果はほぼ無視できる。また、正常なMOSFET特性を得るためには、膜厚を $0.1\mu\text{m}$ 以下の薄膜型MOSFETを採用し、完全空乏化モードで動作させるか、厚膜型の場合では基板コンタクトの使用が有効である⁽¹¹⁾。そこで、図2に示すような基板接地型のSOI-MOSFET構造を採用した。基板コンタクトp⁺領域はMOSFETのチャネル部の端のp領域($1\times 10^{17}\text{cm}^{-3}$)を経てp⁻領域($1.2\times 10^{16}\text{cm}^{-3}$)と導通しており、また基板コンタクトはMOSFETのソース領域と接続させて同電位にしているため、キンク効果及び寄生バイポーラ効果は起こらない。さらに、MOSFETのチャネル部の端のp領域の上部には厚いLOCOS酸化膜があるため寄生MOSFETをなくすることができる。またこの構造のMOSFETでは、いわゆるガード型SOI-MOSFETと異なり、トランジスタのW/Lを任意に設定できるという利点を持つ。

3. 設計

図2に示すSOI-MOSFETを用いてセンサ信号処理回路の設計、レイアウトを行った。センサ信号処理回路の基本回路であるオペアンプ、C-Fコンバータの特性をSPICEを用いてシミュレーションし、MOSFETのサイズを最適化してレイアウトを行った。図3にチップ全体のレイアウトを示す。チップは $10\mu\text{m}$ ルールで設計し、チップサイズは $5.1\text{mm}\times 5.1\text{mm}$ である。同一チップには、テスト用MOSFET、ダイオード、抵抗、キャパシタとセンサ信号処理回路の基本回路であるインバータ、NAND、NOR、リングオシレータ、オペアンプ、C-Fコンバータがレイアウトされている。

図3 チップ全体のレイアウト

Fig.3. Layout of a whole chip.

4. 製作プロセス

SOI-CMOS集積回路の試作プロセスは本学固体機能デバイス研究施設の標準CMOSプロセスラインを用いて行った。このSOI-CMOS集積回路の製作においては基板濃度の制御、ソースドレイン領域の拡散深さ、酸化膜厚やシリコン膜厚の制御が重要になる。このため、イオン注入条件及びその後のドライブイン条件やLOCOS酸化時間をプロセスシミュレーションソフトSuprem IIIで最適化した。

図4にSOI-CMOS回路の製作プロセスを示す。プロセスチャートの左側はCMOS回路のA-A'断面、右側はB-B'断面を示している。本研究で用いた基板はSi/SiO₂/Si構造のSDBウェハで、厚さは上部Si層が1.2μm（ウェハ内の膜厚ばらつきが±0.3μm）、中間SiO₂層が1μm、基板膜厚が525μmである。抵抗率は上部Si層がn型1000~4000Ωcm、下部Si層がn型25Ωcmである。はじめに基板の抵抗率が真性半導体並に高いため全面に低濃度のリンのイオン注入を行った。この後、ドライブインをドライ酸化で行い酸化膜を成長させ、その酸化膜を除去することで上部Si層の膜厚を0.8μm程度、基板濃度を $1.5 \times 10^{15} \text{cm}^{-3}$ に調整した（図4.(a)）。

次にフォトリソグラフィを行いRIEでデバイスの活性領域以外を0.3μm程度エッチングする（図4.(b)）。次にnMOSFETが形成される活性領域にボロンのイオン注入を行いp型領域を形成し、ドライブインにより表面不純物濃度を $1.2 \times 10^{16} \text{cm}^{-3}$ に調整した（図4.(c)）。その後、ドライ酸化で酸化膜を形成した後、LPCVDで窒化膜を形成する（図4.(d)）。その後、フォトリソグラフィによってデバイスの活性領域のパターニングを行い窒化膜及び酸化膜を除去するとアイランド用マスクとなるパターンが形成される（図4.(e)）。ここで再びフォトリソグラフィを行い、nMOSFETのチャネルストップとしてボロンのイオン注入を行った（図4.(f)）。そして、ウェット酸化によってアイランド間のシリコンを全て酸化し素子分離を行う

（LOCOS酸化）（図4.(g)）。その後、窒化膜を全面除去し、ホワイトトリボンを除去する。

次に、ゲート酸化膜を形成する。ゲート酸化膜は絶縁破壊対策として、通常のドライ酸化により製作した71nm、35nm程度のものとドライ酸化膜をNH₃雰囲気中で窒化処理し再度ドライ酸化したものを製作した⁽⁴⁾。続いて、ポリシリコンCVD、リン拡散によりゲート電極を形成する（図4.(h)）。そして、ボロンのイオン注入によりpMOSFETの

図4 SOI-CMOS回路の製作プロセス

Fig.4. Fabrication process of the SOI-CMOS circuits.

ソース・ドレイン及びnMOSFETの基板コンタクトを形成し（図4.(i)）、リンのイオン注入によりnMOSFETのソース・ドレイン及びpMOSFETの基板コンタクトを形成する（図4.(j)）。その後、ドライブインをアニールで行いSOI層の底面まで拡散させる。続いて、その上をSiO₂CVDの保護酸化膜で覆いコンタクトホールを形成し、最後にアルミニウムをスパッタリングによって成膜して、配線のパターニングを行いウェハプロセスが完了する（図4.(k)）。図5に完成したチップ写真を示す。

図5 チップ写真

Fig.5. Photograph of the SOI-CMOS circuits.

5.測定結果

<5.1>SOI-MOSFETの高温特性

試作したMOSFETの高温特性を測定するため、高温用にパッケージングしたMOSFETをマントルヒータで加熱し、温度をコントローラで室温から300℃まで制御して特性測定を行った⁽¹²⁾⁽¹⁴⁾。

代表的なnMOSFETのV_G-I_D特性を図6に示す。トランジスタ寸法はW/L=200μm/10μm、測定条件はV_{DS}=50mVである。これより、このMOSFETでは接合リーク電流の増大が通常のnMOSFETよりもはるかに少なく、結果として高温でも低いリーク電流を示している。しきい電圧は室温で1.3Vであり、温度を上昇させるにつれて減少し300℃で0.55Vになった。これは温度上昇に伴う真性キャリア濃度の増加及びフェルミポテンシャルの減少によって引き起こされる。また高温におけるドレイン電流の低下はキャリア移動度の低下が原因である。次にnMOSFETのV_D-I_D特性を図7に示す。トランジスタ寸法はW/L=200μm/10μmである。これより、このMOSFETにはキンク効果及び寄生バイポーラ効果は現れず、300℃の高温環境において正常に動作していることが分かる。pMOSFETについてもnMOSFETと同様に、しきい電圧は室温の-1.5Vから300℃で-0.65Vになったが、300℃での正常な動作が確認できた。

nMOSFET、pMOSFETのしきい電圧の温度依存性を図8に示す。nMOSFETは温度を300℃まで上昇させた時、しきい電圧は0.75V減少した。同様にpMOSFETのしきい電圧の変化量の絶対値は0.75Vであった。図9にnMOSFET、

pMOSFETのキャリア移動度の温度依存性を示す。常温でのnMOSFET、pMOSFETのキャリア移動度は、それぞれ593.7cm²/Vsec、224.9cm²/Vsecになった。温度の上昇と共に格子散乱が増加するため、キャリア移動度は低下し、300℃ではそれぞれ231.0cm²/Vsec、93.5cm²/Vsecに低下した。

図6 nMOSFETのV_G-I_D特性

Fig.6. Measured V_G-I_D characteristic of the nMOSFET.

図7 nMOSFETのV_D-I_D特性

Fig.7. Measured V_D-I_D characteristic of the nMOSFET with body contacts at 300°C.

図8 しきい電圧の温度依存性

Fig.8. Measured temperature dependence of threshold voltage of the nMOSFET and the pMOSFET.

図9 キャリヤ移動度の温度依存性

Fig. 9. Measured temperature dependence of electron and hole mobility.

また、短時間の測定では高温においてゲート酸化膜の絶縁破壊は起こらなかったため、一定温度（300℃）のもとでMOSFETのゲート電極に一定電圧（5V）を印加し続けゲート酸化膜の絶縁破壊の有無を調べた。ゲート酸化膜には71nm、35nmのドライ酸化膜とドライ酸化膜を窒化処理し再度ドライ酸化した膜の3種類を製作し比較した。この測定を数十時間にわたって行ったが、どの酸化膜にも絶縁破壊は見られず、正常な動作が確認できた。

(a)

(b)

図10 (a)リングオシレータの発振周波数温度依存性
(b)300℃における出力波形Fig. 10. (a)Measured temperature dependence of output frequency of the ring oscillator, and
(b)output wave form at 300°C.

<5.2>リングオシレータの動作特性

上述のMOSFETで構成された13段のリングオシレータ回路の発振特性を室温から300℃まで測定した。リングオシレータのトランジスタ寸法はnMOSFETが $W/L=50\mu\text{m}/25\mu\text{m}$ 、pMOSFETが $W/L=50\mu\text{m}/15\mu\text{m}$ 、電源電圧は5Vである。図10はゲート酸化膜の異なる3種類のリングオシレータの発振周波数の温度依存性を示している。発振周波数は温度の上昇と共に減少した。これは温度上昇による移動度の減少がドレイン電流の低下を招き、インバータのゲート容量の充放電時間が長くなるためである。

また、MOSFETと同様にゲート酸化膜の異なる3種類のリングオシレータについても10日間にわたって300℃で動作させ続けたが、周波数変化も1%以内であり3種類とも安定動作が確認できた。

<5.3>SOIオペアンプの動作特性

ピエゾ抵抗型センサやホールセンサにおいては、電圧増幅用のオペアンプが必要となる。高温下で動作するピエゾ抵抗型加速度センサやホール磁気センサは、我々のグループによってすでに報告されている⁶⁾、高温下で動作するオペアンプが実現できればそれらのセンサ用に有用である。図11に今回試作したオペアンプの回路図を示す。M4~M8が差動入力段、M13,M14が出力増幅段を形成し、位相補償として容量C、M11,M12による抵抗が挿入されている。また電源電圧は10Vで設計した。図12に開ループDC利得の周波数依存性を示す。試作の結果、MOSFETのしきい電圧等のパラメータが設計値と異なったため、開ループDC利得が45dB程度のオペアンプとなったが、300℃においてもDC利得は40dB以下には減少しなかった。温度上昇に伴う開ループDC利得と利得帯域幅の減少は、トランジスタの相互コンダクタンスが温度依存性により減少したためである。

図11 SOIオペアンプの回路図

Fig. 11. Circuits diagram of the SOI operational amplifier.

図12 開ループDC利得の温度依存性

Fig. 12. Measured temperature dependence of a open loop gain of the SOI operational amplifier.

<5.4> C-Fコンバータの動作特性

シリコン容量型センサでは、性能向上のため容量検出回路をセンサの近くに置く必要がある。このため、高温環境下で使用する容量型センサには高温環境で動作可能な容量検出回路が要求される。また、容量検出回路には雑音の影響を受けにくく、デジタル信号処理しやすいC-Fコンバータがよく用いられるため、今回は高温用のC-Fコンバータを試作した。その回路図を図13に示す。このC-Fコンバータはセンサ容量を充放電する定電流源(M4,M5)、その充放電を制御するシュミットトリガ回路(M7~M12)と帰還スイッチ(M3,M6)により構成されている。このシュミットトリガ型C-Fコンバータの発振周波数は次式で与えられる⁽¹⁵⁾。

$$f = \frac{I_0}{2 C_x V_h} \dots \dots \dots (1)$$

図13 SOI C-Fコンバータの回路図

Fig. 13. Circuits diagram of the SOI C-F convertor.

ここで、 I_0 は定電流源の電流値、 C_x はセンサ容量、 V_h はシュミットトリガ回路のヒステリシス幅である。

このC-Fコンバータの室温及び100℃、200℃、300℃における容量一周波数特性を図14に示す。測定条件は電源電圧10Vで行った。温度上昇に伴う定電流源 I_0 の減少とリーク電流の増加により発振周波数は減少し大きな温度依存性を持っているが、300℃の高温下においてもC-Fコンバータとして動作していることが確認できた。

図14 SOI C-Fコンバータの温度特性

Fig. 14. Measured temperature dependence of the SOI C-F convertor.

6. まとめ

本研究ではSDBウェハを用いてSOI-MOSFET及びセンサ信号処理回路を試作してその温度特性について報告した。今回考案したSOI-MOSFETはリーク電流の増大も少なく、300℃の高温下においても安定に動作した。このSOI-MOSFETから構成されたリングオシレータ、C-Fコンバータ、オペアンプの300℃という高温環境での動作が確認できた。C-Fコンバータは出力が大きな温度依存性を持っていたため、今後定電流源 I_0 の検討が必要である。

また、ゲート酸化膜の高温における絶縁破壊対策として3種類のゲート酸化膜を製作し、MOSFETについて数十時間、リングオシレータについて10日間にわたり測定を行ったが、どの酸化膜についても絶縁破壊は観測されず安定動作が確認できた。これは、Chaparral⁽⁶⁾によるSiO₂膜の長期信頼性の報告と一致している。

今後、今回得られたSOI-MOSFETの特性をモデル化し、C-Fコンバータ、オペアンプの再設計、再試作を行い、センサ信号処理用高温集積回路や高温スマートセンサの実現を目指す予定である。

7. 謝辞

本研究は本学固体機能デバイス研究施設で行った。SOI-CMOS集積回路の製作に御協力いただいた本学第3工学系足本光昭技官に感謝します。

(平成8年11月15日受付、同9年3月12日再受付)

文献

- (1) P. Francis et al., "SOI technology for high temperature application," Technical Digest of IEDM, pp. 353-356, 1992.
- (2) J. C. Erskine et al., "High temperature automotive electronics: Trends and challenges," in Trans. Second Int. High Temperature Electronics Conf., Charlotte, NC, June 5-10, 1994.
- (3) N. Shiono and C. Hashimoto, "Threshold-voltage instability of n-Channel MOSFET's under bias-temperature aging," IEEE Transactions on Electron Device, vol. ED-29, No.3, pp. 361-368, 1982.
- (4) Z. H. Liu, P. Nee, Ping K. Ko, Chenming Hu, Charles G. Sodini, B. J. Gross, Tso-Ping. Ma, Yiu Chung Cheng, "Field and temperature acceleration of Time-Dependent Dielectric Breakdown for Reoxidized-Nitrided and fluorinated oxides," IEEE Electron Device Lett., vol. 13, no. 1, Janu. 1992.
- (5) John S. Suehle, Pasad Chaparala, Cleston Messick, "High temperature reliability of thin film SiO₂," in Trans. Second Int. High Temperature Electronics Conf., Charlotte, NC, June 5-10, 1994.
- (6) N. Ura, M. Ishida et al., "High-temperature pressure sensor with insulator of Al₂O₃," Technical Digest of the 14th Sensor Symposium, pp.191-194, 1996.
- (7) 江刺正喜, 大高章二, 松尾正之, "高温用集積回路と高温用圧力センサの試作," 電子通信学会, SSD86-57, 1989.
- (8) Jean-Paul Eggermont, Bernard Gentinne, Denis Flandre, Paul G. A. Jespers, Jean-Pierre Colinge, "SOI CMOS operational amplifiers for applications up to 300°C," in Trans. Second Int. High Temperature Electronics Conf., Charlotte, NC, June 5-10, 1994.
- (9) 松本佳宣, Dadi. D. Arif, 石田誠, 中村哲郎, "センサ用高温用途向けSOICMOS回路の試作," 電子情報通信学会信学技報, SDM94-215, pp.75-82, 1995年3月.
- (10) M. Verbeck, C. Zimmermann and H-L. Fiedler, "A MOS switched-capacitor ladder filter in SIMOX technology for high temperature application up to 300°C," IEEE Journal of Solid-State Circuits, Vol.31, No.7, pp.908-914, 1996.
- (11) J.-P. Colinge, Silicon on Insulator Technology: Materials to VLSI. Kluwer Academic Publishers, 1991.
- (12) 高尾英邦, 松本佳宣, 田中秀一, 徐熙敦, 石田誠, 中村哲郎, "SOI構造を用いた高温用3次元加速度ベクトルセンサ" 電子情報通信学会論文誌 C-II, Vol. J78-C-II, No. 10, pp. 495-505, 1995年10月.

(13) Y. Mastumoto, M. Iwakiri et al., "A capacitive accelerometer using SDB-SOI structure", Sensors and Actuators A53, pp.267-272, 1996.

(14) 松本佳宣, 河合宏一, 寺田忠志, 川入祥二, 石田誠, 中村哲郎, "SOI構造を用いた高温用磁気センサ," 電気学会論文誌 E, 116巻8号, pp.317-324, 平成8年.

(15) 松本佳宣, 庄子習一, 江刺正喜, "容量形センサ用C-FコンバータCMOSICの試作" 電子情報通信学会論文誌 C-II, Vol. J73-C-II, No. 3, pp. 194-202, 1990年3月.

松本 佳宣

(正員) 昭63東北大・工・電気・電子卒。平5同大学院博士課程修了。工博。同年豊橋技科大電気・電子工学系助手。半導体センサ、集積回路、マイクロマシンングに関する研究に従事。電子情報通信学会員。

北山 康夫

(非会員) 平7豊橋技科大・工・電気・電子卒。現在同大学院修士課程在学中。

河村 彰久

(非会員) 平6豊橋技科大・工・電気・電子卒。平8同大学院修士課程修了。同年安藤電気入社。

石田 誠

(正員) 昭48富山大・電子卒。昭50静大大学院修士課程終了。昭54京大大学院博士課程修了。同年豊橋技科大・電気・電子工学系勤務。昭61助教授。半導体材料・デバイスの研究に従事。工博。応用物理学会会員。