マルチチップサービスによる マイクロジャイロインターフェイス集積回路の設計と試作

正員 前中 一介、 学生員 藤田 孝之、非会員 岡本 和人、非会員 前田宗雄
(姫路工大)

Analog Integrated Circuit for Micro-Gyro Interface

Realized by Multi-chip Service in Japan

Kazusuke Maenaka, Member, Takayuki Fujita, Student Member,

Kazuto Okamoto, Non Member and Muneo Maeda, Non Member

(Himeji Institute of Technology)

Abstract

This paper deals with an analog integrated circuit for micro-machined gyroscopes with capacitive output. The Integrated circuit was fabricated as a part of the first project from the "Micromachining Multi-Chip Service Cooperative Research Committee" organized by The Institute of Electrical Engineers Japan. This multi-chip service project offers a master slice chip with an equivalent of 9 blocks of operational amplifier circuits. Our integrated circuit includes a modulator, demodulator and synchronous rectifier for detecting small changes in the capacitance of a silicon gyroscope. In the paper, the experimental results of fabricated samples will be described.

キーワード：マルチチップサービス、ASIC、インターフェイス回路、ジャイロスコープ、集積化センサ
Keywords: multi-chip service, ASIC, interface circuit, gyroscope, integrated sensor

1 はじめに

現在、各国で集積回路マルチチップサービスが行われている。例えば MOSIS (www サーバアドレス <http://www.isi.edu/mosis/> 参照)、CMP (同 <http://tima-cmp.imag.fr/>)、MCNC (同 <http://www.mcnc.org/>)、EUROPRACTICE (<http://www.imec.be/europpractice/>) などである。これらは、複数のユーザからの集積回路設計データを集積し、同一ウエハ上で作製し、チップに切り分けてユーザに配布する事により、ユーザあたりの費用低減、正味のターンアラウンドタイム短縮をめざしている。わが国でも教育機関を対象とした VDEC (<http://www.vdec.u-tokyo.ac.jp/>) および本稿で取り上げる電気学会マイクロマシンマルチチップサービス協同研究委員会 (以下 MMCS と略、暫定的な回路関連ホームページは <http://www.d4.elnics.eng.himeji-tech.ac.jp/~mmcs/>) でこのようなサービスが開始されるに至った。本稿は、MMCS の初期のランで試作した振動形マイクロジャイロ用集積回路の設計および試作結果に関して報告する。

現在我々は、特に近年注目を浴びているマイクロマシニング技術を用いた振動形ジャイロスコープ¹⁻¹⁰⁾(角速度センサ)に関する研究を行っている。マイクロマシニングで作製されたジャイロでは一般に静電容量変化を検出する形式のものが多いが、角速度印加による容量変化量は極めて小さく fF のオーダーであり、その絶対値も pF のオーダーである。このように微小容量変化、高インピーダンスの検出は、センサと変換回路をできる限り近接して配置するか、可能であればセンサと変換回路を集積化する事が望ましい。この

ような観点から今回 MMCS により微小容量検出用集積回路を試作し、評価した。

なお本稿は、このような国内のインフラストラクチャの利用と基盤技術、及びその成果を広く公表し、もってセンサ関連分野の進歩を惹起することの有用性を意図して執筆したものである。

2 マイクロマシン・マルチチップサービス 協同研究委員会と MCS01 プロジェクトについて

試作結果について述べる前に、「マイクロマシン・マルチチップサービス協同研究委員会」について簡単に述べる。表記委員会は平成 8 年 1 月より杉山委員長(立命館大)の下に発足した電気学会 E 部門マイクロマシン技術委員会内の協同研究委員会である¹¹⁾。本委員会は、マイクロマシンチップおよび集積回路チップをマルチチップによって実現することを目的に設置された。我々はこの協同研究委員会で行った、バイポーラ集積回路のマルチチッププロジェクト(MCS01 プロジェクト)に参加した。今後、定常的な集積回路マルチチップサービス、およびマイクロマシンのマルチチップサービスが予定されている。

今回のプロジェクトの集積回路概要を以下に示す。

- 1 設計方式：マスタースライス方式
- 2 プロセス：1.6 μ m ルール Bi-CMOS
- 3 チップサイズ：3.1 × 3.8mm²
- 4 電源電圧：最大 12V、標準 10V
- 5 可能な回路規模：オペアンプ 9 個程度 (内部は同一

のブロック 9 個で構成されている)

6 同時に参加可能なユーザ数: 16 名

7 参加費用: 十数万円 (ベアチップ 20 個程度、パッケージングはオプション)

マスタースライス方式は、トランジスタや抵抗、コンデンサ等があらかじめチップ上に配置されており、ユーザは配線 (2 層配線) パターンを設計するだけで目的の集積回路設計を行うことができる方式であり、マスク費用の低減、設計の容易さという点でマルチチップサービスには適切な方式である。また、今回のプロジェクトでは各種オペアンプやコンパレータなどの配線パターンデータ、電気的特性の SPICE パラメタリストがライブラリとして用意されており、オペアンプを使用した回路を構成する場合、オペアンプの内部まで設計する必要はない。

プロセスは BiCMOS であるが、バイポーラ回路ベースの BiCMOS である。すなわち配置されている MOS トランジスタの数は比較的少なく、ゲート回路等のロジック回路設計は難しい。しかしながら MOS 入力回路、アナログスイッチ (< 5. 3 > 参照) 等の構成には適切である。バイポーラ回路がベースになっておりかつ MOS トランジスタも使えるという特性は、バイポーラ回路で高速、高精度、高供給電流能力を実現し、MOS トランジスタで高インピーダンス入力または低バイアス電流、オーミックなスイッチング特性を実現することが可能であり、センサ周辺の回路に要求される特性として極めて適切であると考えられる。

さらに、供給形態がベアチップを基本としているという点は、センサのごく近辺に回路チップを配置した、ハイブリッド集積化センサの実現が容易であるという点からも好ましい形態であるということができる。

3 試作回路概要と設計思想

我々が設計したインターフェイス回路 (C/V 変換回路 + 同期検波回路) ではマイクロマシンで作製する角速度センサ¹²⁾(図 1) を対象としている。構造、動作原理の詳細はここでは省略するが、最終的に微小な差動容量変化を 2 組同時に検出する回路が必要である。今回の試作ではチップスペースの制限から、1 組の微小差動容量変化を検出し、角速度検出に必須な同期検波を行って出力信号とする回路

図 1 対象となるマイクロジャイロ
Fig. 1. Structure of a target device.

を 1 チップとして設計・試作した。

角速度センサの場合、参照振動を与えるための信号が角速度検出端子に現れ、これが大きなオフセットとなって S/N 比を低下させるケースが多い。このため、キャリア信号として比較的高い周波数 (今回は使用するオペアンプの特性の制限から 100kHz 程度に設定) を検出すべき静電容量対に与え、差動容量変化でこのキャリアを変調し AM 変調波を得、これを復調して容量変化に比例した電圧を得る方式を採用した。この方式によると、ベースバンドで混入する参照振動駆動信号が有効に除去でき、S/N 比の向上が望める。図 2 に、設計した回路のブロックダイアグラムを示す。

復調回路、同期検波回路で必要となるローパスフィルタで用いられる抵抗・コンデンサは、対象信号周波数が kHz の桁であるためかなり大きくなり、チップ内での対応ができない。このため計 4 個のコンデンサが外部素子として必要である。これらの外部素子は回路をスイッチトキャパシタ形式に変更することによって内蔵することもできる。し

図 2 試作したアナログ集積回路のブロックダイアグラム
Fig. 2. Block diagram of designed integrated circuit.

かし今回のランのマスターチップではMOSトランジスタの数が比較的少なく、このマスターチップを使用したスイッチトキャパシタ回路の実現は困難であると考えられる。なお、キャリア信号はチップ内では生成せず、外部から与える形式となっている。

回路設計および配線パターン設計思想として、今回が最初のランであることから、

- 1: 確実に動作する回路構成
- 2: 一部で配線のミス等があっても全機能が動作しなくなるという構成はとらないこと
- 3: 外部部品点数は極力減らしつつある程度プログラマブルな特性を得られること
- 4: 今後の進展（ライブラリの追加）に寄与できるよう、普遍的・汎用的回路も作り込むこと

などの点に留意した。詳細は後の節で個別に述べるが、大まかには、1に対してはサービスで与えられたオペアンプを主体として回路設計を行い、新規回路は極力少なくするなど、2に対しては全回路を機能ブロックごとに分割し、これらのブロックの入出力をすべてピンとして外部に取り出し、各ブロックごとの特性評価が独立に行えるように配慮する（この場合、全ブロックを結合する際、集積回路外部でブロック・ブロック間の結線をする必要があるが、あるブロックの出力と次のブロックの入力とはピンが隣接するように配置し、隣接したピン間を接続するだけで全機能が動作するように配慮した）など、3に対しては幾つかの値の抵抗などを内部に配置し、外部のピン間接続のみでその機能に有効な抵抗値が設定できるように配線するなど、4に対しては標準的なバイアス電流源、掛け算回路、オペアンプ用電流バッファなどを構築するなどである。

4 設計

フルカスタム集積回路と異なり、設計はきわめて簡単である。あらかじめ用意されている素子のSPICEパラメータ（暫定版）が公表されているため、このパラメータを用いてシミュレーションを行い回路設計を行った。その後、素子間の接続設計（2層の配線、配線間のVIAホール）のみを行い、ランに参加したユーザに配布される素子配置パターン

図3 電源配線(V_{CC} 、 V_{EE})
Fig. 3. Wiring for V_{CC} and V_{EE} .

データ上に集積回路用CADにて配線パターンを入力した。配布される素子配置パターンデータには、素子の種類、端子の種類等が各素子パターン上にテキストデータとして書き込まれており、配線の誤りを避けるよう配慮されており、若干の経験を積めば回路図から配線パターンの下絵を描かずにいきなりCADに向かってパターン入力することも可能である。この際、初期に電源の配線（図3）を行い、ブロックの内部を通過する配線を極力避けることで配線の完成が容易となる。最後にデザインルールのチェックを

図4 設計したチップの信号の流れとチッププラン
Fig. 4. Signal flow (left) and chip plan (right) of designed integrated circuit.

行ってデータの完成となる。

以上の一連の作業は修士課程2年レベル（集積回路設計未経験者）で約1カ月を要した。最終的に設計されたパターンを図4に示す。

設計に要する設備として重要なものに、回路シミュレータおよびパターン設計用CADがある。今回我々は回路シミュレータとして、公開ftpサイトからSPICE 2G（バークレイのオリジナル版）をソースで入手して用いたため、費用を発生させずに回路シミュレーションを行うことができた。現在パーソナルコンピュータ用のpspiceを購入し次のラン参加に備えている。また、パターン設計CADとしてセイコー電子工業のSX9000システムを使用した。このシステムは若干高価ではあるが今回のようなパターン設計およびマイクロマシン関連のパターン設計には適切である。なお、パターン検図のためのプリントアウトは、CAD

図5 試作されたチップ外観
Fig. 5. Photograph of fabricated devices.

図6 今回使用したオペアンプの回路
Fig. 6. Detailed circuit of used operational amplifier.

のデータをパーソナルコンピュータに一旦取り込んで一般的なカラープリンタに分割出力させ、これを貼り合わせて2m角程度のサイズのハードコピーを作製した。この程度の拡大率で結線の確認はほぼ行える。

最終的にサービスによって試作されたチップは、QFP、DIPパッケージまたはベアチップの状態で納品される。図5に実際に試作されたチップ写真を示す。

5 各ブロックの回路と測定結果例

以下に、各回路ブロック（図2、4のブロックに対応）ごとに回路の説明と測定結果の例示を行い、最後にC/V変換特性を示す。なお、使用しているオペアンプはすべてライブラリとして供給されているMOS入力型のオペアンプ（回路を図6に示す）である。

< 5・1 > バイアス回路

ライブラリとして供給されるオペアンプはすべて、標準で20 μ Aのバイアス電流を外部から供給する必要がある。我々が用いたバイアス回路を図7に示す。この回路形式は温度安定性、電源依存性に比較的優れ、また消費電力も少ない標準的構成である。チップ内で使用するすべてのオペアンプのバイアスは、消費電流の低減、高抵抗使用数の削

図7 用いた20 μ Aバイアス回路
Fig. 7. 20 uA Bias circuitry.

図8 差動微小容量の信号取り出し方法
Fig. 8. Methods for obtaining small capacitance signal.

減などの観点から単一のバイアス発生源で生成している。

< 5・2 > 初段増幅器、中間増幅器

センサからの出力（差動容量変化）は、キャリア信号をセンサ出力でAM変調（DSB）した信号となっている。現在のところ、使用しているオペアンプの特性の制限からこのキャリアの周波数を100kHz程度としている。信号の取り出し方として、電圧で取り出す方法と、電流で取り出す方法（図8参照）があるが、今回はキャリアの周波数があまり高くないこと、センサ構造的に出力端子とグランド間の寄生容量が大きくないことから電圧で取り出す形式を標準回路とした。電流で取り出す形式も、寄生容量の影響を無視できる、出力は容量の絶対値によらない等のメリットがあるため、外部結線の変更によって電流取り出し形式にも対応できるように設計されている。

初段のゲインは、高い周波数成分を増幅しなければならずまた入力信号源インピーダンスは非常に高いと仮定されるため、図9Aに示すようにボルテージフォロアをベース（SG1、SG0を共に開放）に設計されており、オプションに6倍（SG1をグランドに接続）、あるいはその他の利得（SG0とグランド間に外部抵抗を接続）にも設定できるように設計されている。図9Bはこの直流特性の測定例である。電源電圧 $\pm 5V$ 時、出力振幅はほぼ8Vp-pである。

また、中間増幅器は復調後の信号、すなわち数kHzの信号を増幅できればよいので、高ゲインを持たせることができる。図10Aは回路であり、外部端子AG3、AG2、AG1をそれぞれグランドと直接接続することによって回路のゲインを11倍、21倍、101倍に設定できる。また端子を組み合わせてグランドに接続、または外部抵抗でグランドに接続することによって他の値に設定することも可能である。図10Bに測定結果の一例を示す。

< 5・3 > 同期検波回路

チップに2カ所用いられている同期検波回路を図11Aに示す。この回路は参照信号入力VSWの値によって、入力信号VINを $\times 1$ または $\times -1$ 倍にして出力する増幅回路である。回路はアナログスイッチを2個用いた標準的な構成である。アナログスイッチはブロック内のnMOSおよびpMOSトランジスタを並列接続し、実現した。測定結果を図11Bに示す。参照信号の閾値は約-1.5Vであり、この閾値の上下でほぼ対称に入力信号の $\times 1$ 、 $\times -1$ の演算が行われていることがわかる。

< 5・4 > LPF

同期検波に必要なLPFの回路を図12Aに示す。標準的なVCVFのバタースウィッチフィルタである。1つのLPFにつき2個のコンデンサが外付けとなる。カットオフ周波数の設計仕様値は信号復調用のLPFで10kHz、角速度検出のための同期検波用LPFで10Hzであるが、外部のコンデン

図9 初段増幅器のA（左）回路図及びB（右）測定結果
Fig. 9. First stage amplifier and measured characteristics.

図10 中間増幅器のA（左）回路図及びB（右）測定結果
Fig. 10. Middle stage amplifier and measured characteristics.

図11 同期検波回路のA（左）回路図及びB（右）測定結果
Fig. 11. Synchronous detector and measured characteristics.

図12 LPFのA（左）回路図及びB（右）測定結果
Fig. 12. Low pass filter and measured characteristic.

図 1 3 A 掛け算回路
Fig. 13A. Multiplier circuit.

サの容量を変化させれば任意に調整することができる。カットオフ周波数 10kHz の LPF の特性の測定値を図 1 2 B に示す。

< 5 ・ 5 > 掛け算回路

差動容量に 180 度位相の異なる信号を与えるために掛け算回路を設計した。チップ内に同一の回路が 2 個配置されている。差動容量に 180 度位相の異なる信号を与えるだけならば特にかけ算回路である必要はないが、今後のライブラリ増強のため、および同期検波回路にも用いることができるという点でカスタム設計を行った。回路を図 1 3 A に、測定結果を図 1 3 B に示す。線形な演算範囲は各入力端子に対し $\pm 4V$ 程度になるよう設計している。

図 1 3 B 掛け算回路の測定結果
Fig. 13B Measured characteristics of multiplier.

< 5 ・ 6 > 出力バッファ

ライブラリとして与えられているオペアンプの最大出力電流は比較的低く、外部回路やケーブルインピーダンスを駆動する場合、制限となりうる場合がある。そこでボンディングパッド回りに配置されている大電流用トランジスタを用いた出力バッファをつけ加えた部分がある。図 1 4 がその部分の回路である。LBN1、LBPV1 は共にボンディングパッド周辺に配置された電力用トランジスタ（一般用の約 20 倍の逆方向飽和電流を持つ）である。

< 5 ・ 7 > C/V 変換特性

図 2 に示したブロックダイアグラムで、内側の破線で囲んだ部分は C/V 変換回路である。この部分での C/V 変換特性を測定した。被計測コンデンサ C_x 、 C_x としては、一方を 25pF 固定とし、他方を $25pF \pm 3.5pF$ の範囲で可変したと

図 1 4 オペアンプのバッファ回路
Fig. 14. Buffer circuit for operational amplifier.

図 15 C/V 変換部の特性
Fig.15. Characteristics of C/V converter

きの出力電圧を計測した。このとき、コンデンサに与えたキャリアの周波数は 100kHz、振幅は 3V である。また、中間増幅器のゲインは最大の 101 倍に設定した。計測結果を図 15 に示す。初段増幅器のゲインは、図 9 の SG1 端子を接地するかしないかで 1 倍と 6 倍に可変できるため、図 15 では両者の計測結果を示している。初段のゲインを 1 に設定した場合の変換率は約 1.4V/pF、ゲインを 6 と設定した場合は約 7.2V/pF の変換特性である。ゲインを 6 とした場合はオペアンプの周波数特性のため若干ゲインが低下していることがわかる。

< 5. 8 > 入力保護回路

すべてのパッドには入力保護回路が挿入されている。パッドから V_{CC} および V_{EE} に対し逆バイアス方向にダイオードが挿入される回路である。この入力保護ダイオードは約 0.2pF 程度の静電容量を持つが、これは注目している周波数帯に対し無視できる値であると考えられる。この値が無視できない場合（センサの容量が極めて小さい場合）には、例えば初段のインターフェイス回路を電流入力形にするなど¹³⁾、検討が必要である。なお、入力保護回路の使用は必須であり、これを省略すると十分回路インピーダンスが低いと思われる部分でも静電破壊による不具合が発生しやすい。

6 今後の課題

以下、マルチチップサービスに対する今後の課題を列挙する。

1 オペアンプの周波数特性の向上

高入力インピーダンスを保ったまま周波数特性を向上させることは結構難しいが、例えば電流帰還型の回路構成をとる、より適切なバイアス条件や回路設計を行うなどし、周波数特性を改善したオペアンプを実現し、ライブラリを

増強する。

2 マスターチップの大規模化および選択肢の増加

今回使用したマスターチップはオペアンプ 9 個分程度の規模であったが、これは始めて試作する際には妥当な規模であると思われる。しかしながら十分実績を積んだユーザーからはさらに規模の大きなチップ試作の要望があがるのは必至である。委員会での検討途上で、規模が現在のチップの数倍程度でかつ簡単なロジック回路が構成できる数の MOS トランジスタが含まれるチップが検討された。これは一回のランで参加できるユーザー数が少なくなる（単価が増加する）という理由で今回は採用されなかったが、選択肢の一つとして今後検討すべきであると考えられる。

3 回路ライブラリの増加

現在の回路ライブラリは基本的なオペアンプ、コンパレータ程度であり、今後さまざまなアナログ信号処理回路、高速アンプなどライブラリの充実が必要である。現在、委員会という形で運営されているため、各ユーザーの試作成果を是非ともライブラリという形で供用できるように整備していく必要があろう。

7 おわりに

マルチチップサービスを用いて、マイクロジャイロのためのインターフェイス集積回路を設計・試作した。ここで採用されているマスタースライス方式はきわめて簡易に集積回路チップを設計することができる方式であり、集積回路設計に関して未経験者であっても最小の努力で ASIC を実現できることが明らかとなった。

今回の試作は試行の意味もあり、参加者は委員会メンバーを中心に募集したが、これからは今回の結果をもとに一般の参加も進むであろう。少なくともバイポーラ集積回路のこのようなプロジェクトは国内では唯一初めてのものであり、今後、数多くのユーザーの参加によるプロジェクトの発展を期待するとともに、センサインターフェイス回路のあり方に関する議論の活性化についてもますますの進展を望む。

（平成 10 年 1 月 5 日受付、平成 10 年 3 月 23 日再受付）

文献

- 1) 前中:「シリコンジャイロの現状」, 電学論 E, 116-E, 131-135(1997).
- 2) Y. OH et al., :A Surface-Micromachined Tunable Vibratory Gyroscope. Proc. IEEE Micro Electro Mechanical Systems Workshop, Nagoya, (1997), pp272-277.
- 3) K.Y.Park et al., :Laterally Oscillated and Force-Balanced Micro Vibratory Rate Gyroscope Supported by Fish Hook Shape Spring., Proc. IEEE Micro Electro Mechanical Systems Workshop, Nagoya, (1997), pp494-499
- 4) T.K.Tang et al., :A Packaged Silicon MEMS Vibratory Gyroscope for Microspacecraft., Proc. IEEE Micro Electro Me-

- chanical Systems Workshop, Nagoya, (1997), pp500-505.
- 5) M.Lutz et.al.:A precision Yaw Rate Sensor in Silicon Micromachining. Tech. Dig. of Transducers '97, Chicago (1997), pp847-850.
- 6) D.Sparks et.al.:A CMOS Integrated Surface Micromachined Angular Rate Sensor:Its Automotive Application.Tech. Dig. of Transducers '97, Chicago (1997), pp851-854.
- 7) H.Kuisma et.al.:A Bulk Micromachined Silicon Angular Rate Sensor.Tech. Dig. of Transducers '97, Chicago (1997), pp875-878.
- 8) R.Voss et.al.:Silicon Angular Rate Sensor for Automotive with Piezoelectric Drive and Piezoresistive Read-Out.Tech. Dig. of Transducers '97, Chicago (1997), pp879-882.
- 9) T.Juneau et.al.:Dual Axis Operation of a Micromachined Rate Gyroscope.Tech. Dig. of Transducers '97, Chicago (1997), pp883-886.
- 10) T.Fujita et.al.:Two-Dimensional Micromachined Gyroscope.Tech. Dig. of Transducers '97, Chicago (1997), pp887-890.
- 11) S.Sugiyama,"Scope for Micromachining Multi-project Chip Service in Japan", Tech. Dig. of the 14th Sensor Sym., (1996) 15-18.
- 12)K.Maenaka et.al.:Design and Realization of ASIC for Silicon Gyroscopes, by using Multi-Chip Service",Tech. Dig. of the 15th Sensor Sym., (1997)271-274.
- 13)前中他:「マルチチップサービス初回ランで試作したアナログICの報告」、電学会研資、PS-97-31、(1997)。

前 中 一 介 (正員) 1984年豊橋技術科学大学大学院情報工

学専攻修了。同年、豊橋技術科学大学電気・電子工学系電子デバイス大講座教務職員。1989年より神戸市立工業高等専門学校電子工学科講師、1993年より姫路工業大学工学部電子工学科助教授、現在に至る。工学博士。センサの高機能化・集積化、多次元センサとその応用、マイクロマシニングによるセンサデバイスに関する研究に従事。電子情報通信学会、IEEEなどの会員。

藤 田 孝 之 (学生員) 1995年姫路工業大学工学部電子工学科卒

業。97年、同大学大学院工学研究科電気電子工学専攻修士課程修了。同年、同大学工学研究科生産工学専攻博士課程入学、マイクロマシニングによるマイクロセンサの研究に従事、現在に至る。

岡 本 和 人 (非会員) 1994年姫路工業大学工学部電子工学科入

学、在学中。MMCSを用いたセンサ周辺回路に関する研究、バイポーラ集積回路に関する研究に従事、現在に至る。

前 田 宗 雄 (非会員) 1957年神戸大工学部電気工学科卒。同年、

神戸工業株式会社入社、1968年富士通株式会社との合併により(株)富士通研究所勤務となる。1976年より姫路工業大学工学部電子工学科教授、現在に至る。工学博士。高周波デバイスに関する研究、センサ・アクチュエータデバイスに関する研究に従事。電子情報通信学会、IEEEなどの会員。