高段差ピット底部におけるリフトオフパターンニングプロセス

正員 明石照久 (日立製作所) 非会員 岡野広明 (日立電線)

Lift-Off Patterning Process at the Bottom of a Deep Pit

Teruhisa Akashi, Member (Hitachi, Ltd.)

Hiroaki Okano, Non-member (Hitachi Cable, Ltd.)

We have newly developed Lift-Off patterning process at the bottom of a deep pit. This process consists of fabricating positive photoresist profiles with overhangs using a sacrificial Aluminum layer in order to form precisely thin film electrode patterns. Using this process, the thin film deposited on the photoresist can be completely separated from the other portions of the thin film deposited on the substrate. Au/Pt/Ti thin film electrodes which are 750nm thickness in total can be obtained at the bottom of a pit which is 30 μ m depth without any defects by realizing overhanging edges which are 800nm height and 8 μ m undercut. The deflection of pattern width of Au/Pt/Ti thin film electrodes is under $\pm 3 \mu$ m.

キーワード：リフトオフ、薄膜電極、スパッタ、ピット

1. まえがき

近年、マイクロマシニング技術の応用の1つとして、様々な形状の光デバイス¹⁾が作製されている。その中でも、マイクロマシニング技術を用いて製作したV溝付シリコン基板²⁾にレーザダイオード(Laser Diode 以下, LD と呼ぶ)やフォトダイオード(Photo Diode 以下, PD と呼ぶ)を実装したLD/PD モジュール³⁾⁴⁾は、光通信分野において重要な役割を担う光デバイスの1つである。このような光デバイスに特徴的と言えることは、V溝付シリコン基板等のベース基板に数十 μ m またはそれ以上の段差の凹凸部分があることである。従来電子部品を中心に、平坦部や数 μ m 程度の凹凸部分に薄膜電極やボンディングパッド等のパターンを形成することはよく行われてきた。しかし、先に述べたV溝付シリコン基板等のベース基板やそれらに限らず、数十 μ m を超える深さの溝(ピット)の底部に、これらのパターンを高い精度で形成することは困難であった。そのため、最近になって電着レジストを用いたプロセスが検討されている⁵⁾⁶⁾。

一般的に、薄膜電極のパターニング方法としては、
・ウェットまたはドライエッチングによって行う方法。
・リフトオフによって行う方法。
の2つが挙げられる。これらのパターニング方法は、その他の加工プロセスとの兼ね合いによって使い分けられる。特に、リフトオフ法はエッチングを行わず、選択的に一部にパターニングを行う場合に多く用いられ、プロセス上の制約が少ない。しかし、成膜時に基板加熱が十分に行えな

いため、成膜した薄膜の下地に対する密着力が低いという欠点がある。

また、薄膜電極の成膜方法としては、蒸着法とスパッタ法とがある。蒸着に比べ、スパッタによる成膜方法は、ステップカバレッジに優れ、凹凸部の側面や底面に均一に膜を成膜することができる。そのため、リフトオフ法を用いて薄膜電極を形成する場合、単にホトレジストに電極形状を転写し薄膜を堆積させると、レジスト上に堆積する薄膜とパターン上に堆積する薄膜とがつながって形成される。このため、レジストをリフトオフすると、薄膜電極の端部にレジスト残さが残ったり、薄膜電極の端部がまくれた状態で形成される。

従来このような問題を解決するために、レジストにクロロベンゼンやプロモベンゼン等の溶剤を利用し、レジストに転写したパターン端部にひさしを形成する方法⁷⁾や、先に基板上に成膜した金属膜を一部エッチングすることによって、金属膜のひさしを形成する方法⁸⁾で、薄膜を不連続に堆積させるプロセスが考えられてきた。しかし、ステップカバレッジに優れたスパッタ膜を不連続に堆積させるためには、ひさしの形状を任意に変更できるプロセスが必要である。

本報では、ピットの深さを30 μ mとした場合、その底部に薄膜電極を形成する1つの方法として、アルミニウム(Al)の犠牲層⁹⁾を利用してレジストのひさしを形成し、薄膜電極のパターンをリフトオフにて形成するプロセスを検討した結果について報告する。

2. 実験方法

図 1 に今回開発したピット底部への薄膜電極形成プロセスを示す。順に、

図 1 薄膜電極形成プロセス

Fig.1. Patterning process of thin film electrode

(a) 40wt%の水酸化カリウム水溶液による異方性エッチングで、面方位(100)シリコンウエハに 開口径が $1870 \times 900 \mu\text{m}$ 、深さが $30 \mu\text{m}$ のピットを形成後熱酸化膜を $1 \mu\text{m}$ 形成し試料とする。次にこの試料のピット底部に、最終的にエッチング除去する犠牲層である Al 薄膜をスパッタで成膜しパターニングを行う。この犠牲層のパターニングにはクロロベンゼンを用いたリフトオフ法を用いる。

(b) Al 犠牲層をパターニングしたピット部全体をカバレッジするようにポジ型レジストを塗布し、プリベークを行う。

(c) その後レジストに電極形状を転写し、ポストベークを行う。このとき Al 犠牲層上に薄膜電極のレジストパターンが形成される。

(d) ウエットエッチングにより Al 犠牲層をエッチ

ング除去する。このときレジストパターン端部にレジストのひさしが形成される。

(e) アルゴンイオンによるエッチング（以下、逆スパッタと呼ぶ）、つまり基板表面のクリーニングを行った後、スパッタにより電極膜を成膜する。

(f) この後、剥離液に浸しレジストを溶解させ、リフトオフ法にて薄膜電極を形成する。

ピット底部への薄膜電極形成プロセスは、(a) ~ (e) の各工程により構成される。

次にレジストパターン端部におけるひさしの形状を図 2 に示す。ひさしの形状は A（アンダーカット量）、B（高さ）の値で決定される。A は C（薄膜電極のパターン幅）の電極形成部分に $(2A+C)$ 幅の犠牲層を形成することで可能であり、B は犠牲層の膜厚量で制御することが可能である。

スパッタによる成膜では、ピットの側面からの距離によらずピット底面に均一な膜厚の薄膜が形成可能である。そのため本プロセスでは、薄膜電極の形成位置によらず同一高さのひさしを形成することが可能である。

このように、スパッタによる Al 薄膜を犠牲層として用いて、レジストパターン端部に任意形状のひさしを形成することができる。このため、レジスト上に堆積する薄膜とパターン上に堆積する薄膜とを不連続に形成することが可能である。また、レジストに剥離液を効率よく浸透させリフトオフすることが可能である。

本プロセスを通して、露光装置はユニオン光学の PEM-1000 を用いた。これは、g 線メインで裏面とのアライメントが可能なコンタクト方式の露光装置である。またレジストには、東京応化工業の OFPR800（粘性 800cp）のポジ型レジストを用いた。このレジストを用いたときの熱処理条件は、温風循環乾燥機にてプリベークが 80°C で 50min、ポストベークが 120°C で 80min であった。

次にスパッタで成膜する薄膜電極の形成条件を表 1 に示す。薄膜電極は 3 層 (Au/Pt/Ti) 膜である。逆スパッタを行った後に Ti（下地層）、Pt（中間層）、Au（表面層）を順次成膜する。薄膜電極の膜厚が 750nm であるため、不連続に形成するための条件としてひさしの形状の値を $A: 8 \mu\text{m}$ 、 $B: 800\text{nm}$ とした。

A：ひさしのアンダーカット量

B：ひさしの高さ C：薄膜電極のパターン幅

図 2 ひさしの形状

Fig.2. Shape of photoresist overhang

表 1 薄膜電極形成条件

Table 1. Sputtering conditions of thin film electrode

工程	エッチング	Tiスパッタ	Ptスパッタ	Auスパッタ
成膜方式	RF	DC	RF	RF
スパッタ方式	プレーナマグネロン			
導入ガス	アルゴン			
ガス圧力 Pa	6.5×10^{-1}			
印加電力	200W	0.8A 380V	180W	120W
膜厚 nm		150	300	300

3. 実験結果及び考察

〈3.1〉 ピットへのレジスト塗布 粘性が 800cp のポジ型レジストを、初めに回転数 500rpm-5sec, 続いて回転数 2000rpm-40sec の条件にてスピン塗布することで、ピット部をカバレッジすることができた。図 3 にこの時のレジスト膜厚分布の測定結果を示す。ここで、 X は図のようにピット側面からの距離を表すこととする。この図からピットの側面近傍ほどレジスト膜厚が厚いことが確認できる。特に、側面近傍 ($30 \mu\text{m} < X < 50 \mu\text{m}$) では他の領域 ($100 \mu\text{m} < X < 300 \mu\text{m}$) に比べて膜厚が 1.4~2.3 倍程度厚いことが分かる。一般的にレジストにパターンを転写する際に、レジスト膜厚が厚いほど転写精度が低い。そのため、ピットの側面に近いほどレジストへのパターン転写精度の低下が予想される。

図 3 ピット内のレジスト膜厚

Fig.3. Photoresist thickness in a deep pit

〈3.2〉 逆スパッタによるレジストへの影響 リフトオフ法を用いたパターンニングにおいて、薄膜を成膜する際に基板加熱を行うことができない。そのため、成膜した薄膜の下地に対する密着力を上げるためには、少なくとも、逆スパッタを行い基板表面をクリーニングする必要がある。ところが、逆スパッタ時間が長時間になるほどレジストが

プラズマにさらされる時間が長くなるため、基板表面の温度が上昇し、それによるレジストの変質が考えられる。ここでは、逆スパッタパワーを 200W と一定にし、逆スパッタ時間を 5 分、7 分、10 分とした時のポジ型レジストの表面状態を観察した結果を図 4 に示す。この図から以下のことが分った。

- (1) 逆スパッタ時間 5 分でピット上部のレジストが発泡を始める。
- (2) 逆スパッタ時間 7 分でピット底部及びピット上部のレジストが一部変質変色する。
- (3) 逆スパッタ時間 10 分でピット底部及びピット上部とも完全に変質変色する。

図 4 逆スパッタ後のレジストパターンの表面状態

Fig.4. Surface conditions of photoresist pattern after Argon etching

このようにレジストの発泡現象はアルゴンイオンによる逆スパッタを 5 分以上行ったときに認められた。つまり、5 分以上の逆スパッタは、レジストの状態を変質させる。

次に逆スパッタ時間 1 分及び 3 分においてピットの側面からの距離 X をパラメータとし、逆スパッタを行う前のレジストパターンの幅寸法と逆スパッタ後のレジストパターンの幅寸法とを比較し、寸法変動量として示した結果を図 5 に示す。

図 5 逆スパッタ後のレジストパターンの幅寸法の変動量

Fig.5. Deflection of photoresist pattern width after Argon etching

図のように、 $\pm 2 \mu\text{m}$ 以上の大きな変動量を示すことはなく、逆スパッタ時間によるパターン幅寸法の変化に有意差は認められなかった。

続いて、Al 犠牲層を約 $4 \mu\text{m}$ エッチングして得られた、レジスト膜厚が約 $1 \mu\text{m}$ のひさしに、1分、3分、5分の逆スパッタをそれぞれ行い、走査型電子顕微鏡 (Scanning Electron Microscope ;SEM) で観察をした。その結果を図6に示す。ここでレジスト膜厚を $1 \mu\text{m}$ としたのは、レジスト膜厚が薄くなればなるほど逆スパッタによる耐性が低下すると判断したためである。

この結果から逆スパッタ時間が長くなればなるほど、ひさしの先端部がめくれてくることが分った。これは逆スパッタ時間が長くなるほど基板表面温度が上昇し、基板から浮いているひさしが熱の影響で収縮するためである。このようにひさしがめくれ上がりひさしの高さが変化すると、スパッタによる原子が回り込み、薄膜が連続的につながって堆積することが予想される。

図6 レジストパターンの断面 SEM 写真

Fig.6. SEM photographs of photoresist patterns

さらに、ひさしを形成したレジストパターン部に犠牲層と同材料の Al 薄膜をスパッタにて成膜した。1つは犠牲層膜厚 800nm と同じ膜厚の Al 薄膜を成膜したサンプルであり、もう1つはその $1/2$ の膜厚 400nm を成膜したサンプルである。いずれも、膜厚は時間管理にて行った。これらのサンプルを SEM で観察し、その結果を図7に示す。

図7 Al 薄膜成膜後のレジストパターンの SEM 写真

Fig.7. SEM photographs of photoresist patterns after deposition of Al thin film

この結果より、犠牲層膜厚の $1/2$ の膜厚である膜厚 400nm の Al 薄膜を成膜したときだけでなく、犠牲層膜厚と同じ膜厚 800nm の Al 薄膜を成膜しても、レジスト上に堆積した Al 薄膜とパターン上に堆積した Al 薄膜とがつながらずに不連続に堆積していることが確認された。また、このときのひさしのアンダーカット部内への Al 原子の回り込み距離は、 $1 \mu\text{m}$ 以下であった。

<3.3> 犠牲層エッチング Al 犠牲層をウェットエッチングでエッチングし、レジストパターン端部にひさしを形成する過程を図8に示す。この場合の使用したエッチャント組成は、りん酸 75%、酢酸 15%、硝酸 5%、水 5%の混合溶液であり、Al 犠牲層の膜厚は $1.5 \mu\text{m}$ である。図のように確実にサイドエッチングが進行し、レジスト端部にひさしを形成することができた。また Al 犠牲層をエッチング除去してもひさしが崩れることはなかった。

図8 Al 犠牲層エッチング後のレジストパターンの SEM 写真

Fig.8. SEM photographs of photoresist patterns after etching of a sacrificial Al layer

<3.4> パターン精度 ピット側面からの距離 X をパラメータとし、ホトマスクの幅 D に対するひさしを形成したレジストパターンの幅 d の寸法変動量を図9に示す。ここでは、 X が $60 \mu\text{m}$ の位置から測定を行った。図のように部分的な高反射基板上 (Al 犠牲層上) であるが、Al 犠牲層がある場合の寸法変動量と Al 犠牲層がない場合 (酸化膜上へのパターンニング) の寸法変動量とは、同じ傾向を示した。つまり、ピット側面近傍ではパターン転写精度の低下が見られ、ピットの側面からの距離 X が大きくなればなるほど寸法変動量つまり、パターン転写精度が一定になる。すなわち、レジスト膜厚が厚いほどパターン転写精度が低いことを示している。しかし、Al 犠牲層がある場合は、Al 犠牲層が無い場合に比べ、寸法変動量全体がプラス方向へ移動していることが分った。これは下地が高反射基板であることが原因であると判断する。つまり、各位置においてパターンの幅が広がる傾向であることを示している。さらに、ピット側面からの距離 X が $60 \mu\text{m}$ 以上の位置において、Al 犠牲層がある場合のレジストパターンのホトマスクに対する寸法変動量は、 $\pm 3 \mu\text{m}$ 以下であった。この値は、Al

犠牲層が無い場合に比べ、パターン転写精度が高いことを示している。

次に、同じくピット側面からの距離 X をパラメータとし、ひさしを形成したレジストパターンの幅 d に対する形成した薄膜電極の幅 d' の寸法変動量の測定を行った。その結果を図 10 に示す。図のように、レジストパターンに対する薄膜電極の寸法変動量はほとんどないことが分った。ばらつきを含め $1 \mu\text{m}$ 以下であるが、平均値では $0.3 \mu\text{m}$ 以下という変動量であった。このことから薄膜電極の寸法精度は、ひさしを形成したレジストパターンの寸法精度に大きく影響を受けることが分った。

そこで、各測定点での寸法変動量（各測定点のばらつきは $\pm 1 \mu\text{m}$ ）をパターンニング変化量（寸法シフト量）として定量化し、ホトマスクの幅へフィードバックを行えば、ピット側面からの距離 X によらず寸法精度 $\pm 1 \mu\text{m}$ の形状の薄膜電極を得ることが予想できる。

図 9 レジストパターンの幅の変動量
Fig.9. Deflection of pattern width of photoresist

図 10 薄膜電極の幅の変動量
Fig.10. Deflection of pattern width of thin film electrode

図 1 のプロセスに従って開口部 $1870 \times 900 \mu\text{m}$ 、深さ $30 \mu\text{m}$ のピット底部に薄膜電極を形成した。このとき形成した薄膜電極の観察結果を図 11 に示す。ただし、この場合はホトマスクの幅のフィードバックを行っていない。図のように、 X が $100 \mu\text{m}$ 以下のピット側面に近い領域においても、薄膜電極が良好に形成されていることが分る。この領域だけでなくピット底部に形成された薄膜電極には、端部のまくれ、はがれやレジストの付着が認められなかった。

図 11 薄膜電極の SEM 写真
Fig.11. SEM photographs of thin film electrodes

4. まとめ

シリコンの異方性エッチングにて形成した深さ $30 \mu\text{m}$ のピット底部に膜厚 750nm の Au/Pt/Ti の 3 層多層薄膜電極を形成する技術を開発し、以下の結論を得た。

(1) ひさし付のレジストパターンを用い、リフトオフ法にて薄膜電極を形成した結果、ピットの側面からの距離が $60 \mu\text{m}$ 以上の位置で、薄膜電極の寸法変動量はピット内平均 $\pm 3 \mu\text{m}$ 以下、ばらつき $\pm 1 \mu\text{m}$ であった。

(2) 本プロセスを用いれば、ピット側面からの距離によらず寸法精度 $\pm 1 \mu\text{m}$ の形状の薄膜電極を得る見通しを得た。

(3) 高さ 800nm 、アンダーカット量 $8 \mu\text{m}$ のひさしをレジストパターンに形成することで、不連続に薄膜を堆積させることができ、その結果、不良箇所が無い薄膜電極を形成することができた。

(平成 10 年 3 月 19 日受付、平成 10 年 8 月 6 日再受付)

文 献

- (1) 鈴木安弘, 東盛裕一, 加藤和利, 福田光男, 関根聡, 内田直人, 山田泰文, 堀口正治, 杉江利彦: 「光加入者システム用光デバイス」, 信学技報, OCS96-1, pp. 1-8, (1996)
- (2) 加来良二, 前沢卓也, 高山清, 佐藤光俊, 高橋あゆ美, 原田正: 「光通信用シリコン V 溝基板の開発」,

信学技報, EMD97-45, pp. 1-6, (1997)

- (3) 佐々木誠美, 中川剛二, 田中一弘, 三浦和則, 矢野光博:「無調整型光結合モジュールの実装方法」, 信学技報, EMD95-27, pp. 19-24, (1995)
- (4) 蔵田和彦, 山内賢治, 河谷篤寛, 田中英樹, 後藤明生, 石川重太:「表面実装型 LD/PD モジュール」, NEC 技報, vol. 47, No12, (1994)
- (5) S. Linder, H. Baltes, F. Gnaedinger, and E. Doering: "Photolithography in Anisotropically Etched Grooves", Proc. IEEE MEMS Workshop'96, pp. 38-43, (1996)
- (6) C. Christensen, P. Kersten, S. Henke, and S. Bouwstra: "Wafer Through-Hole Interconnections with High Vertical Wiring Densities", IEEE Transactions on Components, Packaging, and Manufacturing Tech., Part A, vol. 19, No4, pp. 516-522, (1996)
- (7) M. Hatzakis, B. J. Canavello, and J. M. Shaw: "Single-Step Optical Lift-Off Process", IBM J. Res. Develop., vol. 24, No4, pp. 452-460, (1980)
- (8) Dietrich W. Widmann: "Metallization for Integrated Circuits Using a Lift-Off Technique", IEEE Journal of Solid - State Circuits, vol. SC-11, No4, pp. 466-471, (1976)
- (9) 江刺正喜, 藤田博之, 五十嵐伊勢美, 杉山進:「マイクロマシーニングとマイクロメカトロニクス」, 培風館, (1992)

明石 照久

(正員) 昭和 43 年 11 月 1 日生まれ。平成 4 年 3 月早稲田大学理工学部機械工学科卒業。平成 6 年 3 月同大学院理工学研究科機械工学専攻修士課程修了。同年 4 月 (株) 日立製作所入社, 現在に至る。主としてマイクロデバイスの実用化研究, プロセス開発に従事。

岡野 広明

(非会員) 昭和 30 年 8 月 1 日生まれ。昭和 55 年 3 月立教大学理学部化学学科卒業。昭和 57 年 3 月東京工業大学大学院総合理工学研究科電子化学専攻修了。同年 4 月日立電線 (株) 入社, 現在に至る。主として導波路型光部品の研究開発に従事。