電流モード逐次比較方式によるセンサ面上 ADC の検討

非会員 杉 浦 和 英 (東京大学)

非会員 呉 明 寿 (東京大学)

非会員 相 澤 清 晴 (東京大学)

A Current Mode Successive Approximation ADC for Focal Plane Integration

Sugiura Kazuhide, Non-member, Oh MyoengSoo, Non-member, Aizawa Kiyoharu, Non-member (The University of Tokyo)

In this paper, we propose a new focal plane A/D conversion for digital smart sensors. The proposed A/D converter is pixel-parallel architecture. The circuit for each pixel has a current mode comparator, multiple current mirrors and two shift registers. The design and the preliminary simulation are shown.

キーワード：スマートセンサ、画素並列アーキテクチャ、逐次比較型 A/D 変換回路、電流演算回路

1. ま え が き

本論文では、イメージセンサ上に統合する A/D 変換について提案を行う。画像信号をイメージセンサ上で A/D 変換することで、センサから直接デジタル信号を出力することができる。また、スマートセンサのようにセンサ上への信号処理機能の統合に際してデジタル処理を導入することが可能となる。

スマートセンサに関しては、これまで、そのほとんどがアナログ処理に基づく特定目的のために検討されている⁽¹⁾。これらのスマートセンサではアナログ処理を利用することで高速、低消費電力での撮像面上の処理を実現している。一方、プログラムによる柔軟性は乏しい。このため、汎用スマートセンサを目指して、デジタル処理に基づくスマートセンサも開発されてきた^{(2) (3)}。

デジタル処理を行う場合、A/D 変換がその処理の品質に大きく影響する。撮像面上では、撮像性能を確保するために、出来る限り小規模、低消費電力な A/D 変換が望ましい。本論文では、電流演算により小規模に実現できる A/D 変換を考案し、その設計を示す。高速処理のために画素内に A/D 変換回路を統合し、画素並列に動作させる構成としている。以下、イメージセンサ上での A/D 変換のアーキテクチャについて一般的に論じ、画素並列 A/D 変換回路についての要件をまとめる。提案方式である電流モード比較方式の回路を説明し、その動作、設計について論じる。

2. イメージセンサ上での A/D 変換

イメージセンサ上に A/D 変換回路を実装するアーキテクチャとしては以下の構成が考えられる⁽⁴⁾。これらの構成を

図 1 に示す。

- 単一 ADC アーキテクチャ
- 列並列アーキテクチャ⁽³⁾
- 画素並列アーキテクチャ^{(5) (6) (7)}

図 1 A/D 変換実装アーキテクチャ
Architecture of ADC Implementation

単一 ADC アーキテクチャでは全画素に対して 1 つの A/D 変換回路を用いる。このため高速の A/D 変換回路を

必要であり、高速撮像、高解像度化には A/D 変換回路の動作速度による限度がある。列並列アーキテクチャでは列毎に A/D 変換回路を共有する。行単位で処理を行うため、中程度の速度の A/D 変換回路が使用できる。しかし列間の A/D 変換回路の特性のばらつきによる画像の劣化が生じる。

画素並列アーキテクチャは画素毎に A/D 変換回路を持つ。そのため、各 ADC の動作は低速で十分である。一方、A/D 変換回路毎のばらつきによる影響は大きい。また画素内に回路を有することにより、一般に開口率も低くなる。しかし画素出力の時点でデジタル化されているので画素間の信号処理をそのままデジタルで扱うことができる。一般に画像処理では画素間の情報を利用することが多いので、画素並列構成はデジタル処理に基づくスマートセンサにはもっとも適した構成と考えられる。

3. 画素並列 A/D 変換回路

イメージセンサ上に画素並列に A/D 変換回路を実装する際に求められる条件としては、

- 1 画素当たりの実装面積が小さいこと
- 1 画素当たりの消費電力が小さいこと
- 画素間の特性の均一性

が挙げられる。

実装面積を小さくすることで開口率を高くしたり、1 チップにより多くの画素を実装することができる。消費電力を小さくすることでチップ上での発熱によるフォトダイオードの暗電流のノイズを抑えたり、多画素時の消費電流を抑えることが可能になる。特性の均一性は固定パターンノイズを抑えるためである。CMOS センサは CCD センサに比べて固定パターンノイズのために画質が劣っていたが、製造プロセスの改善やキャンセル回路によって克服されている。

今までに報告されている画素並列 ADC の実装例をいくつか挙げる。Stanford 大学のグループによるフラッシュ ADC を内蔵したセンサ⁽⁵⁾では、画素値との比較用の電圧を変化させて比較器を時間分割で使うことで等価的にフラッシュ ADC を実現している。豊橋科技大学のグループによる積分型 ADC を内蔵したセンサ⁽⁶⁾は固定パターンノイズをキャンセルする各種の機構を備えている。NHK 技研による 1 ビット ADC を内蔵したセンサ⁽⁷⁾では knee 回路により大きなダイナミックレンジを得ている。他にフォトダイオードの蓄積時間を利用した簡易的な A/D 変換回路を内蔵したイメージセンサ⁽²⁾⁽⁸⁾も報告されている。しかしながら現状ではどのセンサも開口率が低くなり、撮像性能の点では改善が必要である。

4. 電流モード逐次比較方式による画素並列 ADC の設計

〈4・1〉 回路設計 画素並列に実装するための A/D 変換回路の構成を図 2 に示す。

本イメージセンサの A/D 変換回路の方式として電流モ

図 2 提案する A/D 変換回路
Our Proposed ADC

ドの逐次比較方式を採用した。トランジスタ数を多く必要とするカウンタ回路を持たないので回路構成の簡素化と実装面積の縮小が図られる。さらに電流モードの回路は A/D 変換回路は全てトランジスタで構成されるために製造プロセスの微細化の恩恵を大きく受けることができる。逐次比較方式は積分型や 1 ビット ADC 方式に比べて変換速度が速いので高速な撮像ができる他、列並列アーキテクチャにも適用可能と考えられる。一方、同じ逐次比較方式でも電圧モードではホールド用や電荷再配分用に多くの実装面積を必要とするキャパシタが必要となる。消費電流は現状では他の方式に比べて大きい、プロセスの微細化により個々のトランジスタの動作電流を小さくすることで消費電流の削減は可能であると考えられる。均一性の実現は他の方式の画素内 ADC 同様困難な課題であるが、本方式では個々の A/D 変換回路の外部参照電流を調節することにより対応可能である。チップ全体の実装面積は大きくなるものの、ルックアップテーブルの手法で解決することが考えられる。

1 画素の回路は受光・電圧-電流変換回路と A/D 変換回路、制御回路の 3 つの部分に分けられる。受光・電圧-電流変換回路はフォトダイオードとシャッター用トランジスタ、トランスコンダクタ用トランジスタから構成される。フォトダイオードは N-well 上に p+拡散層を配したものである。製造プロセスは他の回路と同一で、受光部分の大きさは $30\mu\text{m} \times 60\mu\text{m}$ である。A/D 変換回路は 2 組の制御シフトレジスタとカレントミラーの対、そして上下カレントミラーの電流の大小判定に用いる比較回路から構成される。比較回路はインバータを 2 段直列に接続したものである。インバータの入力閾値電圧を利用して図 2 の nodeA の電圧を基に判定を行う。制御回路の詳細については後で述べるが、画素外部からの信号により A/D 変換回路のクロック

制御を行う部分である。

〈4・2〉動作の概要 受光・電圧-電流変換回路と A/D 変換回路は別系統の制御信号で動作を行うようになっている。

受光・電圧-電流変換回路ではフォトダイオードの画素値電圧をシャッター M2 を通じてトランスコンダクタ M3 のゲートに入力する。そして M3 はゲートの電圧値に応じて電流値に変換して A/D 変換回路へ出力している。ここで M3 の電圧-電流変換において非線型性が生じるが、電圧と電流の対応は一意であるため、線形に近づけるために後段の信号処理回路で補正することが必要である。A/D 変換回路では受光・電圧-電流変換回路からの入力電流と参照電流の逐次比較動作によって A/D 変換を行う。上下のシフトレジスタはそれぞれのカレントミラー構成するトランジスタのオン/オフによりカレントミラーの電流値を制御する。さらに下側のシフトレジスタは各ビットにおける比較動作の結果の保持も行う。上下のカレントミラーにより比較される電流値のダイアグラムを図 3 に示す。上側のカレントミラーは左側のトランジスタから順にオンになる。すなわちクロック毎に電流値がバイナリ的に増加していく。下側のカレントミラーではクロック毎にビットシフトによって電流値のレンジを上げて行く。同時に直前のビットの比較結果を比較回路から取り込んで上側のカレントミラー電流に見合うだけの電流が流れるように下側のカレントミラーを制御する。4 ビットの A/D 変換回路では、A/D 変換結果を N ($N = 0, 1, 2, \dots, 15$)、A/D 変換回路への入力電流を I_p 、参照電流を I_r とすると以下の式が成り立つ。

$$N = \text{floor}\left\{8 \times \frac{I_p}{I_r}\right\}$$

(但し、 $\text{floor}(x)$ は x を超えない最大の整数)

A/D 変換動作が完了した後に A/D 変換の出力は下側のシフトレジスタ SR2 の Q4 出力から時系列的に取り出される。図 4 に以上の A/D 変換動作のタイミングを示す。

図 3 比較電流値のダイアグラム
Current Value Diagram

〈4・3〉回路シミュレーション HSpice 上における A/D 変換動作のシミュレーション例を図 5 に示す。条件はクロッ

図 4 タイムチャート Time Chart

ク周波数 1000Hz、A/D 変換回路への入力電流 80nA 、参照電流 100nA である。図 5 ではクロックを点線で、下側のシフトレジスタの Q1 出力を実線で示してある。この条件の下では前節の式より A/D 変換回路への入力電流が 80nA の場合は "0110(=6)" に変換されることになる。シミュレーションでは Q1 出力は 2 クロック目と 3 クロック目で "1" が出力されていて "0110(=6)" に変換されている。

図 5 シミュレーション例 ($I_p = 80\text{nA}$)
Simulation ($I_p = 80\text{nA}$)

図 6 は入力電流を 160nA に変えた時のシミュレーションである。前節の式より "1100(=12)" に変換されることになる。シミュレーションでも "1100(=12)" に変換されていることが分かる。

今回は 4 ビットで試作を行ったため、4 クロックで変換動作が完了する。読み出しも 4 クロックで完了する。後述するが、今回の設計ではシフトレジスタ等のロジック回路をスタティック構成としている。そのためかなり低いクロック周波数でも動作可能である。高速撮像をするとしても画素並列 ADC では低速な変換でも十分と考えられる。

図6 シミュレーション例 ($I_p = 160nA$)
Simulation ($I_p = 160nA$)

5. VLSI としての設計

〈5・1〉 レイアウト 2-poly 3-metal, $0.6\mu m$ プロセスの下での設計を行った。1 画素分のレイアウトを図7に示す。

図7 1 画素分のレイアウト
Pixel Layout

〈5・2〉 試作チップの概要 今回設計したチップについて以下にその概要を示す。なお消費電流値はシミュレーション上での瞬時値である。

画素数	24 × 24
画素サイズ	$250\mu m \times 250\mu m$
PD サイズ	$30\mu m \times 60\mu m$
開口率	2.9%
A/D 変換ビット数	4bit
トランジスタ数	1 画素当たり 219
最大消費電流	1 画素当たり $15\mu A$

今回の試作では、プロトタイプということもあり、全体

として余裕をみた設計となった。A/D 変換回路のビット数は4ビットとしている。実用上は、より多くのビットの変換を行えるようにすべきであるが、現在の構成ではビット数の増加とともに必要なトランジスタ数が指数関数的に増加してしまう。本センサの A/D 変換回路は外部参照電流の値により変換レンジを変えることができるので、減算回路などと組み合わせて A/D 変換処理を複数回に分けて行うことでトランジスタ数と消費電力の増加を抑えることができると考えている。幅広いクロック周波数において動作確認を取るためにロジック回路はスタティック構成とした。そのためトランジスタ数や画素サイズ、1 画素当たりの消費電流もかなり大きなものになっている。シフトレジスタをダイナミック構成にすることで大幅にトランジスタ数及び実装面積の削減が可能と考えている。

〈5・3〉 センサの制御 1 画素の制御信号のブロック図を図8に示す。制御回路は X アドレスと Y アドレスの両方が選択された時に画素外部から A/D 変換回路へクロック信号を通したり、A/D 変換回路からの出力を外部へ通す。X アドレス線と Y アドレス線はそれぞれ列あるいは行毎に画素間共通になっている。デジタル出力は 1 画素ずつの読み出しのためオープンドレインとして列毎に共通に接続している。

図8 画素制御信号 Control Signal

センサチップ全体の制御信号等の概略を図9に示す。撮像は全画素一斉に行う。また今回は画素数が少ないため、アクティブにする画素のアドレス指定は列毎或は行毎に端子を設けて外部回路からの制御により行っている。アドレスの指定はランダムにできるのでランダムアクセスが可能な構成となっている。

6. ま と め

本論文では画素並列に A/D 変換回路を統合したイメージセンサの設計について述べた。現在、設計したチップは VDEC にて試作が完了し、動作についての評価を行っている[†]。

[†]本チップの試作は東京大学大規模集積システム設計教育研究センターを通しローム (株) および凸版印刷 (株) の協力で行われている。

図9 センサ全体における信号線接続
Overview

設計に対する課題として以下のものが挙げられる。

- 多ビット化
- 開口率の向上
- 低消費電力化
- 特性のばらつきの影響の削減

(平成 11 年 9 月 27 日受付, 同 12 年 3 月 31 日再受付)

文 献

- (1) Alireza Moini: "Vision Chips or Seeing Silicon Third Revision" March 1997 <http://www.eleceng.adelaide.edu.au/Groups/GAAS/Bugeye/visionchips/index.html>
- (2) M.Ishikawa, T.Komuro, K.Ogawa, Y.Nakado, A.Namiki, I.Ishii: "Vision Chip with General Purpose Processing Elements and Its Application" International Symposium on Future of Intellectual Integrated Electronics March 14-17 1999 Sendai Japan
- (3) C.Jansson et al: "An Addressable 256 × 256 Photodiode Image Sensor Array with an 8bit Digital Output" Analog Integrated Circuits Signal Processing, 4, pp37-49
- (4) 中村淳一 "デジタル画像処理機能を持った CMOS イメージセンサ" 映像情報メディア学会誌 1999 年 2 月 Vol.53 No.2 pp172-177
- (5) <http://www-isl.stanford.edu/people/dyang/pub.shtml> "SPIE 99' on testing CMOS imagers with pixel level ADC", "ISSCC 99' Slides on a CMOS Image Sensor with Ultra Wide Dynamic Range Floating-Point Pixel-Level ADC", "JSSC '99"
- (6) 川人祥二、宮崎大輔、田所嘉昭 "超高速撮像用画素レベル A/D 変換方式の検討" 映像情報メディア学会技術報告 1999 年 6 月 Vol.53 No.2 pp65-pp70
- (7) 安藤文彦、中山美穂、島本 洋 "画素単位内で A/D 変換するデジタルイメージセンサ" 映像情報メディア学会技術報告 1999 年 6 月 pp71-pp76
- (8) K.Asada, T.Nezuka, T.Fujita, M.Ikeda J.Akita: "Image sensors with flexible access methods to pixels for adaptive spatial and time resolution" International Symposium on Future of Intellectual Integrated Electronics March 14-17 1999 Sendai Japan

杉 浦 和 英 (非会員) 1998 年 3 月東京大学工学部電気工学科卒業。2000 年 3 月東京大学大学院工学系研究科修士課程修了。現在、日本テキサス・インスツルメンツ株式会社勤務。

呉 明 寿 (非会員) 現在、東京大学大学院工学系研究科博士課程在学中。

相 澤 清 晴 (非会員) 1983 年 3 月東京大学工学部電子工学科卒業。1988 年東京大学大学院工学系研究科博士課程修了。現在、東京大学大学院新領域創成科学研究科助教授。工学博士。