AC出力コンダクタンス測定によるpoly-Si TFTの基板浮遊効果と自己発熱効果の評価

Floating-body and Self-heating Effects Characterization of poly-Si TFTs through AC Output Conductance Measurement

高取 憲一[†], 浅田 秀樹[†], 金子 節夫^{††}

Kenichi Takatori[†], Hideki Asada[†] and Setsuo Kaneko^{††}

Abstract We measured the AC output conductance of poly-Si TFT in the frequency domain. We observed an increase in conductance due to the floating-body effect (FBE) in higher drain bias regions. The FBE was suppressed as the frequency increased. An increase in conductance caused by suppression of the self-heating effect (SHE) was observed in frequency regions over 0.1 MHz. Although the changes caused by FBE are bias-dependent, those caused by SHE are bias-independent. Longer channel widths showed greater frequency dependency, which is related to SHE.

キーワード: ポリシリコン TFT, AC 出力コンダクタンス, 基板浮遊効果, 自己発熱効果

1. ま え が き

ポリシリコン薄膜トランジスタ (polycrystalline silicon thin-film transistor. 以下, poly-Si TFT) はアモルファスシリコン TFT より移動度が高く, ディスプレイ内部に多数の回路・システムを集積できる. このようなシステム・オン・ガラス (system on glass. 以下, SOG) もしくはシステム・オン・パネル (system on panel. 以下, SOP) と呼ばれるディスプレイは, 小型ディスプレイ領域で急速に進展している. 特に, 高精細・狭額縁の携帯電話用やノート PC 用に広く用いられつつある. このような SOG/SOP ディスプレイの開発を通して, poly-Si TFT の特性が改善されてきている.

よく知られているように, TFT はシリコン・オン・インシュレータ (silicon on insulator. 以下, SOI) MOSFET とほぼ同じ構造 (すなわち, 絶縁膜上に設けられたトランジスタ構造) を有しており, SOI MOSFET と同様

の特徴を示す¹⁾²⁾. SOI MOSFET の特徴のうち, 自己発熱効果 (self-heating effect. 以下, SHE) と, 基板浮遊効果 (floating-body effect. 以下, FBE)³⁾ は性能上, 最も問題とされている. すなわち, SHE による温度上昇は, 移動度を低下し飽和ドレイン電流を低下させ性能劣化を招く. 一方, FBE は, ドレイン電流のキンク効果, 閾値電圧の動的な変化, 寄生バイポーラトランジスタの過渡的な活性化, 単トランジスタラッチ等の様々な現象を招くと共に, ヒストリー効果による性能劣化を生じる³⁾. poly-Si TFT 技術でも SOI MOSFET と同様, SHE や FBE が観察され⁴⁾⁵⁾, SOI MOSFET で見られるのと同様の影響が懸念される.

FBE は, 電気的原因で発生し, 上述のような種々の電気的現象を生じるため, DC 的な電圧-電流特性を含む様々な電気的特性の測定で観測・評価が可能である. 一方, SHE は熱的原因で発生するため評価が難しく, 主にシミュレーションで評価されている⁶⁾⁷⁾. SOI 技術におけるいくつかの論文は, 周波数領域における AC 出力コンダクタンス測定が SHE 評価に役立つツールの一つである事を示している⁸⁾⁹⁾¹¹⁾. そこで, poly-Si TFT の SHE を評価するために, 低温 poly-Si TFT (low-temperature poly-Si TFT. 以下, LTPS TFT) の AC 出力コンダクタンスを測定したので報告する. なお本報告では, AC 出力コンダクタンスを FBE の評価にも用いている.

2. 基板浮遊効果と自己発熱効果

まず, 基板浮遊効果と自己発熱効果について説明する.

2006 年 12 月 8 日, IDW '06 で発表

2007 年 3 月 5 日受付, 2007 年 6 月 4 日再受付, 2007 年 7 月 11 日採録

[†] NEC 液晶テクノロジー株式会社 研究本部 研究部

(〒 211-8666 神奈川県川崎市中原区下沼部 1753, TEL 044-396-3231)

^{††} NEC 液晶テクノロジー株式会社 研究本部

(〒 211-8666 神奈川県川崎市中原区下沼部 1753, TEL 044-435-1326)

[†] Research Department, Research Division, NEC LCD Technologies, Ltd.

(1753, Shimonumabe, Nakahara-ku, Kawasaki, Kanagawa 211-8666, Japan)

^{††} Research Division, NEC LCD Technologies, Ltd.

(1753, Shimonumabe, Nakahara-ku, Kawasaki, Kanagawa 211-8666, Japan)

(a) SOI MOSFET

(b) poly-Si TFT

図 1 SOI MOSFET と poly-Si TFT の断面構造の模式図
Cross section of (a) SOI MOSFET and (b) poly-Si TFT.

2.1 基板浮遊効果 (FBE)

通常のパルクシリコン基板上の素子では、トランジスタのチャネル部分はシリコン基板に電気的に接続されている。一方、SOG/SOP 素子では SOI 素子と同様、チャネル部の poly-Si 層は固定電位を持つ端子に接続されていない。これを、浮遊ボディ (floating body) と呼ぶ。そのため、SOG/SOP 素子のチャネル部のポリシリコン層中に、電気的に中性で空乏化していない領域が存在する。素子が動作状態になると、この領域に電荷が蓄積し、キンク効果のような様々な不都合な特性を示す。浮遊ボディが原因でこのような不都合な特性を発生することを、基板浮遊効果 (FBE) と呼ぶ。TFT の浮遊ボディの電位は、印加されてきたバイアスの履歴、ならびに、キャリアの生成と再結合のメカニズムに依存する。そのため、FBE もまた、素子の履歴や生成・再結合メカニズムに依存する。

図 1 に示すように、TFT のチャネル部 (図で Body と書かれた部分) の poly-Si 層は多数の欠陥 (結晶粒界) を含み粒界トラップの影響を受けるため、SOI 素子より FBE の影響が更に大きいことが示唆されている⁹⁾。

2.2 自己発熱効果 (SHE)

SOG/SOP TFT では、チャネル部の下に絶縁層ならびに絶縁基板が存在する。これらの絶縁部は、通常、熱伝導

度が小さく、チャネル部からの熱の放出の障害となる。例えば、SiO₂ 膜やガラス基板の熱伝導度は、シリコン基板の熱伝導度の 1/10 以下である。小さな熱伝導度のため、素子の動作中に発生した熱は効果的に散逸しない。熱の散逸が遅い結果、例えば、移動度の低下が起こる。このような熱の散逸が遅い事により不都合な特性が発生することを、自己発熱効果 (SHE) と呼ぶ。

図 1 に示すように、SOI ではチャネル部の下に熱伝導度の低い絶縁層 (Buried Oxide) があり、その下は熱伝導性の高いシリコン基板である。一方、TFT では通常、基板も熱伝導度が低い基板が用いられるため、SOI 素子より SHE の影響が大きい可能性がある。

3. AC 出力コンダクタンス

ここでは、AC 出力コンダクタンスの定義と、測定の構成について説明する。

3.1 AC 出力コンダクタンスの定義

AC 出力コンダクタンスは、小信号ドレインコンダクタンス、もしくは、動的出力コンダクタンスとも呼ばれる。これは、次の式 1 のように、全ドレイン電流 I_d とドレインソース電圧 V_{ds} の傾きで定義される。

$$g_0 = \left. \frac{I_d}{V_{ds}} \right|_{V_{gs}} \quad (1)$$

図 2 は、MOSFET での (a) ドレイン電流 I_d 、ならびに、(b) 出力コンダクタンス g_0 の傾向をドレインソース電圧 V_{ds} を横軸として模式的に表した図である¹⁰⁾。

3.2 測定の構成

図 3 に、我々が用いた AC 出力コンダクタンス測定の構成を示す。この構成では、測定装置として、インピーダンスアナライザ (もしくは LCR メータ)、半導体パラメータアナライザを用いる。インピーダンスアナライザは、測定対象 (図で点線で示した) のドレインソース端子間に、DC バイアスならびに AC 小信号を印加し、AC 出力コンダクタンスを測定する。AC 小信号の周波数を変えることで、周波数領域での AC 出力コンダクタンスを測定する。測定対象のゲート電圧は、半導体パラメータアナライザの SMU1 端子から供給される。また、半導体パラメータアナライザの VM1 ならびに VM2 端子を用いてドレインソース間電圧をモニタし、必要に応じて印加バイアスを調整する。

4. 結 果

次に、AC 出力コンダクタンスの実際の測定結果と、いくつかの考察を示す。

測定に使用したサンプルは、絶縁基板として厚さ 1.1[mm] のガラス基板を用い、図 1(b) に示すような、チャネル部がゲート下にあるトップゲート型の poly-Si TFT である。poly-Si 層の膜厚は 50[nm] であり、アモルファス Si を成膜後にエキシマレーザアニールにより結晶化した。ゲート絶

(a) Total drain current I_d vs. V_{ds}

(b) Output conductance g_0 vs. V_{ds}

図 2 V_{ds} を変えた時の (a) ドレイン電流と (b) AC 出力コンダクタンスの傾向を示す図
Tendency chart of drain current and AC output conductance vs. V_{ds} .

図 3 AC 出力コンダクタンス測定の構成
Measurement setup for AC output conductance.

縁膜はシリコン酸化膜を用い、その膜厚は 50[nm] である。

4.1 測定例

AC 出力コンダクタンスが正しく測定できているかを検証するために、まず、AC 出力コンダクタンスの測定例を示す。使用したサンプルは、n チャンネルの LTPS TFT であり、そのチャンネル長 L は 4[μm]、チャンネル幅 W は 10[μm] である。

参考のために、図 4 に DC バイアスのみを印加して測定した I_{ds} と V_{gs} の関係 (伝達特性) を示す。図 5 は、ゲート

図 4 伝達特性 (I_{ds} vs. V_{gs})
Drain current I_{ds} versus gate voltage V_{gs} characteristics.

図 5 AC 出力コンダクタンスの測定例
Example of measured AC output conductance.

電圧 V_g [V] を変化させ測定した時の、AC 出力コンダクタンス G_{out} [mS] とドレイン電圧 V_{ds} [V] の関係を示す図である。印加した AC 小信号の振幅は 10[mV]、周波数は 1[kHz] である。ドレイン電圧 V_{ds} が増加するにつれ、出力コンダクタンス G_{out} ははじめ減少し、次いで増加し始める。この高ドレイン電圧領域での出力コンダクタンスの増加は、FBE によって引き起こされるキंक効果に関連する。

式 1 から明らかなように、出力コンダクタンスをドレイン電圧に対して積分すると、ドレイン電流 I_{ds} が得られる。図 5 を V_{ds} に関し積分して得られたドレイン電流 I_{ds} とドレイン電圧 V_{ds} の関係を図 6 に示す。図 6 の I_{ds} と V_{ds} のグラフは、DC バイアスのみを印加して測定した I_{ds} と V_{ds} の関係 (出力特性) とほぼ同じ傾向を示す。このことから、我々が測定に用いた図 3 の構成によって、AC 出力コンダクタンスが正しく測定できていることがわかる。

4.2 AC 出力コンダクタンスにおける FBE

次に、図 5 の高ドレイン電圧領域で観測された FBE を更に詳細に解析するために、周波数を変えながら AC 出力コンダクタンスを測定した。図 7 に、周波数を変えた時の

図 6 図 5 を積分することで得られた I_{ds} - V_{ds} カーブ
 I_{ds} vs. V_{ds} curve obtained from Fig.5.

図 8 図 7 を積分することで得られた I_{ds} - V_{ds} カーブ
 I_{ds} vs. V_{ds} obtained from Fig.7.

図 7 G_{out} vs. V_{ds} の周波数依存性
Frequency dependency of G_{out} vs. V_{ds} .

図 9 G_{out} vs. 周波数のドレイン電圧依存性
Drain bias dependency of G_{out} vs. frequency.

G_{out} [mS] と V_{ds} [V] の関係を示す。なお、サンプルは図 5 と同じのものであり、ゲート電圧 V_g は 4[V] に固定している。AC 小信号の振幅は 10[mV] であり、周波数を 20[Hz] から 1[MHz] まで変化させた。ドレイン電圧が 3[V] より大きくなると、 G_{out} が上昇する様子が見られる。 G_{out} が上昇を開始するドレイン電圧は、周波数が増加するにつれ高電圧側に移動する。この G_{out} の上昇は、浮遊ボディが充電されることにより生じるインパクトイオン化に関係している⁹⁾。インパクトイオン化によって発生した正孔の一部が浮遊ボディを充電するには一定の時間を要するため、周波数が高くなると浮遊ボディの充電が少なくなる¹¹⁾。高い周波数領域で、キंक効果によるコンダクタンス上昇を実現するには、より高い DC ドレイン電圧を印加する必要がある。その結果、高い周波数では、 G_{out} が上昇を始めるドレイン電圧が高電圧側に移動する。

図 7 を V_{ds} に関し積分して得られた I_{ds} vs. V_{ds} の周波数依存性を図 8 に示す。この図でも、周波数が増加するにつれ、キंक効果によるドレイン電流の急激な上昇が発生する位置が高電圧側にシフトする様子がはっきりと示され

ている。

4.3 周波数による FBE と SHE の分離

次に、ドレイン電圧 V_{ds} を変えた時の、AC 出力コンダクタンス G_{out} と周波数の関係を図 9 に示す。なお、サンプルは図 5 と同じのものであり、ゲート電圧 V_g は 5[V] に固定している。また、AC 小信号バイアスの振幅は 10[mV] である。ドレイン電圧 V_{ds} は、4.7[V], 5.0[V], 5.3[V] の 3 種類で測定している。すべてのドレイン電圧条件で、周波数が 0.1[MHz] の時に各々のカーブで出力コンダクタンスが最小となっている。

ドレイン電圧に対する依存性をより詳細に解析するために、図 9 のそれぞれのドレイン電圧条件での AC 出力コンダクタンスを周波数が 0.1[MHz] でのコンダクタンス値で規格化した。その結果を、図 10 に示す。すべてのカーブで、0.1[MHz] までは周波数が増加するにつれ、規格化された出力コンダクタンスが低下する。周波数が 0.1[MHz] を超えると、規格化された出力コンダクタンスは増加に転じる。また、周波数が 0.1[MHz] 以上ではすべてのカーブがほぼ重なっている。

図 10 図 9 を 0.1[MHz] での値で規格化した得られた, AC 出力コンダクタンスと周波数の関係のドレイン電圧依存性

Normalized AC output conductance vs. frequency obtained from Fig. 9.

図 11 チャンネル幅 $W=160[\mu\text{m}]$ での規格化した AC 出力コンダクタンスとドレイン電圧 V_{ds} の関係

Normalized output conductance vs. V_{ds} for $W=160[\mu\text{m}]$.

規格化された出力コンダクタンスの低下は, FBE の抑制に起因する. DC ドレイン電圧が増加すると FBE に関するインパクトイオン化が増加するため, 規格化された出力コンダクタンスは, 周波数が 0.1[MHz] までドレイン電圧に大きく依存した特性を示す. 一方, 0.1[MHz] 以上の周波数領域では, すべてのカーブが重なっており, 規格化された出力コンダクタンスの増加は, ドレイン電圧に依存していない. 電圧に依存しないことから, 周波数 0.1[MHz] 以上でのコンダクタンス上昇は, 基本的に非電気的な原因で発生していると考えられる. このコンダクタンス上昇は熱的な原因と推測され, SHE が抑制されることに対応すると考えられる⁹⁾¹¹⁾. AC での SHE は熱抵抗と熱容量で定義される, ある熱時定数を有している. 高い周波数では, この熱時定数の制限を受け, AC での SHE が抑制される.

この実験で観測された SHE の抑制が始まる周波数 (0.1[MHz]) は, SOI 技術で報告されている値とほぼ同様であり^{3)9)11)~13)}, poly-Si TFT での SHE が SOI 技術に似

図 12 チャンネル幅 $W=4[\mu\text{m}]$ での規格化した AC 出力コンダクタンスとドレイン電圧 V_{ds} の関係

Normalized output conductance vs. V_{ds} for $W=4[\mu\text{m}]$.

た周波数依存性を示すことがわかる.

4.4 チャンネル幅依存性

最後に, チャンネル幅に対する依存性を測定した. チャンネル幅の大きさによって放熱領域の形状が異なってくると考えられ, AC 出力コンダクタンスにもその影響が観察されることが考えられる. 測定に用いたサンプルは, 同じ基板上に設けられた n チャンネル LTPS TFT であり, チャンネル長 L は今までと同じ $4[\mu\text{m}]$ であり, チャンネル幅 W がより広いもの ($160[\mu\text{m}]$) とより狭いもの ($4[\mu\text{m}]$) の二つとした. チャンネル幅が狭いものは, チャンネル長とチャンネル幅が等しいため, チャンネル部の形状はほぼ正方形である. 一方, チャンネル長が広い条件では, チャンネル部の形状は縦横比の大きい長方形である. 図 11 に, チャンネル幅 W が $160[\mu\text{m}]$ での規格化した出力コンダクタンスとドレイン電圧の周波数依存を示す. 20[Hz] と 1[MHz] の 2 周波数で測定している. また, ゲート電圧は 9[V] で固定している. さらに, 測定で得た出力コンダクタンスを周波数 20[Hz], ドレイン電圧 $V_{ds}=6[\text{V}]$ の時の値で規格化している. 同様に, 図 12 に, チャンネル幅 W が $4[\mu\text{m}]$ での規格化コンダクタンスとドレイン電圧の周波数依存を示す.

二つの図から, チャンネル幅が広い素子の規格化された出力コンダクタンスの方が, より大きな周波数依存性を示す事が明らかである. チャンネル幅が広い素子では, 特に高ドレイン電圧領域で高い周波数条件の方が低い周波数条件に比べてコンダクタンスの回復が大きい. これは, SHE に関連すると考えられる.

ゲート電圧が大きくドレイン電圧も大きい条件では, 電力消費が極めて大きい. 電力消費が大きいと温度上昇を生じ, 実効的な移動度が低下する. 消費電力が大きい条件で見られる SHE の影響は, チャンネル幅が小さい素子では明確でないことを Howes らが示している. Howes らは, SOI 技術の 1 種である Silicon on sapphire 技術において, アドミッタンスの周波数依存性をチャンネル幅の異なる素子に

対し比較し、SHE とチャネル幅の関係を論じている。加えて、チャネル幅に起因する熱抵抗の変化を考察している。Howes らの熱抵抗の考察では、チャネル幅とチャネル長が同じである Berger らのモデル⁶⁾と、チャネル幅がチャネル量に対し大きいモデルとを比較している。彼らによると、チャネル幅が広い場合は、チャネル幅が小さい場合に比べて、 $\ln(2t_{sa}/L)$ 倍熱抵抗が大きいとしている。ここで t_{sa} はサファイヤ基板の厚み、 L はチャネル長である。この結果、チャネル幅が狭い素子では、SHE があまり顕著でない結論している。

Howes らの考察と我々の実験結果を比較すると、poly-Si TFT においても、チャネル幅が狭い素子では、熱的な効果はあまり大きくないといえる。

5. む す び

poly-Si TFT において周波数領域での AC 出力コンダクタンスを測定した。コンダクタンスの上昇は基板浮遊効果 (FBE) に関連し、ドレイン電圧が大きい領域で観察される。周波数が増加するにつれて、FBE が抑制される。自己発熱効果 (SHE) が抑制されることで生じるコンダクタンスの上昇は、0.1[MHz] 以上の周波数領域で観察された。また、チャネル幅が狭い素子では、SHE が余り顕著ではないことが判明した。

〔文 献〕

- 1) K. Takatori and D. Flandre, 11th International Symposium on SOI Technology and Devices, 203rd ECS Meeting, pp.301-306 (2003)
- 2) K. Takatori and D. Flandre, Proceedings of the 11th International Conference Mixed Design of Integrated Circuit and Systems, pp.114-117 (2004)
<http://www.mixdes.org/mixdes.info.htm?year=2004>
- 3) Jean-Pierre Colinge, SILICON-ON-INSULATOR TECHNOLOGY: Materials to VLSI, 2nd Edition KLUWER ACADEMIC PUBLISHERS (1997)
- 4) K. Takechi et al., IEEE Trans. Electron Devices, **53**, 2, pp.251-257 (2006)
- 5) Y. Z. Xu et al., Mat. Res. Soc. Symp. Proc., **609**, A28.4, Spring (2000)
- 6) Michael Berger et al., IEEE Trans. Electron Devices, **38**, 4, pp.871-875 (1991)
- 7) Ming-C. Cheng et al., Microelectronics Reliability, **44**, pp.381-396 (2004)
- 8) W Redman-White et al., IEEE international SOI Conference 1992, p.122
- 9) Wei Jin et al., IEDM 1999, pp.175-178
- 10) Yannis Tsividis, Operation and Modeling of The MOS Transistor, 2nd edition, p.377, McGraw-Hill (1999)
- 11) Dennis Sinitsky et al., IEEE Trans. Electron Devices, **18**, 2, pp.36-38 (1997)
- 12) Bernard M. Tenbroek et al., IEEE Trans. Electron Devices, **43**, 12, pp.2240-2248 (1996)
- 13) Bernard M. Tenbroek et al., IEEE J. Solid-State Circuits, **33**, 7, pp.1037-1046 (1998)
- 14) Rupert Howes et al., IEEE J. Solid-State Circuits, **27**, 8, pp.1186-1193 (1992)

たかとり けんいち
高取 憲一 1990 年、東京大学教養学部卒業。1990 年、NEC 入社。同機能エレクトロニクス研究所配属。2001-2002 年、ベルギー王国・ルーヴアンカトリック大学客員研究員。2003 年、NEC・SOG 研究所主任研究員。2005 年、NEC 液晶テクノロジー (株) 研究マネージャー。

あさだ ひでき
浅田 秀樹 1985 年、慶應義塾大学工学部卒業。1987 年、同大学院修士課程修了。1987 年、NEC 入社。同研究所勤務を経て、2005 年、NEC 液晶テクノロジー (株) 研究部長。

かねこ せつお
金子 節夫 1973 年、東北大学工学部卒業。1975 年、同大学院修士課程修了。1975 年、NEC 入社。同研究所勤務を経て、2005 年、NEC 液晶テクノロジー (株) 研究本部長。